

AHCI PCIe SSD-IP (APS-IP) デモ手順書

Rev1.2J 2016/03/03

本ドキュメントは Xilinx 製評価ボードおよび DesignGateway 社製 AB16-PCIeXOVR アダプタを使って APS-IP コアの実機動作を検証する手順について説明したものです。本デモにて AHCI PCIe SSD へのデータ書き込みやリード & ベリファイが実施できます。ユーザはシリアル・コンソール経由にてテスト動作を指示します。

1 ハードウェア環境

本 APS-IP デモを実機評価するために以下の環境を準備してください。

- 1) 本デモに対応する FPGA 評価基板 (KC705/VC707/ZC706/KCU105)
- 2) Xilinx プログラマ(iMPACT/Vivado)およびシリアル・コンソール・ソフトウェアをインストールした PC
- 3) AB16-PCIeXOVR アダプタおよび付属品の電源分岐ケーブル
- 4) Xilinx 評価ボード付属の AC アダプタ
- 5) AB16-PCIeXOVR アダプタと接続する AHCI PCIe SSD (M.2 SSD の場合 PCIe スロットへ挿入するための変換アダプタが必要)
- 6) FPGA ボードと PC 間を接続し FPGA をコンフィグレーションするマイクロ USB ケーブル
- 7) FPGA ボードと PC 間を接続しシリアル・コンソールと通信するミニ/マイクロ USB ケーブル

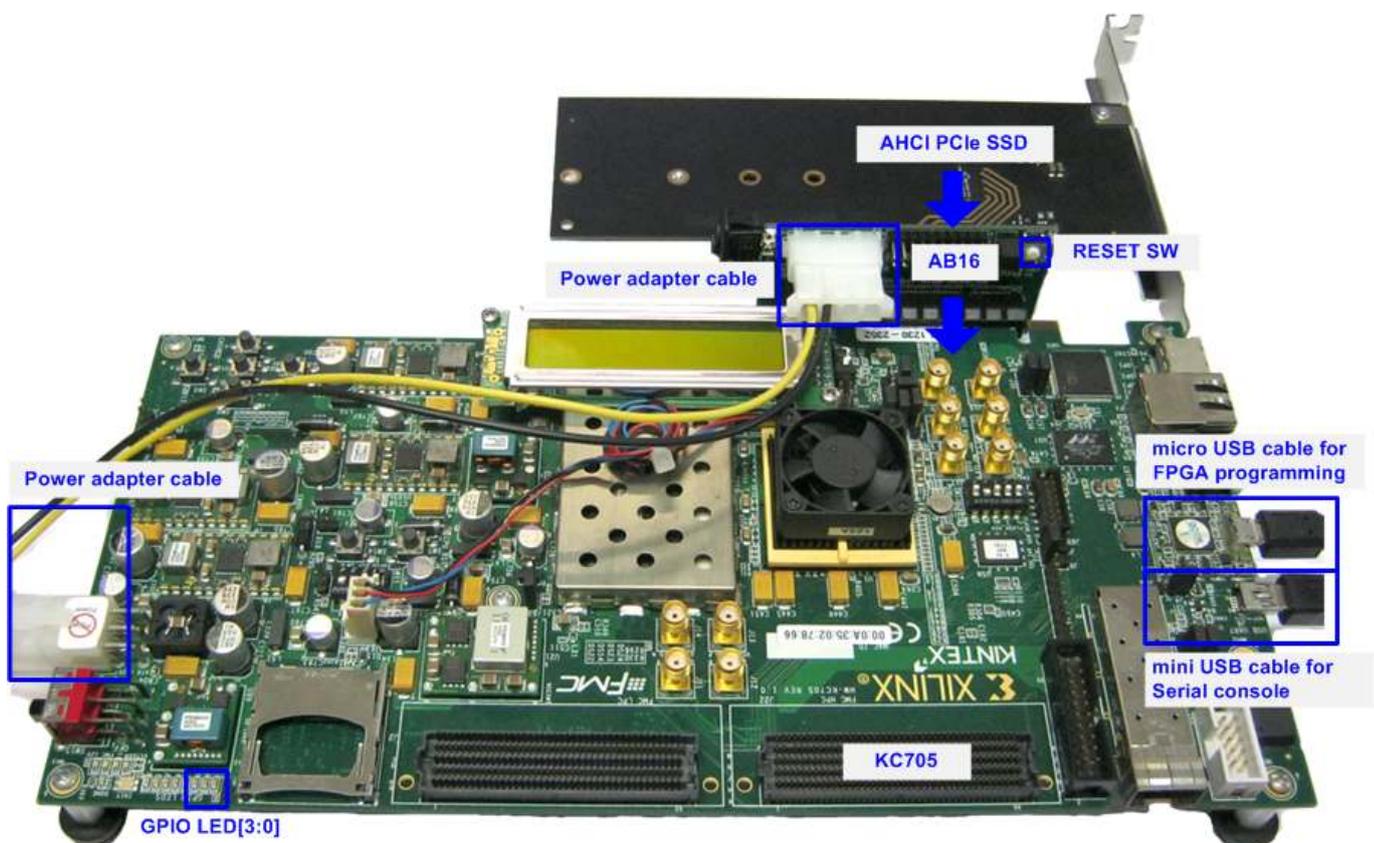


図 1-1: KC705 における APS-IP デモ環境



図 1-2: VC707 における APS-IP デモ環境

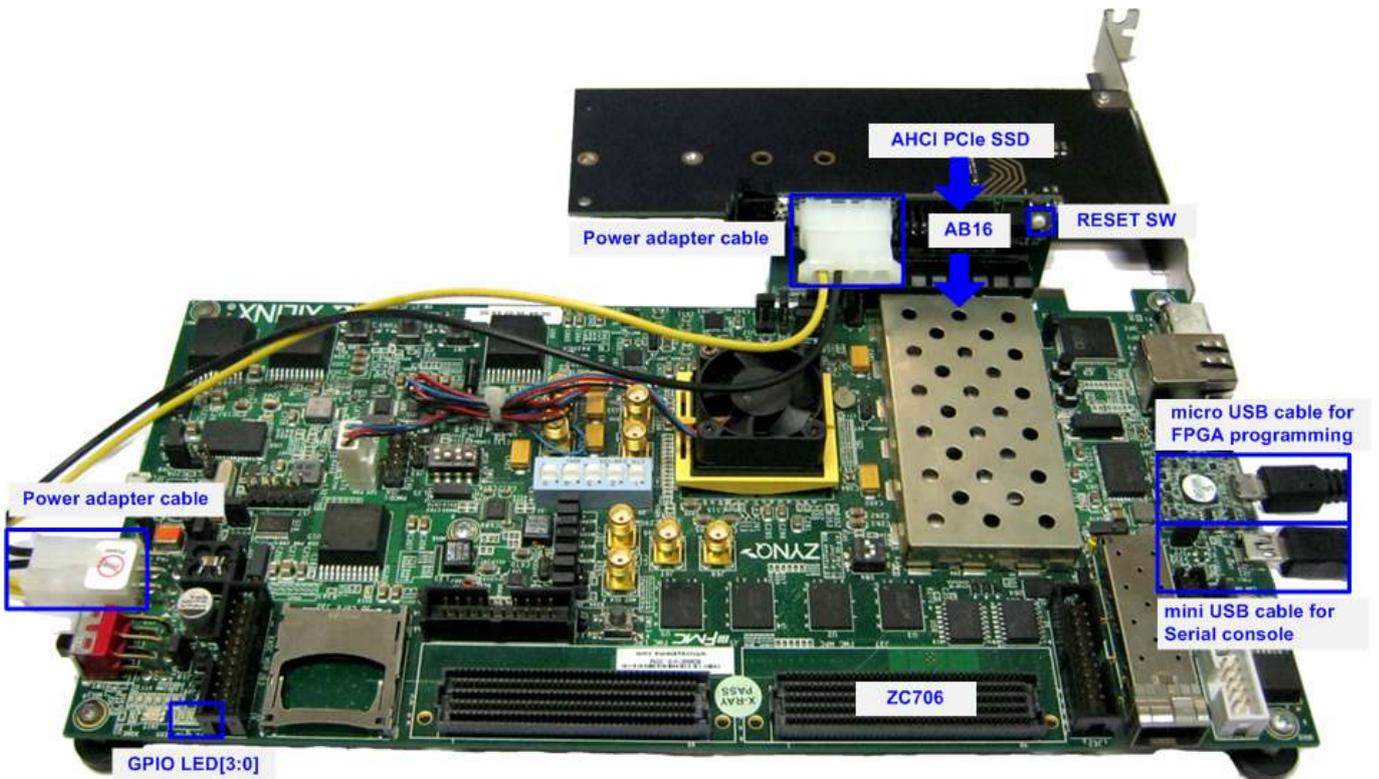


図 1-3: ZC706 における APS-IP デモ環境

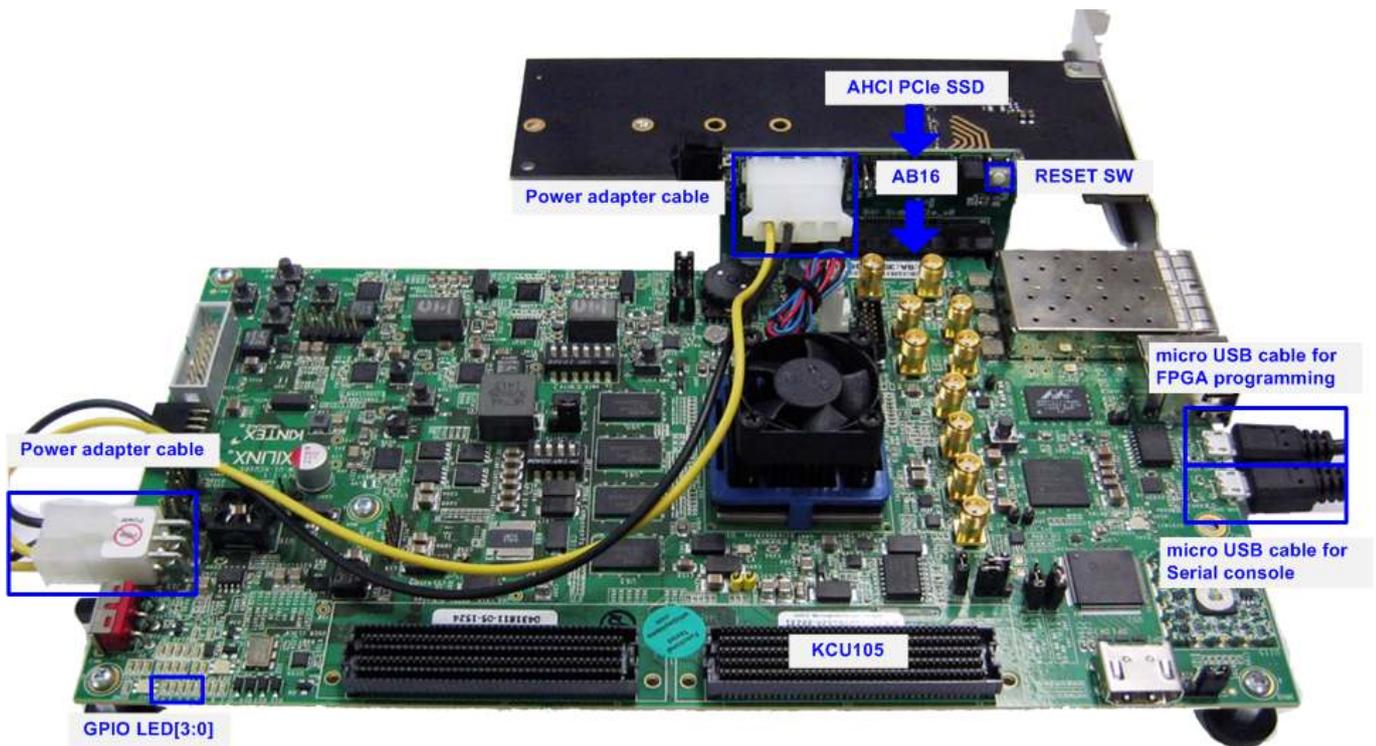


図 1-4: KCU105 における APS-IP デモ環境

2 ハードウェア設定

- 全ての電源が OFF 状態であることを確認します
- ZC706 ボードでの評価の場合、図 2-1 のように SW11="00000"とセットし JTAG からの PS コンフィグレーションとし、更に図 2-2 のように SW4="01"として FPGA の JTAG チェーンを USB からの JTAG に設定します。

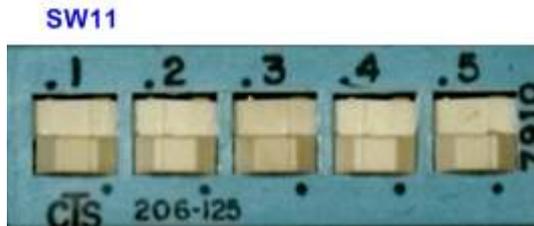


図 2-1: ZC706 ボードの場合 SW11 を JTAG からの PS コンフィグレーションにセットする



図 2-2: ZC706 ボードの場合 SW4 を USB からの JTAG にセットする

- AB16-PCIeXOVR アダプタ付属の電源分岐ケーブルを使い図 2-3 のように AC アダプタからの電源を分岐して AB16-PCIeXOVR アダプタ・ボードおよび Xilinx 評価ボードの両方に供給します。

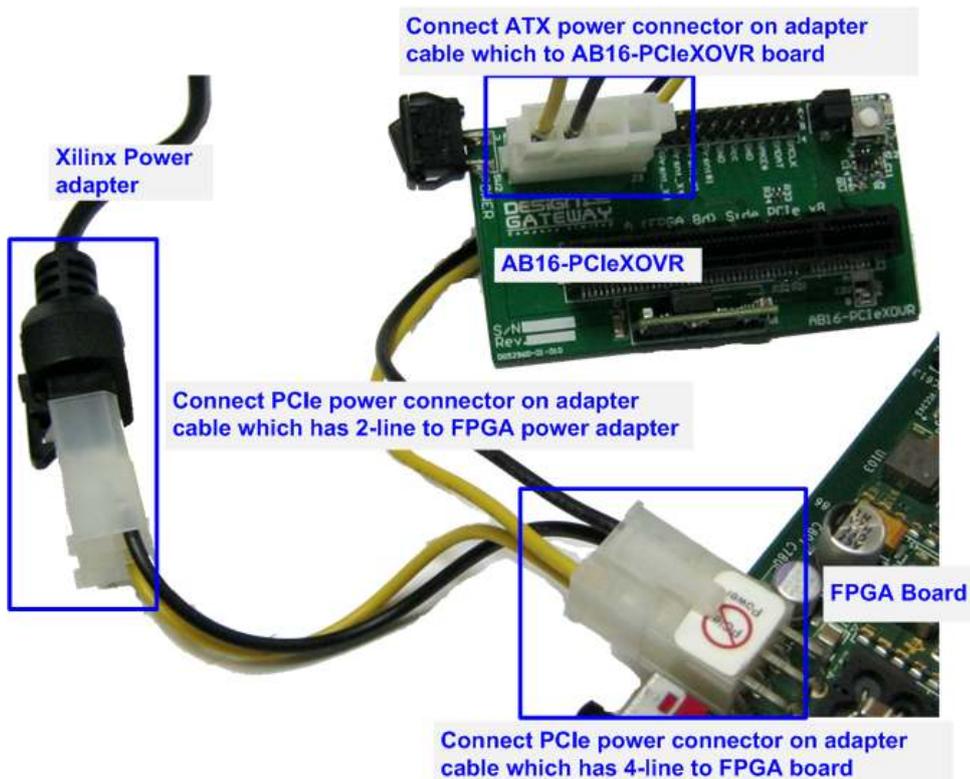


図 2-3: 電源分岐ケーブルで AC アダプタの電源を評価ボードと AB16-PCIeXOVR アダプタに供給

- 図 2-4 のように、AB16-PCIeXOVR アダプタ基板の部品面(A)側の PCIe ソケットに Xilinx 評価ボードを接続します。また、アダプタ基板の J5 にて Pin#1-3 間および Pin#2-4 間にジャンパ・ソケットを挿入します。

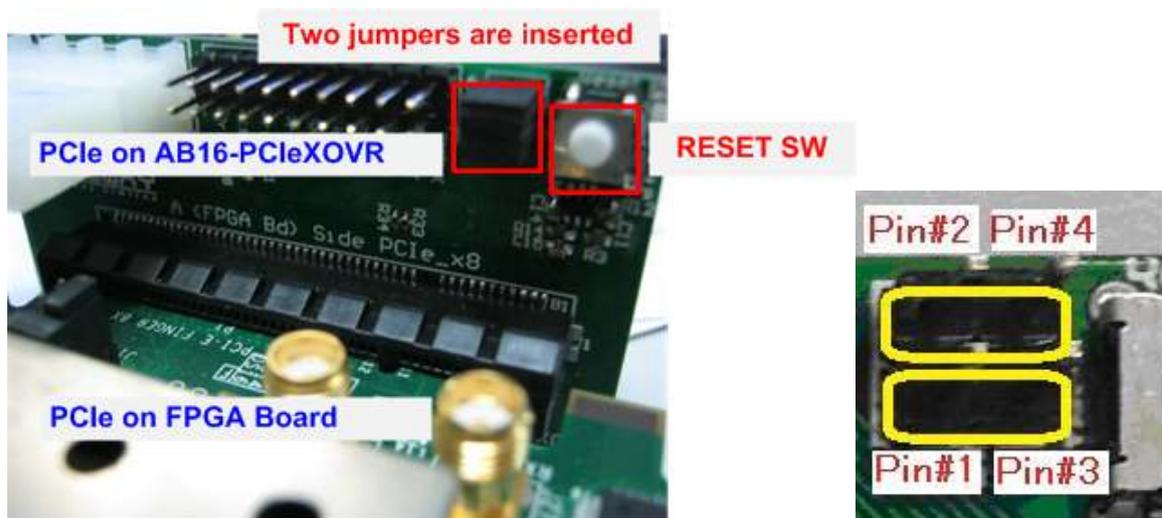


図 2-4: FPGA 評価ボードを AB16-PCIeXOVR アダプタ部品面(A)側に装着、J5 の 1-3 間と 2-4 間をショート

- AHCI PCIe SSD を半田面(B)側の PCIe ソケットに接続します。

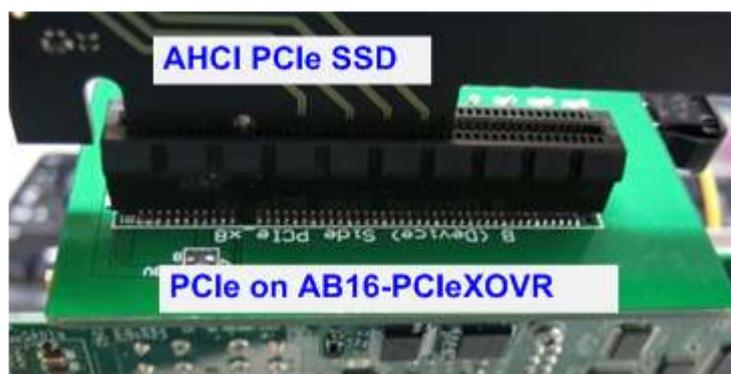


図 2-5: AHCI PCIe SSD を AB16-PCIeXOVR アダプタ半田面(B)側に装着

- マイクロ USB ケーブルおよびミニ USB ケーブルの両方を Xilinx 評価ボードと PC 間に接続します



図 2-6: USB ケーブル接続

- FPGA 評価ボードと AB16-PCIeXOVR アダプタの電源を投入します。
- PC 上で TeraTerm や HyperTerminal などのシリアル・コンソール・ソフトを開きます。そしてボーレート=115,200、データ=8ビット、パリティ=なし、ストップビット=1に設定します。

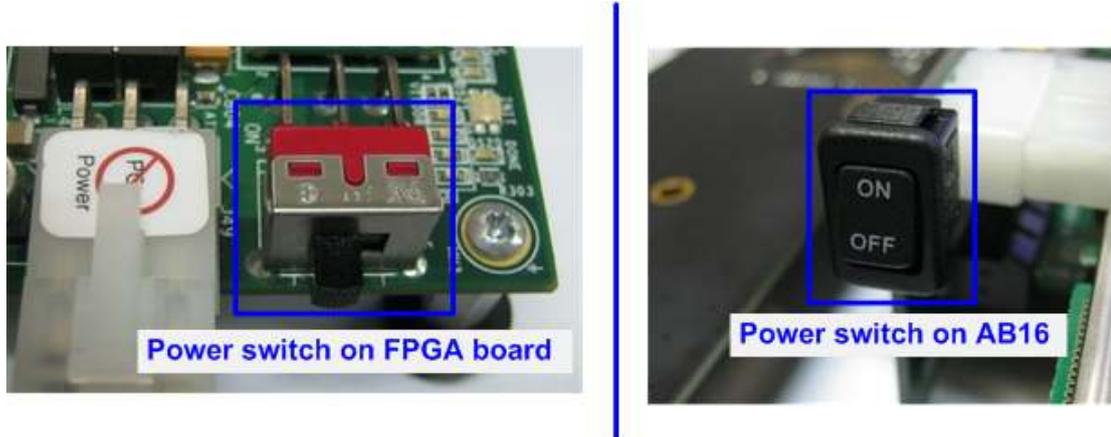


図 2-7: FPGA 評価ボードと AB16-PCIeXOVR アダプタの電源を投入

- a) ZC706 ボードの場合、ISE コマンド・プロンプトまたは Vivado TCL シェルを開き、カレント・ディレクトリを ready_for_download_zc706 に変更します。そして図 2-8 / 図 2-9 に示すように “zc706_APSIPTest.bat” ファイルを実行します。

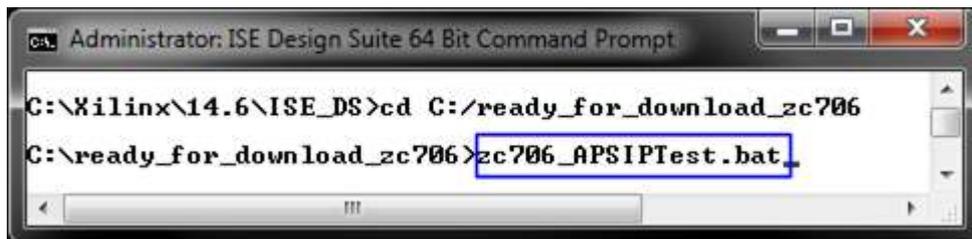


図 2-8: ISE ツールによる ZC706 へのデモ・ファイルのダウンロード



図 2-9: Vivado ツール ZC706 へのデモ・ファイルのダウンロード

b) For KC705/VC707/KCU105 の場合、IMPACT か Vivado ツールを使って図 2-10 / 図 2-11 のようにビット・ファイルで FPGA をコンフィグレーションします。

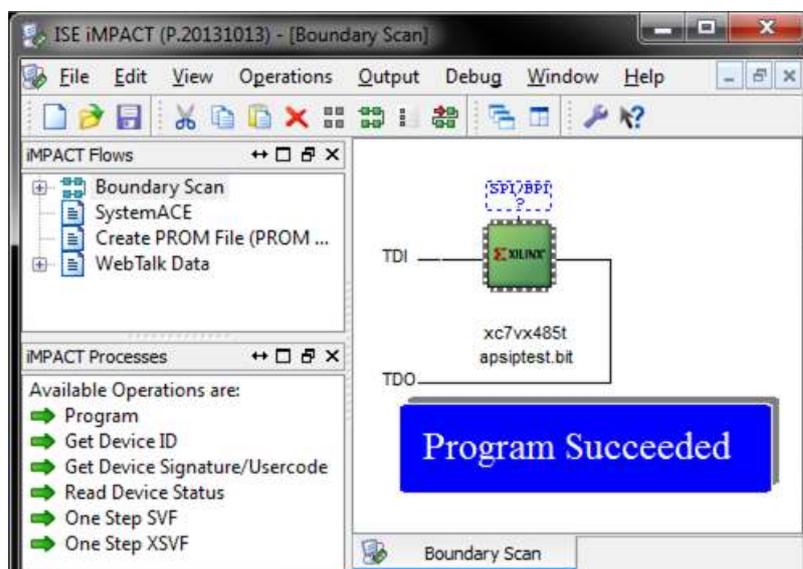


図 2-10: iMPACT による FPGA コンフィグレーション

dg_apsip_instruction_jp.doc

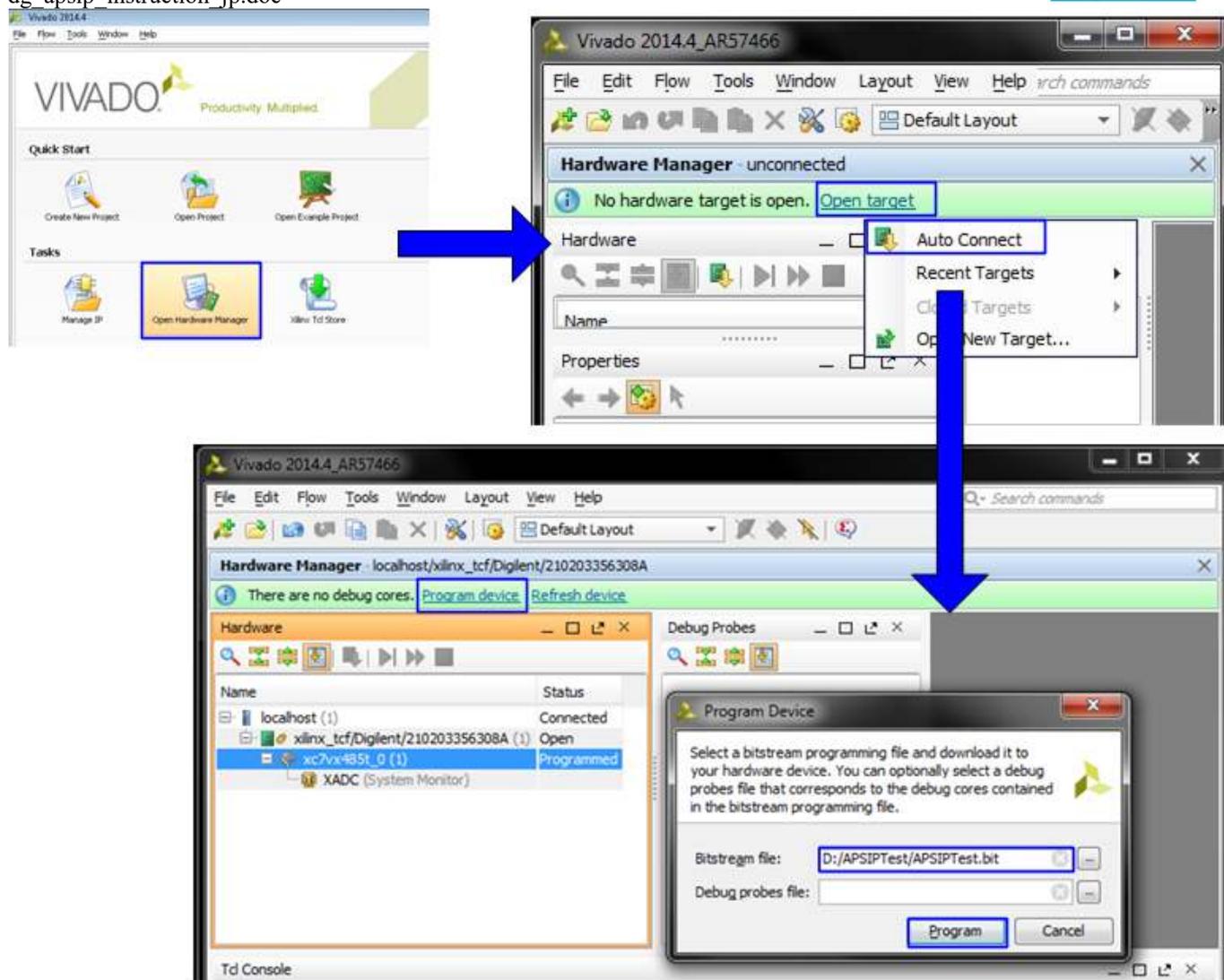


図 2-11: Vivado による FPGA コンフィグレーション

- FPGA 評価ボード上の LED の点灯状態を確認します。LED の定義を下表 1 に示します。

表 1: LED 定義

GPIO LED	点灯	消灯
0	正常動作	クロックが安定していないかリセットボタンが押下された
1/R	システムが動作状態	アイドル状態
2/C	PCIe エラーを検出	正常動作
3/L	データ・ベリファイで不一致	正常動作

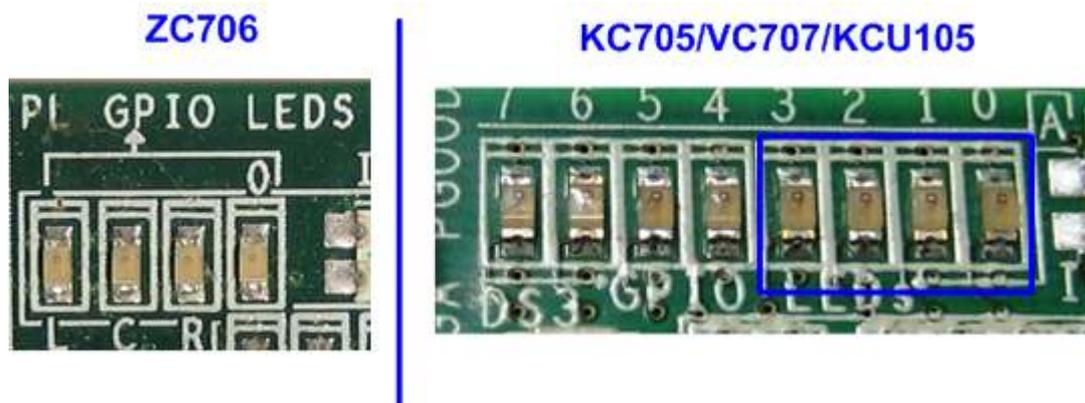


図 2-12:動作状態を表示する 4 ビットの LED

- FPGA のコンフィグレーションが完了すると LED[0]と LED[1]が PCIe の初期化中点灯します。そして LED[1]が消灯し PCIe が初期化を完了してデモ・システムがユーザからのコマンドを受け付けられることを示します。また、PCIe のリンク速度情報が図 2-14 のようにメイン・メニューを表示する前にシリアル・コンソール上に表示されます。

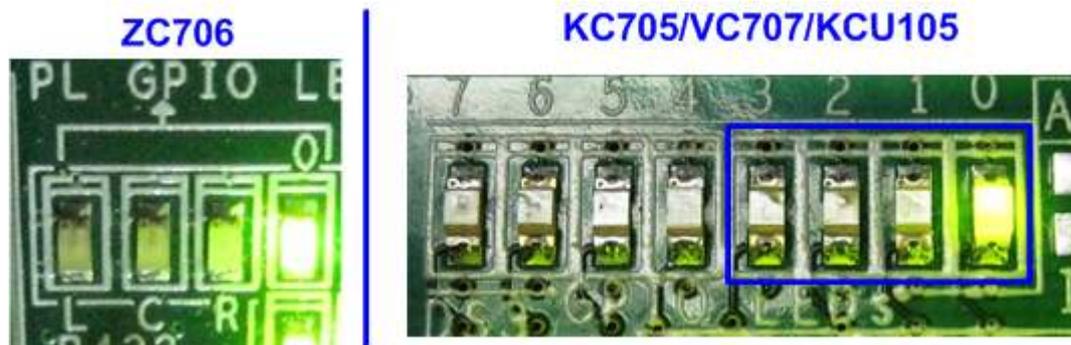


図 2-13: FPGA コンフィグレーションが完了し PCIe の初期化まで終わった時点での LED 状態

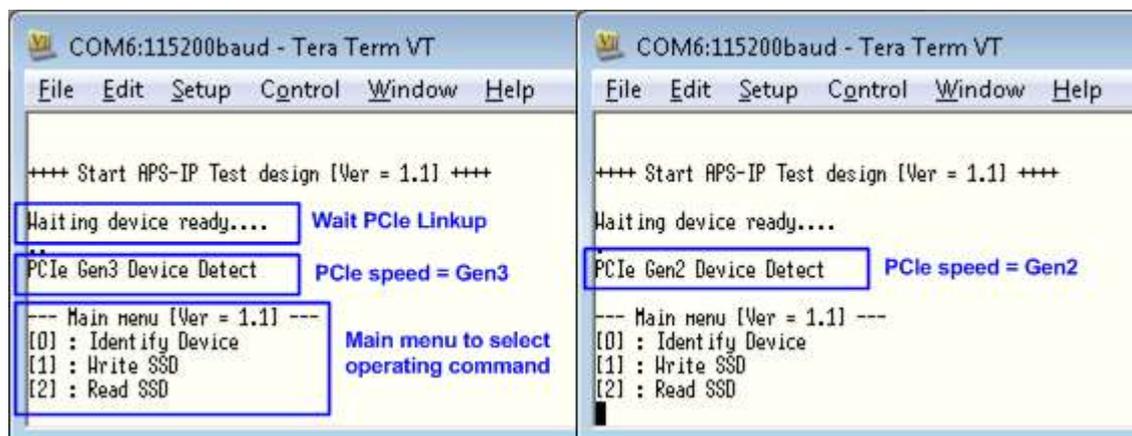


図 2-14: FPGA コンフィグレーションおよび PCIe 初期化完了後のシリアル・コンソール画面

3 テスト・メニュー

3.1 Identify Device

メニューの'0'を選択することで、AHCI PCIe SSD に対して IDENTIFY DEVICE コマンドを発行できます。このメニューを実行すると SSD の容量がコンソール上に表示されます。

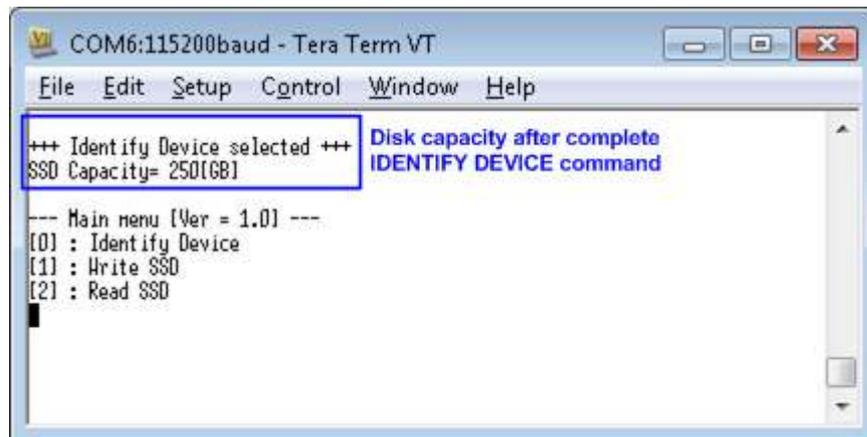


図 3-1: IDENTIFY DEVICE メニューの実行結果例

3.2 Write SSD

メニューの'1'を選択することで、AHCI PCIe SSD に対してライト・コマンドを発行できます。このメニューでは3つのパラメータ入力を求められます。

- Start LBA: ライト・コマンドの開始セクタ・アドレス (1 セクタ=512 バイト)
- Sector Count: ライト・コマンドのセクタ数
- Test pattern: SSD にライトするデータのテスト・パターン、データ・パターンは 4 種類から選択できる 32 ビット・インクリメンタル、32 ビット・デクリメンタル、オール 0、オール 1

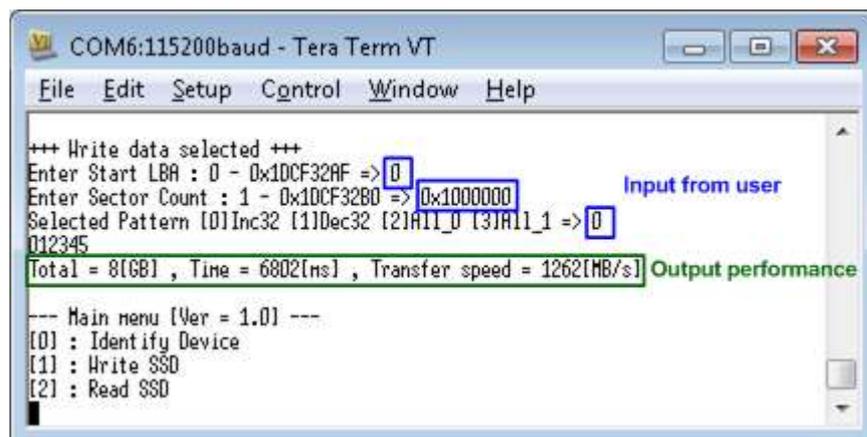


図 3-2: Write SSD メニューのパラメータ入力と実行結果例

図 3-2 に示すように全ての入力パラメータが有効な場合にライト動作が開始します。データのライト実行中、数字の 0-9 がコンソール上に順次表示され、コマンド動作が進んでいることを示します。コマンド実行の最後にライト数とコマンド実行時間から転送パフォーマンスが計算され表示されます。

図 3-3～図 3-5 はユーザから無効な入力があった場合のエラー・メッセージを示します。“Invalid input”のメッセージがコンソール上に表示され、コマンドは中断しメイン・メニューに復帰します。

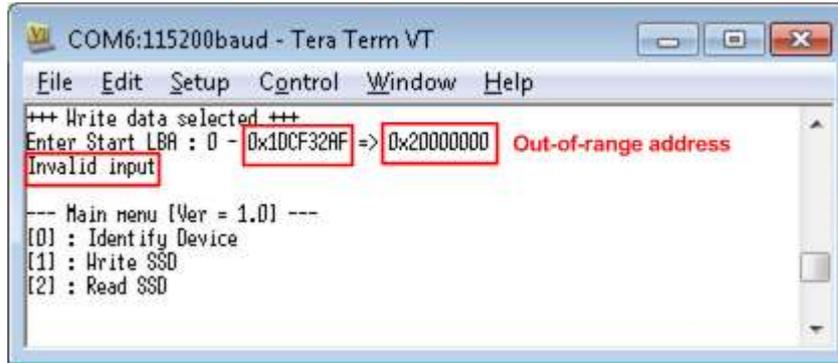


図 3-3: 無効な開始セクタ番地を指定した場合

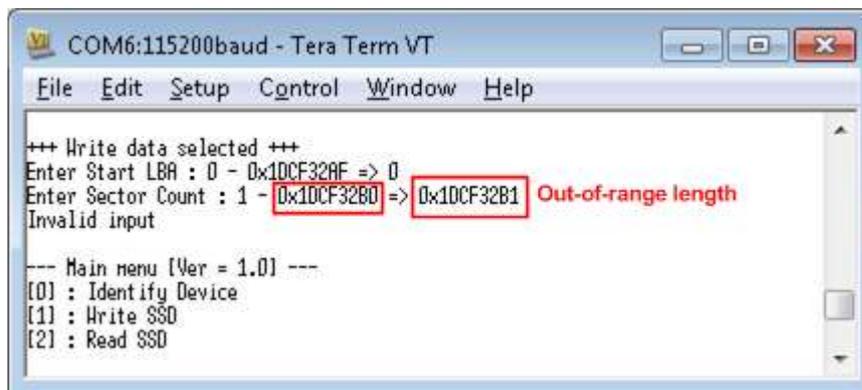


図 3-4: 無効なセクタ数を指定した場合

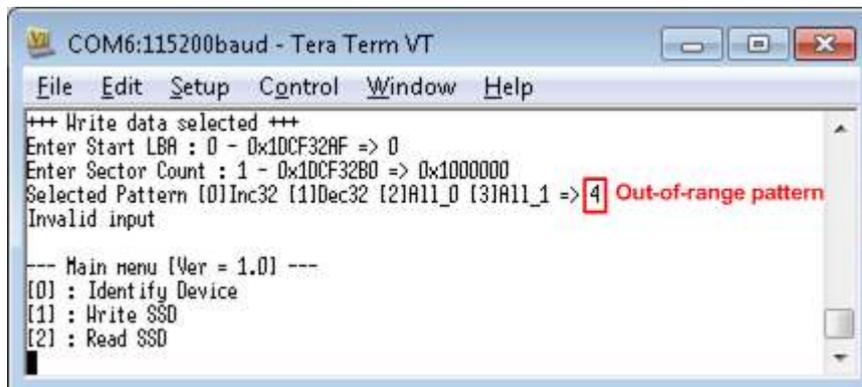
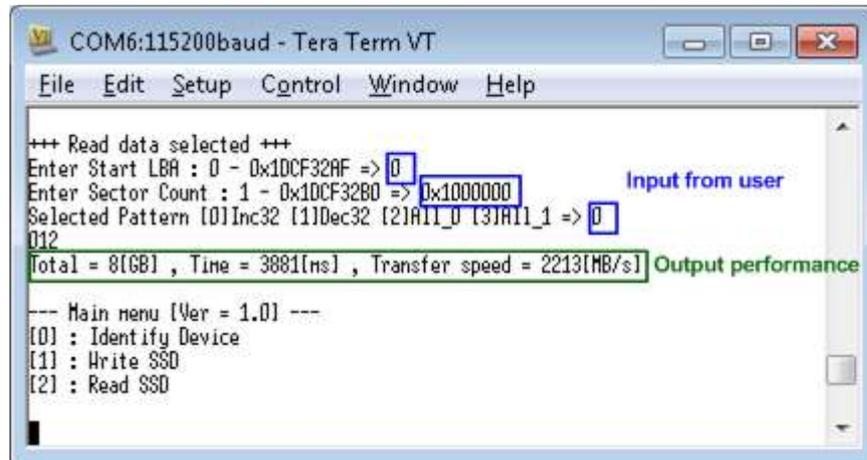


図 3-5: 無効なテスト・パターンを指定した場合

3.3 Read SSD

メニューの'2'を選択することで、AHCI PCIe SSD に対してリード・コマンドを発行できます。このメニューでは3つのパラメータ入力を求められます。

- Start LBA: リード・コマンドの開始セクタ・アドレス (1セクタ=512バイト)
- Sector Count: リード・コマンドのセクタ数
- Test pattern: SSD からリードしたデータとベリファイするテスト・パターン、データ・パターンはライトしたデータ・パターンに合わせる必要がある、ライトと同じく 32ビット・インクリメンタル、32ビット・デクリメンタル、オール 0、オール 1 の4種類から選択



```

COM6:115200baud - Tera Term VT
File Edit Setup Control Window Help
+++ Read data selected +++
Enter Start LBA : 0 - 0x1DCF32AF => 0
Enter Sector Count : 1 - 0x1DCF32B0 => 0x1000000
Selected Pattern [0]Inc32 [1]Dec32 [2]AI1_0 [3]AI1_1 => 0
012
Total = 8[GB] , Time = 3881[ms] , Transfer speed = 2213[MB/s]
--- Main menu [Ver = 1.0] ---
[0] : Identify Device
[1] : Write SSD
[2] : Read SSD

```

図 3-6: Read SSD メニューのパラメータ入力と実行結果例

ライトのテストと同様に、全ての入力パラメータが有効な場合にリード動作が開始します。データのリード実行中、数字の 0-9 がコンソール上に順次表示され、コマンド動作が進んでいることを示します。コマンド実行の最後にリード数とコマンド実行時間から転送パフォーマンスが計算され表示されます。

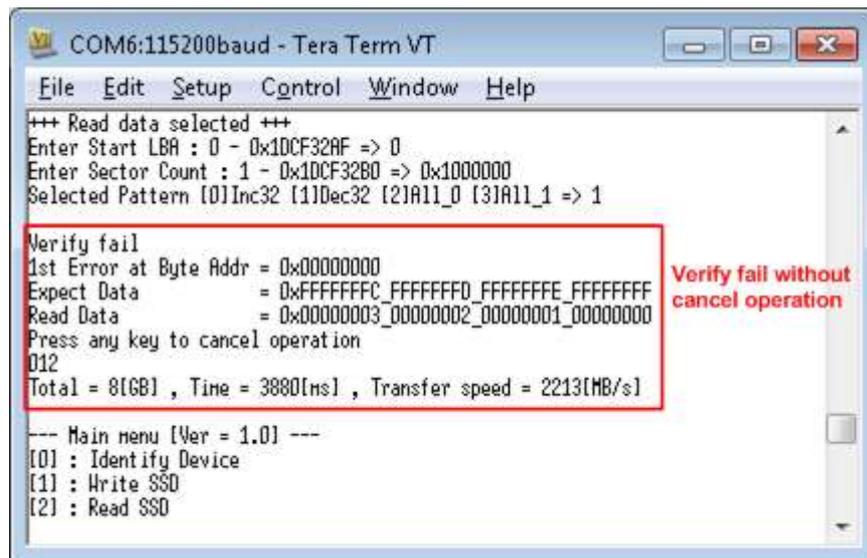


図 3-7:リード時ベリファイでエラーが発生したがリードが完了するまで待機した場合の結果例

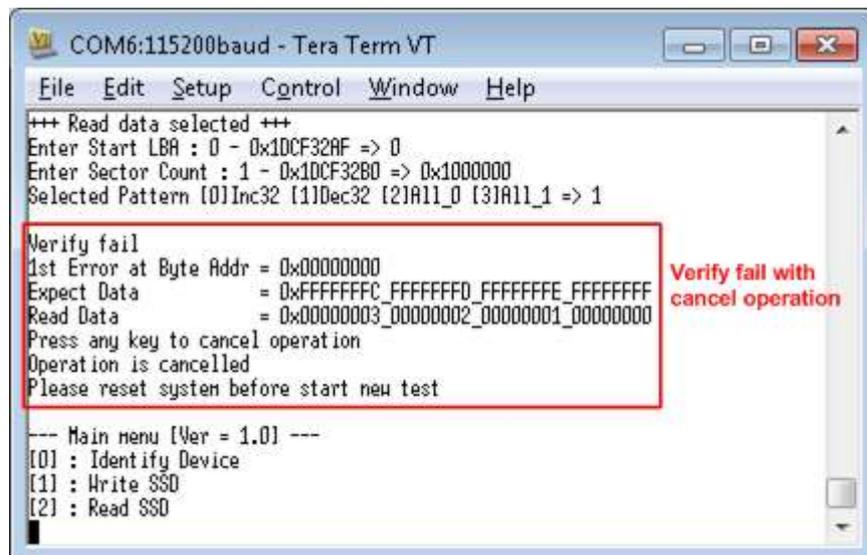


図 3-8:リード時ベリファイでエラーが発生しユーザがキャンセルを指示した場合の結果例

図 3-7 と図 3-8 はベリファイでエラーが発生した例を示します。“Verify fail”のメッセージがエラー発生アドレス、期待値、リード値とともに表示されます。この場合ユーザは何かキー入力を行うことでリード動作を中断することができますが、キー入力をせずにリード動作の完了を待つことも可能です。ただしリード動作をキー入力により中断した場合、その後必ず AB16-PCIeXOVR アダプタ上のリセット・ボタンを押下しシステムを再起動する必要がありますので注意してください。

4 更新履歴

リビジョン	日付	履歴
1.0	25-Sep-15	Initial version release (English Version)
1.0J	2015/10/21	日本語版の初期版作成
1.1J	2016/02/23	KCU105 ボードのサポートを追加
1.2J	2016/03/03	PCIe リンク速度情報を追加