

# ATA-IP コアのご紹介

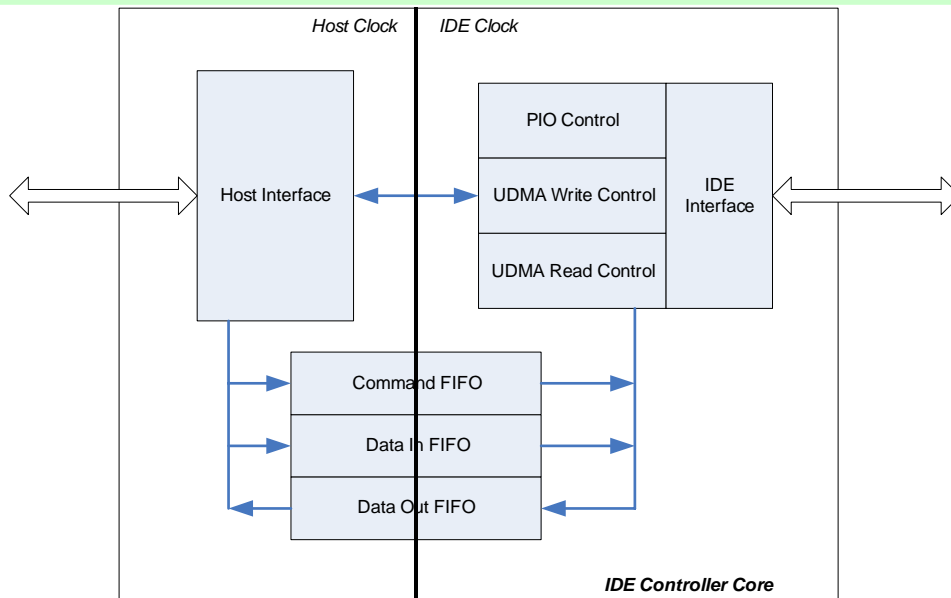
## IP コア概略

DesignGateway 社の ATA-IP コアは、ハードディスク/DVD ドライブ等の標準インターフェイスである最新の ATA/ATAPI 規格に準拠した IP コアです。 転送レート 150MByte/sec の UltraDMA-150 プロトコルをサポートします。 Host(ユーザロジック)側インターフェイスは接続が容易なリード/ライト・ストロープ方式で、IDE 側と非同期の独立したクロックが使えます。

## 特長

- ATAPI-4/5/6 準拠
- Ultra-DMA150,133,100,66,33 の全てに対応 (最大転送速度 150MB/s)
- PIO Mode 0, 4 対応
- コマンド・キュー対応
- コンフィグ可能 I/O コントロール・ベース・アドレス
- データ FIFO は入出力別に搭載
- コマンド・データの各 FIFO サイズは設定可能
- 2つのクロック領域: Host クロック (33~50MHz)、IDE クロック (66MHz)
- ソースコードは VHDL 記述
- 対応 ATA コマンド: Initial Device parameter, Identify Device, Set features, Check power mode, Idle, Idle immediate, Read Verify Sector(s), Seek, Sleep, Standby, Standby immediate, Execute device diagnostic, Read DMA, Read Sector(s), Write DMA, Write Sector(s).

## ブロック図



## システムクロック

本 IP には IDE 側と Host(ユーザ I/F)側で独立した 2つのクロック領域があり、それぞれ非同期に動作することが可能です。 Host 側クロックは 33~50MHz で選択でき、IDE 側は PIO および UDMA のタイミング・リファレンスとして 66MHz クロックを使います。 FPGA の内部 PLL で生成したクロックを使うことももちろん可能です。

## 使用リソース

本 IP を単体で Altera 製 Cyclone に実装した場合、以下のリソースを必要とします。(データ入出力 FIFO = 512 バイト, コマンド FIFO = 128 バイトの設定でコンパイル時)

LE 数: 約 1800

メモリビット数: 9216bit