

# DDR-IP コアのご紹介

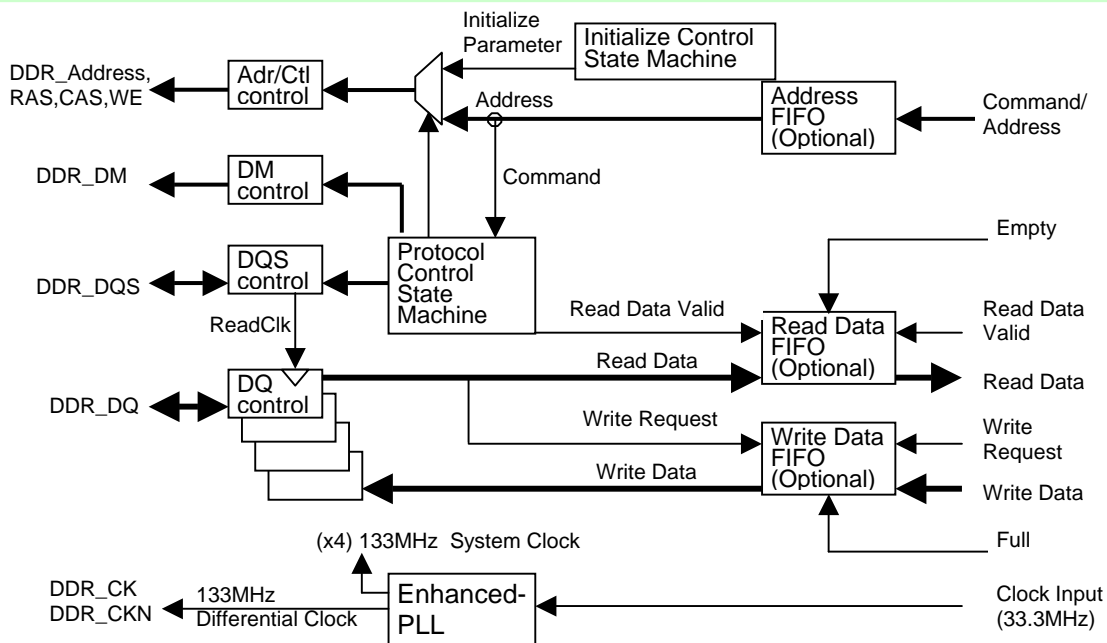
## IP コア概略

DesignGateway 社の DDR-IP コアは、DDR-SDRAM メモリ・インターフェイスを提供する IP コアです。266MHz 動作(133MHz クロック両エッジ)に対応し、NotePC の拡張メモリである 200Pin-SODIMM の応用実績が多数あります。

## 特長

- SSTL-2 規格の DDR-SDRAM メモリに対応
- NotePC 用 200Pin-SODIMM で多数の応用実績
- CL=2.5、Burst 長は 2,4,8,FullPage の全てに対応
- DDR メモリ初期化を完全自動化 (メモリへの全パラメータ設定およびメモリ DLL の自動リセット発行)
- Enhanced-PLL により 33.3MHz 入力クロックの 4 倍で回路全体が動作
- 対応デバイス: Stratix, Stratix-GX, Stratix2
- オプションで非同期 FIFO による非同期ユーザロジック・インターフェイスへのカスタマイズ可

## ブロック図



## クロック

本 DDR-IP コアは Stratix(Stratix-GX, Stratix2 を含む)のクロック・アーキテクチャを活用します。リードデータの DQS エッジによるサンプリングを可能とするため、DQS 位相調整用 DLL リソースを使います。また、本 IP 全体は Stratix の Enhanced-PLL により入力クロックを 4 倍した 133MHz クロックに同期します。

オプションの非同期 FIFO により、DDR-IP のシステムクロックとは非同期のユーザ・ロジックとインターフェイスをとることが可能です。

## 使用リソース

本 IP を単体で Altera 製 Stratix に実装した場合、以下のリソースを必要とします。(DDR メモリ 64bit 幅でのコンパイル時、非同期 FIFO なし)

- LE 数: 約 500
- PLL 数: 1 (Enhanced-PLL を使用)
- DLL 数: 1 (DQS の Read 時位相調整用)
- メモリビット数: なし