



Fintech向け超低レイテンシ・ネットワークIPコアのご紹介

Rev. 1.1AJ



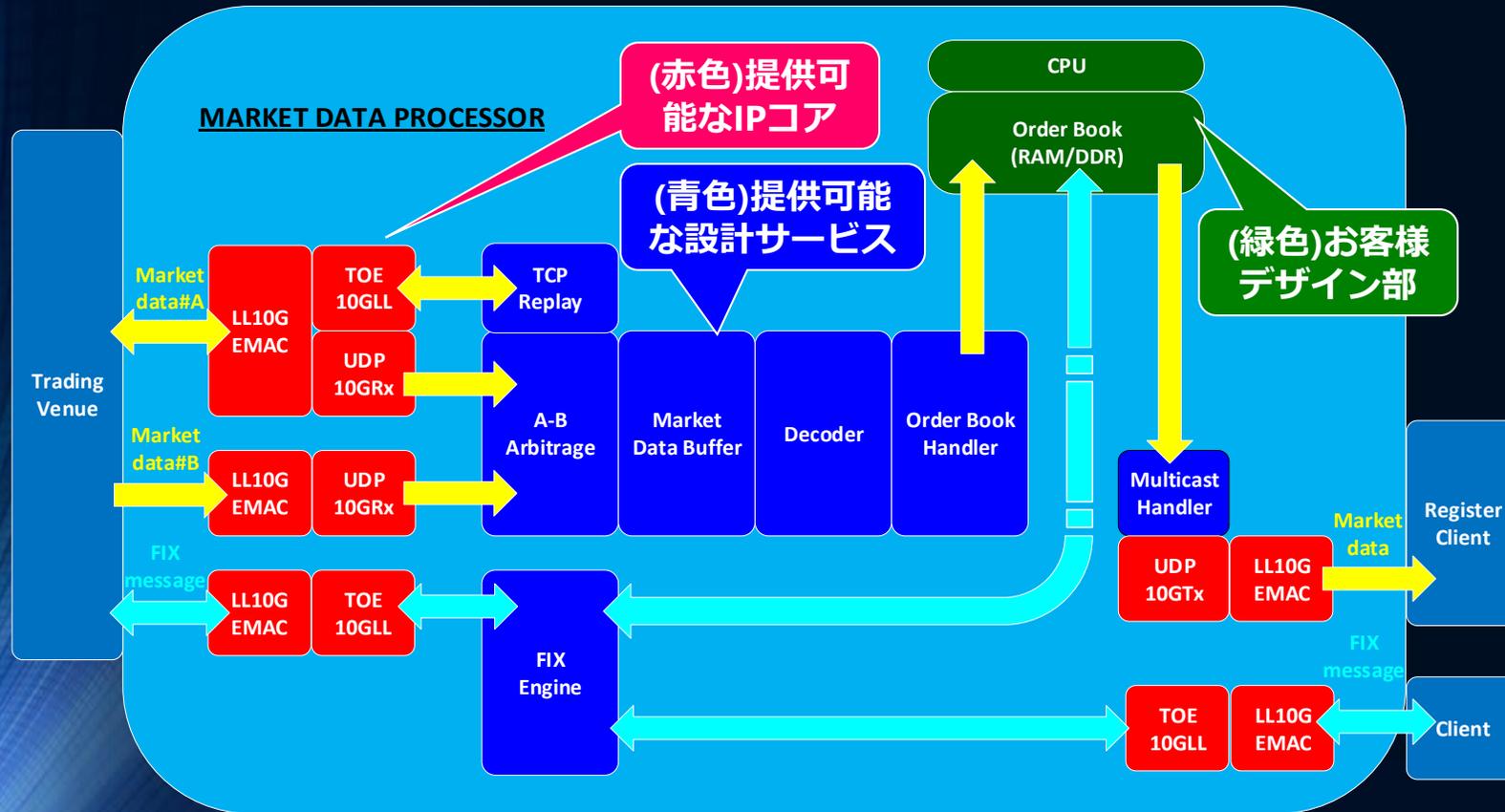
Intel版

デザイン・ゲートウェイの低レイテンシ・ネットワークIPコア

- **高度に統合化・最適化されたコア**
 - FPGAトランシーバと組み合わせて極限までレイテンシを低減してデザインされています。
- **Fintechアプリケーションに最適**
 - HFT(高頻度取引)、市場データ処理、ティックトレード・システム
- **FPGAおよびアクセラレータでの統合ソリューションをご提供します**
 - 10G EMAC + UDPエンジン + TCP/IPエンジンの実機動作デモが提供可能

FPGAでのFintech実装例

市場データ処理システムはIntel製FPGA内で実装可能であり、市場データのトランザクションに対して低レイテンシかつ迅速な応答を可能とします。



提供可能IPコア

- LL 10GEMAC IP
- UDP10GRx-IP
- UDP10GTx-IP
- TOE10GLL-IP

提供可能な設計サービス

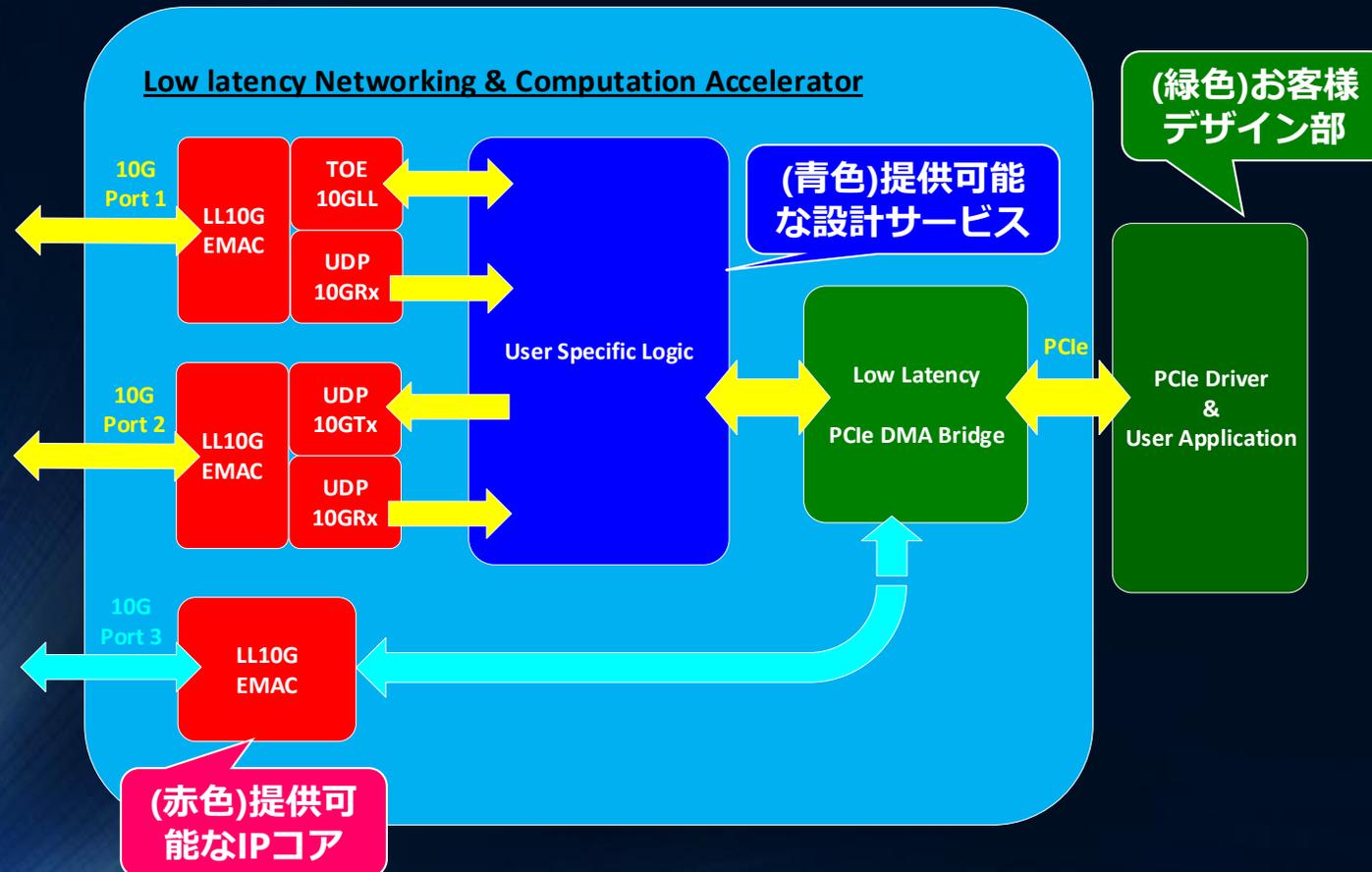
- User logic and IP cores interface implementation based on customer requirements
- High layer protocol handling by pure hardware logic such as
 - *FIX/FAST Encoder/Decoder*
 - *Trade/Order Handler on FPGA*

お客様側でのデザイン部分

- Algorithm/ User Application

Intel製FPGAアクセラレータ・カードへの適用例

低レイテンシ・ネットワークIPコアはArria10やAgilex等アクセラレータ・カード上のIntel FPGAをサポートします。お客様のアプリケーションや要望に応じてFPGAロジックのカスタマイズに対応いたします。



提供可能IPコア

- LL 10GEMAC IP
- UDP10GRx-IP
- UDP10GTx-IP
- TOE10GLL-IP

提供可能な設計サービス

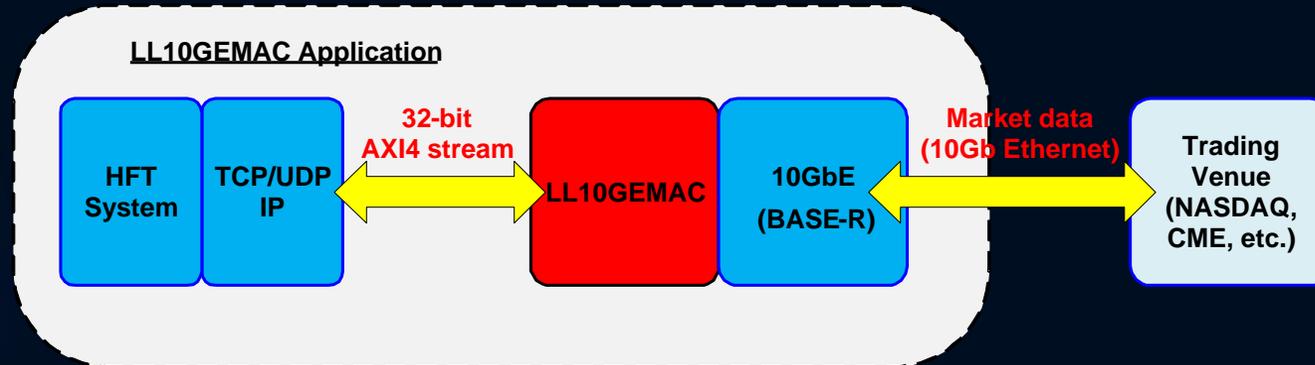
- User logic and IP cores interface implementation based on customer requirements
- High layer protocol handling by pure hardware logic

お客様側でのデザイン部分

- PCIe Driver for Host OS
- Algorithm/ User Application

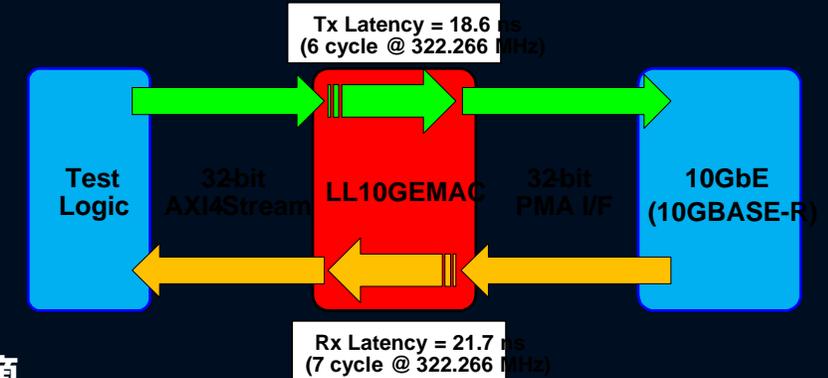
低レイテンシ10GEMAC-IP

HFT(高頻度取引)、市場データ処理、ティックトレード・システムの低レイテンシ要求に対応



特長

- 送信レイテンシ：18.6ns (32ビット, 6サイクル@322.265625MHz)
- 受信レイテンシ：21.7ns (7サイクル@322.265625MHz)
- Intel社純正イーサネット・サブシステム(MAC + PCS) との比較
 - より低いレイテンシ
 - より少ないFPGA消費リソース
 - より低コスト
- デザイン・ゲートウェイ製低レイテンシ・ネットワークIPコアに最適



https://dgway.com/Lowlatency-IP_A.html

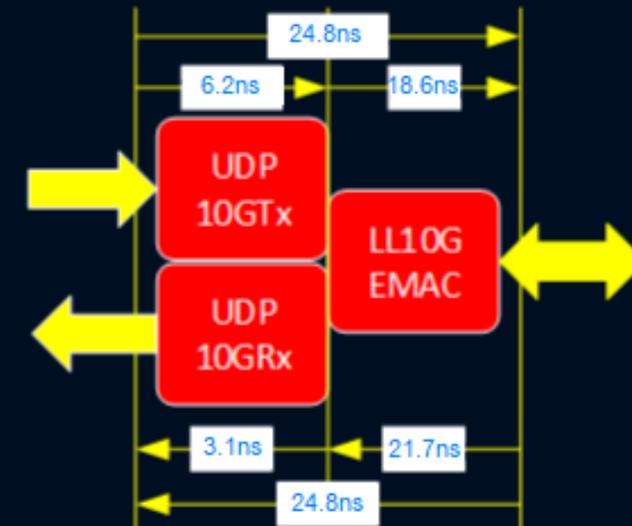
✓ 往復レイテンシは70ns以下!

低レイテンシUDP10G Rx/Tx-IPコア



UDP10G Rx/Tx-IPコアの特長

- ユニキャストおよびマルチキャストをサポート
- 最大4セッションの同時対応 (カスタマイズでセッション数の追加も対応)
- LL 10GEMAC-IPコアと直結
- IGMPv2プロトコルのJoin/Leaveメッセージに対応
- CPUおよび外部メモリなしで動作可能
- HDLデザインにより最少の消費リソースとレイテンシを実現
- 受信レイテンシ : 3.1 ns
- 送信レイテンシ : 6.2 ns (パケットサイズ45バイト以下の場合)
ユーザから最終データを受領してからEMACへ先頭データが出力されるまで (クロック周波数322.265625MHz)



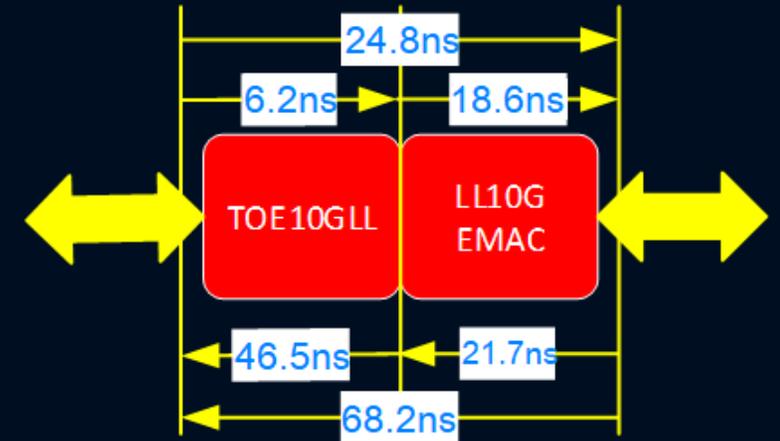
- EMAC入力からIPコア出力までの受信レイテンシ : 24.8 ns
- IPコア入力からEMAC出力までの送信レイテンシ : ~24.8 ns
- * レイテンシ値は10GBASE-R IPのレイテンシは含みません

低レイテンシTOE10G-IPコア



TOE10G LL-IPコアの特長

- 1セッション接続をサポート (複数セッションはカスタマイズで対応可)
- LL 10GEMAC-IPコアと直結
- CPUおよび外部メモリなしで動作可能
- HDLデザインにより最少の消費リソースとレイテンシを実現
- 受信レイテンシ : 46.5 ns
- 送信レイテンシ : 6.2 ns (パケットサイズ45バイト以下の場合)
ユーザから最終データを受領してからEMACへ先頭データが出力されるまで (クロック周波数322.265625MHz)



- * EMAC入力からIPコア出力までの受信レイテンシ : 68.2 ns
- * IPコア入力からEMAC出力までの送信レイテンシ : 24.8 ns
- * レイテンシ値は10GBASE-R IPのレイテンシは含みません

サポートするIntel製FPGAデバイス・ファミリ

- 対応デバイス・ファミリ: Arria 10 / Stratix 10 / Agilex device
- トランシーバ: Intel 10BASE-R トランシーバPHY
- 推奨するスピード・グレード: -1
- サポート・デバイスの例
 - 10AX115S2F45I1SG (Arria10 GX評価ボードで検証)



問い合わせ先

- 株式会社Design Gateway
- FAX : 050-3588-7915
- URL(日本語): <https://dgway.com/>
- URL(English): <https://design-gateway.com>
- E-mail(日本語) : <mailto:info@dgway.com>
- Email(English): <mailto:ip-sales@design-gateway.com>

改版履歴

リビジョン	日付	内容
1.0J	2020/4/23	英語版(初期版)を日本語翻訳
1.1AJ	2021/9/6	英語版アップデートに対応し日本語版を更新