

<u>NVMe-IP デモ手順書 (Altera 版)</u>

Rev1.2J 2016/12/21

本ドキュメントは ArriaV GX スタータ開発キットあるいは Arria10 SoC 開発キットにおいて NVMe-IP の実機デモ手順 について説明したものです。 ArriaV GX スタータ開発キットの場合、NVMe PCIe SSD と接続するため AB16-PCIeXOVR アダプタが必要となります。本デモでは NVMe PCIe SSD に対してライト・リード& ベリファイを実行 できます。ユーザは NiosII コマンド・シェル経由でテスト・メニューを選択します。

1 ハードウエア環境

本 NVMe-IP デモを ArriaV GX スタータ開発キットや Arria10 SoC 開発キットで実機評価するためには以下の環境を準備してください。

- 1) ArriaV GX スタータ開発キット(PCIe GEN2)または Arria10 SoC 開発キット(PCIe GEN3)
- 2) Quartus II プログラマと Nios II コマンド・シェルをインストールした PC
- 3) ArriaV GX スタータ開発キットの場合 AB16-PCIeXOVR アダプタおよび付属品の電源分岐ケーブル
- 4) Altera 評価キット付属の AC アダプタ
- 5) NVMe PCIe SSD (M.2 SSD の場合 PCIe スロットへ挿入するための変換アダプタが必要)
- 6) FPGA をコンフィグレーションし Niosll コマンド・シェルを実行するためのケーブル
 - ArriaV GX スタータ開発キットの場合 USB B タイプ・ケーブル
 - Arria10 SoC 開発キットの場合 USB マイクロ・ケーブル







図 1-2: Arria10 SoC 開発キットにおける NVMe-IP デモ環境



2 ハードウエア設定

2.1 PCle のセットアップ

a) AB16-PCIeXOVR を使った ArriaV GX スタータ開発キットのセットアップ

- 全ての電源が OFF 状態であることを確認します.
- AB16-PCIeXOVR 付属の電源分岐ケーブルにてプラグケーブルを FPGA ボードの電源コネクタに接続します
- 電源分岐ケーブルの ATX コネクタケーブルを AB16-PCleXOVR アダプタに接続します
- Altera 評価ボード付属の AC アダプタを電源分岐ケーブル小基板上のジャックに接続します





図 2-2 のように、AB16-PCIeXOVR アダプタ基板の部品面(A)側の PCIe ソケットに Altera 評価ボードを接続 します。また、アダプタ基板の J5 にて Pin#1-3 間および Pin#2-4 間にジャンパ・ソケットを挿入します。



図 2-2: FPGA 評価ボードを AB16-PCleXOVR アダプタ部品面(A)側に装着、J5 の 1-3 間と 2-4 間をショート

NVMe PCIe SSD を半田面(B)側の PCIe ソケットに接続します。



図 2-3: NVMe PCIe SSD を AB16-PCIeXOVR アダプタ半田面(B)側に装着

JTAG プログラムおよび Niosll コマンド・シェル用に Bタイプ USB ケーブルで FPGA ボードと PC を接続しま す





- FPGA 評価ボードと AB16-PCleXOVR アダプタの電源を投入します。



図 2-5: FPGA 評価ボードと AB16-PCleXOVR アダプタの電源を投入



b) PCle ルート・コネクタを使った Arria10 SoC 開発キットのセットアップ

- 全ての電源が OFF 状態であることを確認します.
- 図 2-6 に示すように NVMe PCIe SSD を FPGA 評価ボードの PCIe コネクタに接続します。



図 2-6: NVMe PCIe SSDとArria10 SoC 開発キットの接続

- JTAG プログラムおよび NiosII コマンド・シェル用のマイクロ USB ケーブルを図 2-7 のように FPGA 評価ボ ードと PC 間で接続します。



<u>図 2-7: マイクロ USB ケーブルの接続</u>



- 図 2-8 のように SW1 の Bit[2]を OFF として、 PCIe の電源ソース供給を設定します。



図 2-8: SW1の Bit[2]=OFF とし Arria10SoC ボードからの PCIe 電源供給を設定

- 図 2-9 のように Altera 電源アダプタを FPGA 評価ボードと接続します。
- FPGA 評価ボードの電源を投入します。



2016/12/21



2.2 評価ボードのセットアップ

- 図 2-10 に示すように Quartusll プログラマを使って NVMe-IP 評価用 SOF ファイルを選択し FPGA をコンフ ィグレーションします



- NIosIIコマンド・シェルを開き nios2-terminal コマンドを実行します。IP の初期化が完了すると図 2-11 のよう にメイン・メニューが表示されます。
- システムの初期化中は"Waiting device ready"メッセージが表示されます。
- PCle のリンク・アップが完了すると"PCle Gen3/2/1 Device Detect"のメッセージがリンク速度に応じて表示 されます。
- そしてメイン・メニューが表示されユーザからのコマンドを受け付けられるようになります。

/cygdrive/d/altera/16.0	/cygdrive/c/altera/15.1		
\$ nios2-terminal Command script nios2-terminal: connected to hardware target usi nios2-terminal: "USB-BlasterII [USB-1]", device nios2-terminal: (Use the IDE stop button or Ctrl	\$ nios2-terminal nios2-terminal: connected to hardware target using JTf nios2-terminal: "USB-BlasterII [USB-1]", device 1, ins nios2-terminal: (Use the IDE stop button or Ctrl-C to		
++++ Start NUMe-IP Test design [Ver = 1.1] ++++	++++ Start NUMe-IP Test design [Ver = 1.1] ++++		
PCIe Gen3 Device Detect PCIe speed = Gen3	PCIe Gen2 Device Detect PCle speed = Gen2		
Main menu [Ver = 1.1] [0] : Identify Device [1] : Write SSD [2] : Read SSD	Main menu [Ver = 1.1] [0] : Identify Device [1] : Write SSD [2] : Read SSD		
.m.			





- FPGA 評価ボード上の LED の点灯状態を確認します。LED の定義を下表 1 に示します。

LED	点灯	消灯
0	正常動作	クロックが安定していないかリセット・ボタンが押下された
1	システムが動作状態	アイドル状態
2	PCle エラーを検出	正常動作
3	データ・ベリファイで不一致	正常動作

<u>表 1: LED 定義</u>



図 2-12: 動作状態を表示する 4 ビットの LED

- FPGAのコンフィグレーションが完了するとLED[0]とLED[1]が PCleの初期化中点灯します。そしてLED[1] が消灯し PCle が初期化を完了してデモ・システムがユーザからのコマンドを受け付けられることを示しま す。



図 2-13: FPGA コンフィグレーションが完了し PCIe の初期化まで終わった時点での LED 状態

DG

dg_nvmeip_instruction_alt_jp.doc

3 テスト・メニュー

3.1 Identify Device

メニューの'0'を選択することで、NVMe PCIe SSD に対して IDENTIFY DEVICE コマンドを発行できます。この メニューを実行すると SSD の容量や型番情報がコンソール上に表示されます。

	A second se
++ Identify Device selected + lodel Number : Samsung SSD 950 SD Capacity= 512[GB] SSD C Main menu [Ver = 1.1] Outpu 0] : Identify Device 1] : Write SSD 2] : Read SSD	PRO 512GB Model name fro apacity Identify data t from IP



3.2 Write SSD

メニューの'1'を選択することで、NVMe PCle SSD に対してライト・コマンドを発行できます。このメニューでは3 つのパラメータ入力を求められます。

- Start LBA: ライト・コマンドの開始セクタ・アドレス (1 セクタ=512 バイト)
- Sector Count: ライト・コマンドのセクタ数
- Test pattern: SSD にライトするデータのテスト・パターン、データ・パターンは4種類から選択できる 32 ビット・インクリメンタル、32 ビット・デクリメンタル、オール0、オール1

図 3-2 や図 3-3 に示すように全ての入力パラメータが有効な場合にライト動作が開始します。データのライト実行中、実転送データ数がコンソール上に順次表示され、コマンド動作が進んでいることを示します コマンド実行の最後にライト数とコマンド実行時間から転送パフォーマンスが計算され表示されます。

/cygdrive/d/altera/16.0	PCIeGen3 by Mode2		💷 /cy	gdrive/d/altera/16.0	PCIeGen3 by Mo	de1	
1 +++ Write data select Enter Start LBA : 0 - Enter Sector Count : Selected Pattern [0]] 1.546 GB 3.072 GB 4.603 GB 30.596 GB 32.120 GB 33.645 GB	ed +++ Øx3B9E12AF => Ø 1 - Øx3B9E12BØ => Ø nc32 [1]Dec32 [2]A]]	nput from user (4000000) _0 131A11_1 => 0	1 +++ W Enter Selec 1.5 3.0 4.6 30. 32. 33.	hrite data selecto Start LBA : 0 - Sector Count : 1 ted Pattern [0]In 46 GB 177 GB 692 GB 229 GB 771 GB	ed +++ Ø×3B9E12AF => Ø – Ø×3B9E12BØ => nc32 [1]Dec32 [2]	0x400000 All_0 [3]	0 All_1 => 0
Total = 34[GB] , Time	= 22[s] , Transfer	speed = 1529[MB/s]	Total	L = 34[GB] , Time	= 22[s] , Transf	er speed	= 1535[MB/s]
Main menu [Ver = [0] : Identify Device [1] : Write SSD [2] : Read SSD	1.1]	Output performance	[0] : [1] : [2] :	Main menu [Ver = 1 : Identify Device : Write SSD : Read SSD	.1]	Output p	erformance
4			4		m		

図 3-2: Write SSD メニューのパラメータ入力と PCIe GEN3 での実行結果例

/cygdrive/c/altera/15.1 PCleGen2 by Mode2	Cygdrive/c/altera/15.1 PCleGen2 by Mode1
1 +++ Write data selected +++ Enter Start LBA : 0 - 0x3B9E12AF => 0 Enter Sector Count : 1 - 0x3B9E12B0 => 0x4000000 Selected Pattern [0]Inc32 [1]Dec32 [2]All_0 [3]All_1 => 0 1.444 GB 2.888 GB 4.333 GB 1 30.330 GB 31.775 GB 33.219 GB	1 +++ Write data selected +++ Enter Start LBA : 0 - 0x3B9E12AF => 0 Enter Sector Count : 1 - 0x3B9E12B0 => 0x4000000 Selected Pattern [0]Inc32 [1]Dec32 [2]A11_0 [3]A11_1 => 0 1.317 GB 2.635 GB 3.953 GB 3.953 GB 31.620 GB 32.938 GB 34.256 GB
Total = 34[GB] , Time = 23[s] , Transfer speed = 1444[MB/s]	Total = 34[GB] , Time = 26[s] , Transfer speed = 1317[MB/s]
Main menu [Ver = 1.1] Output performance [0] : Identify Device [1] : Write SSD [2] : Read SSD	Main menu [Ver = 1.1] Output performance [0] : Identify Device [1] : Write SSD [2] : Read SSD
	×

図 3-3: Write SSD メニューのパラメータ入力と PCIe GEN2 での実行結果例



図 3-4~図 3-6 はユーザから無効な入力があった場合のエラー・メッセージを示します。"Invalid input"のメッセ ージがコンソール上に表示され、コマンドは中断しメイン・メニューに復帰します。



図 3-4: 無効な開始セクタ番地を指定した場合



図 3-5: 無効なセクタ数を指定した場合

🖳 /cygdrīve/d/altera/16.0	×
1	-
+++ Write data selected +++ Enter Start LBA : 0 - 0x3B9E12AF => 0 Enter Sector Count : 1 - 0x3B9E12B0 => 0x1000000 Selected Pattern [0]Inc32 [1]Dec32 [2]A11_0 [3]A11_1 => 4 Invalid input Out-of-range pattern	C
Main menu [Ver = 1.1] [0] : Identify Device [1] : Write SSD [2] : Read SSD	

図 3-6: 無効なテスト・パターンを指定した場合



3.3 Read SSD

メニューの'2'を選択することで、NVMe PCle SSD に対してリード・コマンドを発行できます。このメニューでは3 つのパラメータ入力を求められます。

- Start LBA: リード・コマンドの開始セクタ・アドレス (1 セクタ=512 バイト)
- Sector Count: リード・コマンドのセクタ数

- Test pattern: SSD からリードしたデータとベリファイするテスト・パターン、データ・パターンは ライトしたデータ・パターンに合わせる必要がある、ライトと同じく 32 ビット・ インクリメンタル、32 ビット・デクリメンタル、オール 0、オール 1 の4種類から選択

ライトのテストと同様に、全ての入力パラメータが有効な場合にリード動作が開始します。 データのリード実行 中、実転送データ数がコンソール上に順次表示され、コマンド動作が進んでいることを示します コマンド実行の 最後にリード数とコマンド実行時間から転送パフォーマンスが計算され表示されます。

/cygdrive/d/altera/16.0 PCleGen3 by Mode2	/cygdrive/d/altera/16.0 PCleGen3 by Mode1
2 +++ Read data selected +++ Enter Start LBA : 0 - 0×3B9E12AF => 0 Input from user Enter Sector Count : 1 - 0×3B9E12B0 => 0×4000000 Selected Pattern [0]Inc32 [1]Dec32 [2]A11_0 [3]A11_1 => 0 2.275 GB 4.552 GB 6.829 GB 29.586 GB 31.863 GB 34.138 GB	2 +++ Read data selected +++ Enter Start LBA : 0 - 0x3B9E12AF => 0 Enter Sector Count : 1 - 0x3B9E12B0 => 0x4000000 Selected Pattern [0]Inc32 [1]Dec32 [2]A11_0 [3]A11_1 => 0 1.221 GB 2.443 GB 3.666 GB 3.666 GB
Total = 34[GB] , Time = 15[s] , Transfer speed = 2275[MB/s]	Total = 34[GB] , Time = 28[s] , Transfer speed = 1222[MB/s]
Main menu [Ver = 1.1] Output performance [0] : Identify Device [1] : Write SSD [2] : Read SSD	Main menu [Ver = 1.1] Output performance [0] : Identify Device [1] : Write SSD [2] : Read SSD
	A

図 3-7: Read SSD メニューのパラメータ入力と PCle GEN3 での実行結果例

/cygdrive/c/altera/15.1	PCleGen2 by Mode2		/cygdrive/c/altera/15.1	PCIeGen2 by Mode1	
2 +++ Read data select Enter Start LBA : 0 Enter Sector Count : Selected Pattern [0] 1.137 GB 2.276 GB 3.414 GB 3.414 GB 31.871 GB 33.008 GB 34.147 GB	ed +++ - 0x3B9E12AF => 0 1 - 0x3B9E12B0 => 0x4000 Inc32 [1]Dec32 [2]All_0 [2 + Er 3]A11_1 => 0 Se	++ Read data select nter Start LBA : 0 nter Sector Count : elected Pattern [0] 554.180 MB 1.308 GB 1.963 GB 32.732 GB 33.387 GB 34.041 GB	ed +++ - Øx3B9E12AF => Ø 1 - Øx3B9E12BØ => Øx Inc32 [1]Dec32 [2]Al]	<4000000 _0 [3]All_1 => 0
Total = 34[GB] , Tim	e = 30[s] , Transfer spee	d = 1138[MB/s] To	otal = 34[GB] , Tim	e = 52[s] , Transfer	speed = 654[MB/s]
Main menu [Ver = [0] : Identify Devic [1] : Write SSD [2] : Read SSD	1.1] Ou e	utput performance	Main menu [Ver = 0] : Identify Devic 1] : Write SSD 2] : Read SSD	1.1] e	Output performance
3	W		e [

図 3-8: Read SSD メニューのパラメータ入力と PCIe GEN2 での実行結果例



/cygdrive/d/altera/16.0

```
2
+++ Read data selected +++
Enter Start LBA : 0 - 0x3B9E12AF => 0
Enter Sector Count : 1 - 0x3B9E12B0 => 0x4000000
Selected Pattern [0]Inc32 [1]Dec32 [2]All_0 [3]All_1 => 1
Verify fail
1st Error at Byte Addr = 0 \times 00000000
                                           = 0xFFFFFFFC_FFFFFFD_FFFFFFE_FFFFFFF
Expect Data
Read Data
                                           = 0x0000003_0000002_0000001_0000000
Press any key to cancel operation
2.275 GB
4.552 GB
6.829 GB
                                                                  Verify fail without cancel
                                                                                                  Ξ
  29.588 GB
31.863 GB
34.140 GB
Total = 34[GB] , Time = 15[s] , Transfer speed = 2276[MB/s]
   - Main menu [Ver = 1.1] ----
[0] : Identify Device
[1] : Write SSD
[2] : Read SSD
```

図 3-9:リード時ベリファイでエラーが発生したがリードが完了するまで待機した場合の結果例



図 3-10: リード時ベリファイでエラーが発生しユーザがキャンセルを指示した場合の結果例

図 3-9 と図 3-10 はベリファイでエラーが発生した例を示します。"Verify fail"のメッセージがエラー発生アドレス、 期待値、リード値とともに表示されます。この場合ユーザは何かキー入力を行うことでリード動作を中断するこ とができますが、キー入力をせずにリード動作の完了を待つことも可能です。ただしリード動作をキー入力によ り中断した場合、その後必ずリセット・ボタンを押下しシステムを再起動する必要があるので注意してください。



4 更新履歴

リビジョン	日付	履歴
1.0	9-Aug-16	Initial version release (English Version)
1.0J	2016/8/11	日本語版の初期版作成
1.1J	2016/8/29	ライト/リード実行中の進捗メッセージを実転送バイト数表示方式に変更
1.2J	2016/12/21	データ・バッファを内部メモリ版に改良したコアの実行結果例に更新