

NVMe-IP デモ手順書 (Altera 版)

Rev1.2J 2016/12/21

本ドキュメントは ArriaV GX スタータ開発キットあるいは Arria10 SoC 開発キットにおいて NVMe-IP の実機デモ手順について説明したものです。ArriaV GX スタータ開発キットの場合、NVMe PCIe SSD と接続するため AB16-PCIeXOVR アダプタが必要となります。本デモでは NVMe PCIe SSD に対してライト・リード&ベリファイを実行できます。ユーザは NiosII コマンド・シェル経由でテスト・メニューを選択します。

1 ハードウェア環境

本 NVMe-IP デモを ArriaV GX スタータ開発キットや Arria10 SoC 開発キットで実機評価するためには以下の環境を準備してください。

- 1) ArriaV GX スタータ開発キット(PCle GEN2)または Arria10 SoC 開発キット(PCle GEN3)
- 2) QuartusII プログラマと NiosII コマンド・シェルをインストールした PC
- 3) ArriaV GX スタータ開発キットの場合 AB16-PCIeXOVR アダプタおよび付属品の電源分岐ケーブル
- 4) Altera 評価キット付属の AC アダプタ
- 5) NVMe PCIe SSD (M.2 SSD の場合 PCIe スロットへ挿入するための変換アダプタが必要)
- 6) FPGA をコンフィグレーションし NiosII コマンド・シェルを実行するためのケーブル
 - ArriaV GX スタータ開発キットの場合 USB B タイプ・ケーブル
 - Arria10 SoC 開発キットの場合 USB マイクロ・ケーブル

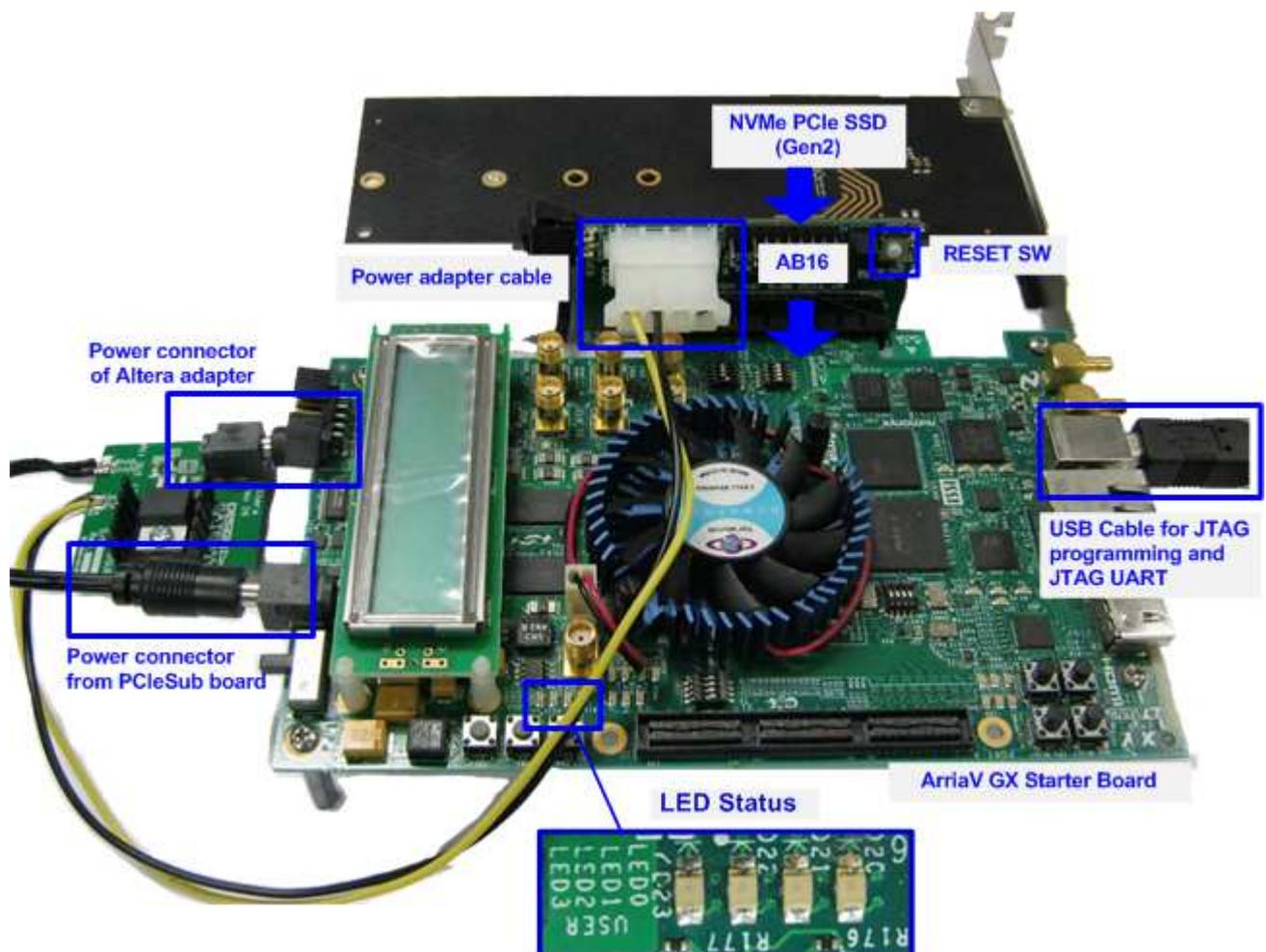


図 1-1: ArriaV GX スタータ開発キットにおける NVMe-IP デモ環境

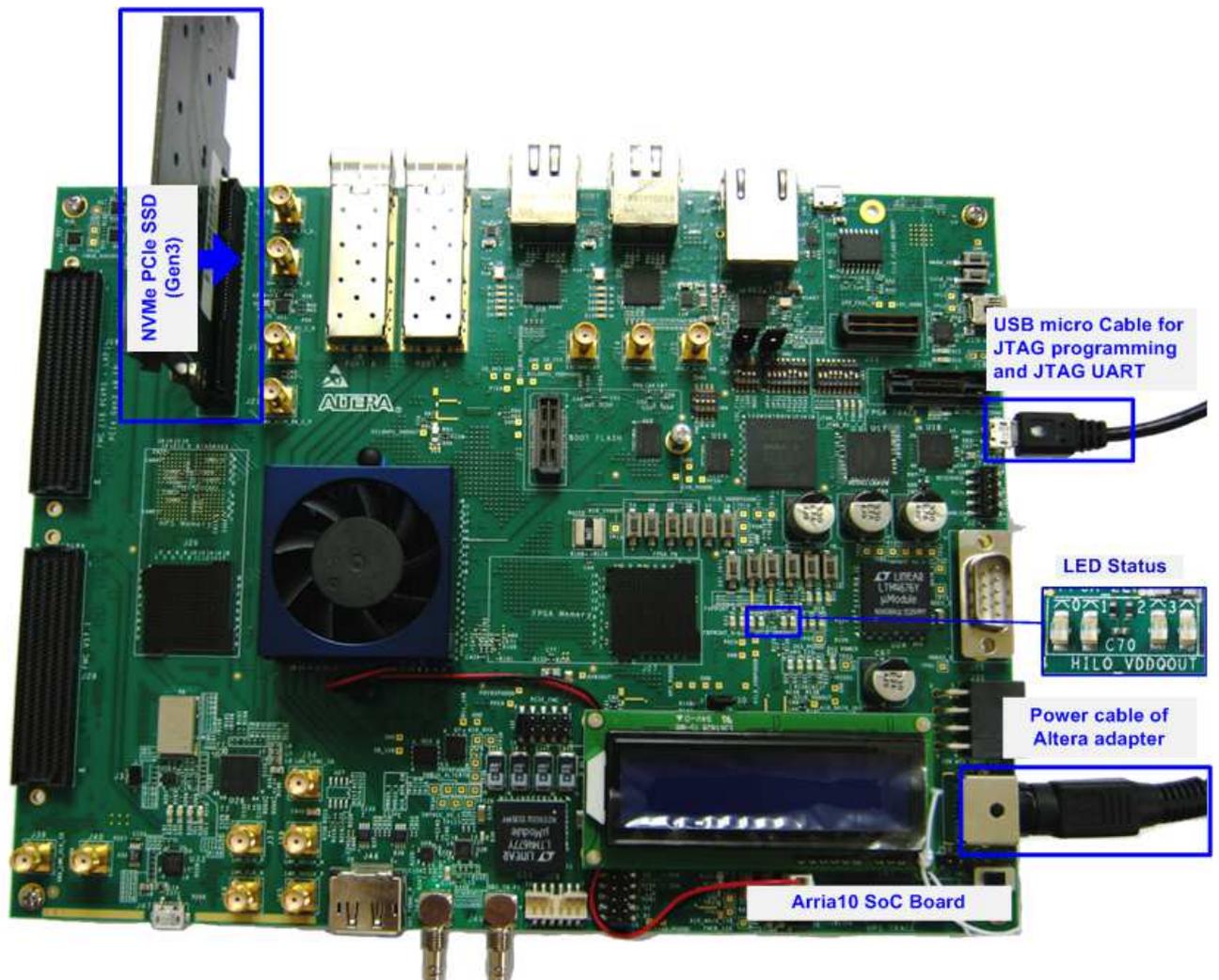


図 1-2: Arria10 SoC 開発キットにおける NVMe-IP デモ環境

2 ハードウェア設定

2.1 PCIe のセットアップ

a) AB16-PCIeXOVR を使った ArriaV GX スタータ開発キットのセットアップ

- 全ての電源が OFF 状態であることを確認します。
- AB16-PCIeXOVR 付属の電源分岐ケーブルにてプラグケーブルを FPGA ボードの電源コネクタに接続します
- 電源分岐ケーブルの ATX コネクタケーブルを AB16-PCIeXOVR アダプタに接続します
- Altera 評価ボード付属の AC アダプタを電源分岐ケーブル小基板上のジャックに接続します

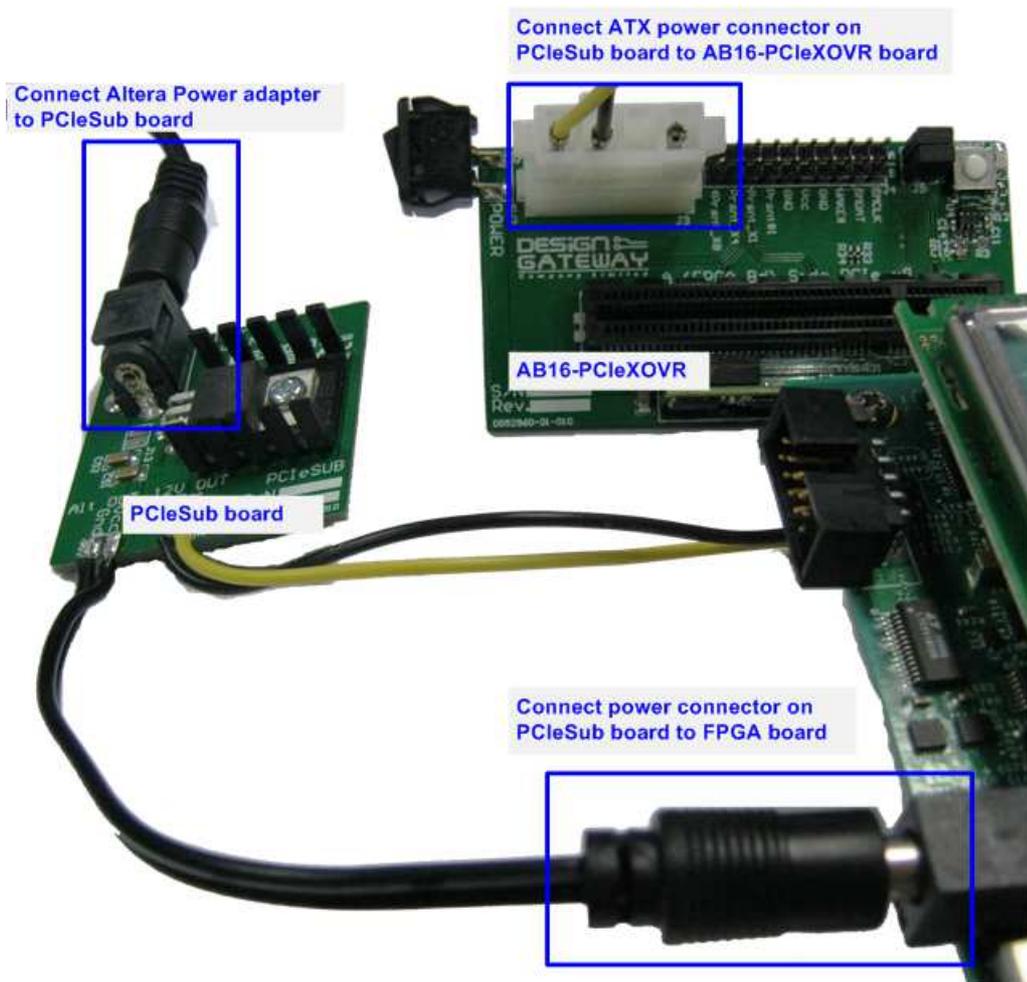


図 2-1: 電源分岐ケーブルの接続

- 図 2-2 のように、AB16-PCIeXOVR アダプタ基板の部品面(A)側の PCIe ソケットに Altera 評価ボードを接続します。また、アダプタ基板の J5 にて Pin#1-3 間および Pin#2-4 間にジャンパ・ソケットを挿入します。

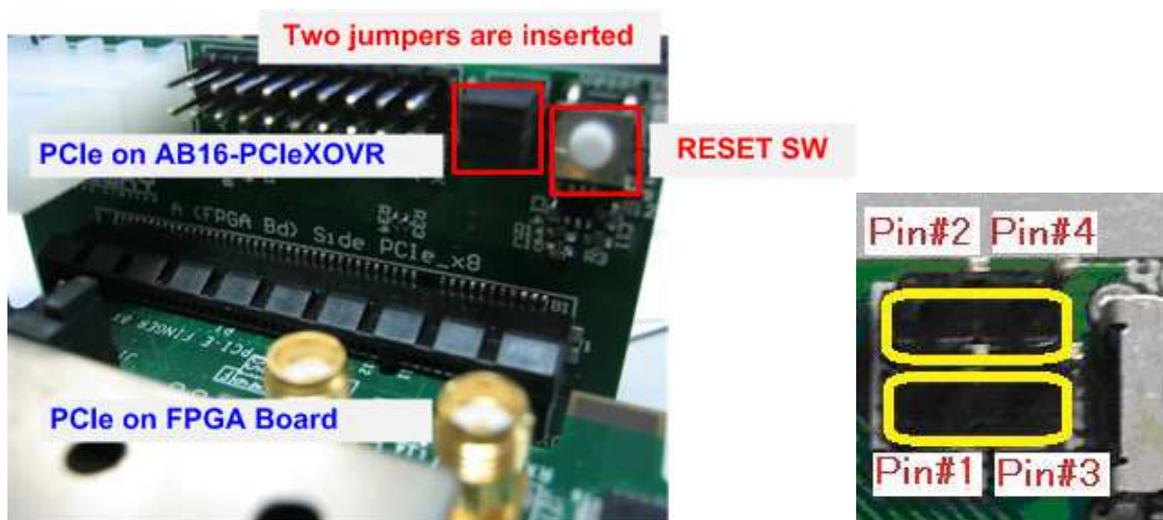


図 2-2: FPGA 評価ボードを AB16-PCIeXOVR アダプタ部品面(A)側に装着、J5 の 1-3 間と 2-4 間をショート

- NVMe PCIe SSD を半田面(B)側の PCIe ソケットに接続します。

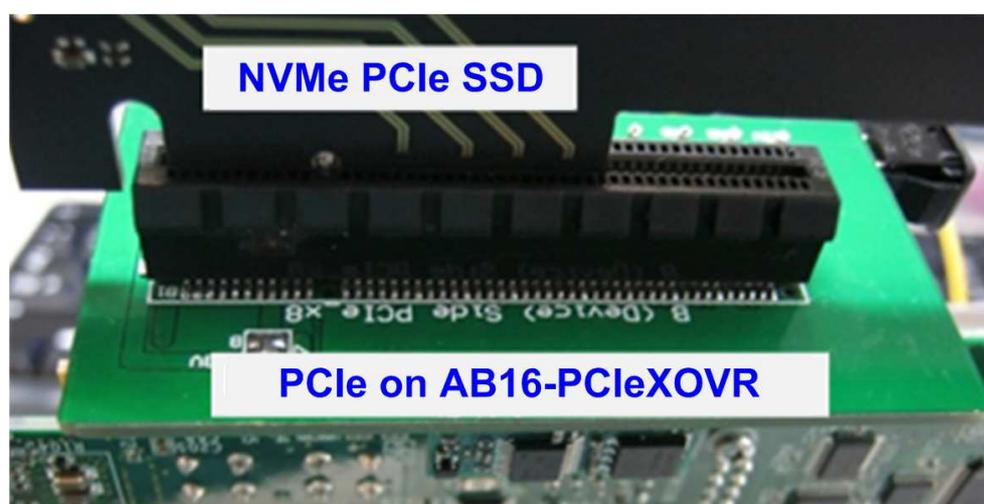


図 2-3: NVMe PCIe SSD を AB16-PCIeXOVR アダプタ半田面(B)側に装着

- JTAG プログラムおよび NiosII コマンド・シェル用に B タイプ USB ケーブルで FPGA ボードと PC を接続します



図 2-4: USB ケーブルの接続

- FPGA 評価ボードと AB16-PCIeXOVR アダプタの電源を投入します。



図 2-5: FPGA 評価ボードと AB16-PCIeXOVR アダプタの電源を投入

b) PCIe ルート・コネクタを使った Arria10 SoC 開発キットのセットアップ

- 全ての電源が OFF 状態であることを確認します。
- 図 2-6 に示すように NVMe PCIe SSD を FPGA 評価ボードの PCIe コネクタに接続します。



図 2-6: NVMe PCIe SSD と Arria10 SoC 開発キットの接続

- JTAG プログラムおよび NiosII コマンド・シェル用のマイクロ USB ケーブルを図 2-7 のように FPGA 評価ボードと PC 間で接続します。



図 2-7: マイクロ USB ケーブルの接続

- 図 2-8 のように SW1 の Bit[2]を OFF として、PCIe の電源ソース供給を設定します。

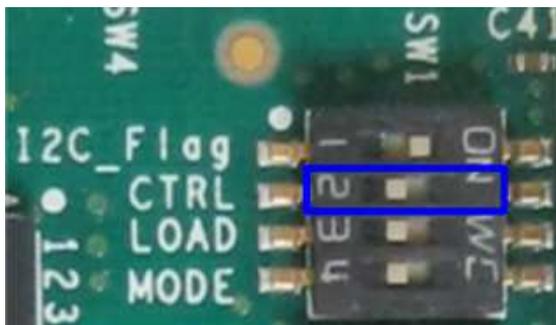


図 2-8: SW1 の Bit[2]=OFF とし Arria10SoC ボードからの PCIe 電源供給を設定

- 図 2-9 のように Altera 電源アダプタを FPGA 評価ボードと接続します。
- FPGA 評価ボードの電源を投入します。

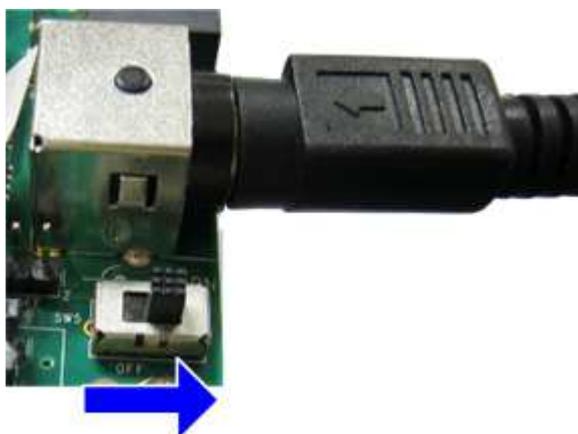


図 2-9: Arria10 SoC 開発キットの電源投入

2.2 評価ボードのセットアップ

- 図 2-10 に示すように QuartusII プログラマを使って NVMe-IP 評価用 SOF ファイルを選択し FPGA をコンフィグレーションします

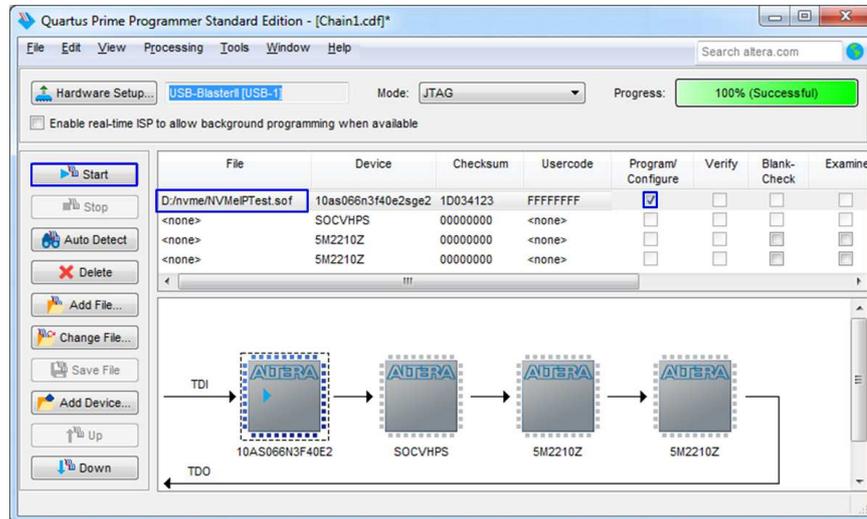


図 2-10: QuartusII プログラマによる FPGA のコンフィグレーション

- NiosII コマンド・シェルを開き nios2-terminal コマンドを実行します。IP の初期化が完了すると図 2-11 のようにメイン・メニューが表示されます。
- システムの初期化中は"Waiting device ready"メッセージが表示されます。
- PCIe のリンク・アップが完了すると"PCIe Gen3/2/1 Device Detect"のメッセージがリンク速度に応じて表示されます。
- そしてメイン・メニューが表示されユーザからのコマンドを受け付けられるようになります。

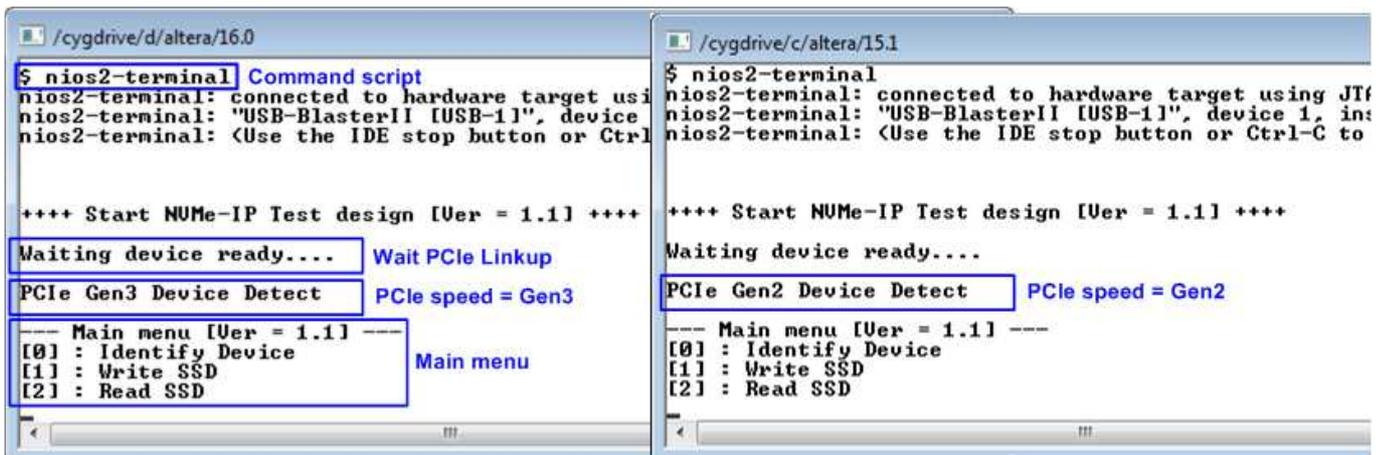


図 2-11: NiosII Terminal 画面

- FPGA 評価ボード上の LED の点灯状態を確認します。LED の定義を下表 1 に示します。

表 1: LED 定義

LED	点灯	消灯
0	正常動作	クロックが安定していないかリセット・ボタンが押下された
1	システムが動作状態	アイドル状態
2	PCIe エラーを検出	正常動作
3	データ・ベリファイで不一致	正常動作

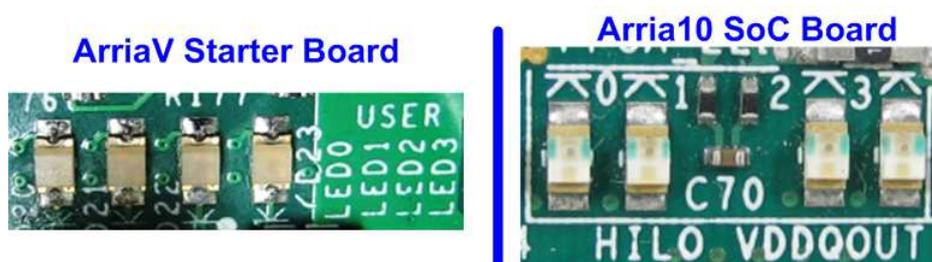


図 2-12: 動作状態を表示する 4 ビットの LED

- FPGA のコンフィグレーションが完了すると LED[0]と LED[1]が PCIe の初期化中点灯します。そして LED[1]が消灯し PCIe が初期化を完了してデモ・システムがユーザからのコマンドを受け付けられることを示します。

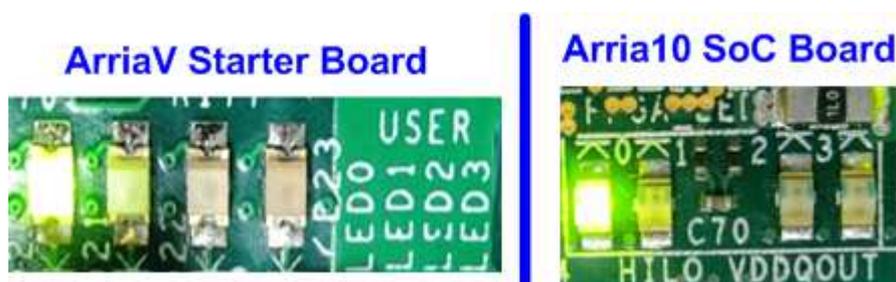


図 2-13: FPGA コンフィグレーションが完了し PCIe の初期化まで終わった時点での LED 状態

3 テスト・メニュー

3.1 Identify Device

メニューの'0'を選択することで、NVMe PCIe SSD に対して IDENTIFY DEVICE コマンドを発行できます。このメニューを実行すると SSD の容量や型番情報がコンソール上に表示されます。

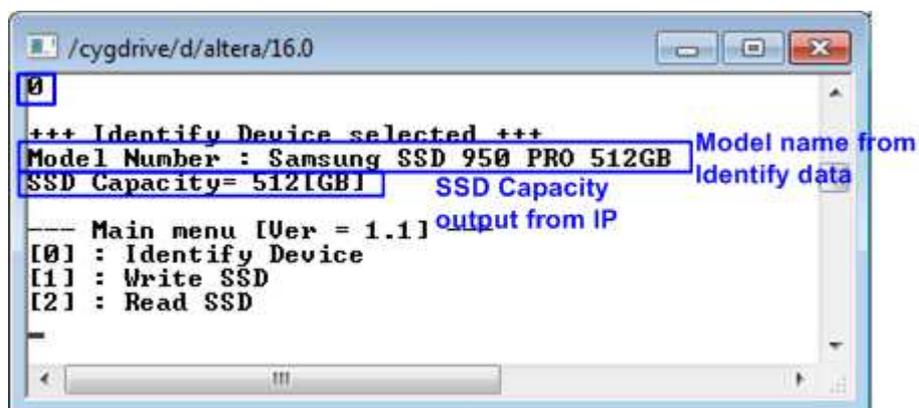


図 3-1: IDENTIFY DEVICE メニューの実行結果例

3.2 Write SSD

メニューの「1」を選択することで、NVMe PCIe SSD に対してライト・コマンドを発行できます。このメニューでは3つのパラメータ入力を求められます。

- Start LBA: ライト・コマンドの開始セクタ・アドレス (1 セクタ=512 バイト)
- Sector Count: ライト・コマンドのセクタ数
- Test pattern: SSD にライトするデータのテスト・パターン、データ・パターンは 4 種類から選択できる
32 ビット・インクリメンタル、32 ビット・デクリメンタル、オール 0、オール 1

図 3-2 や図 3-3 に示すように全ての入力パラメータが有効な場合にライト動作が開始します。データのライト実行中、実転送データ数がコンソール上に順次表示され、コマンド動作が進んでいることを示します。コマンド実行の最後にライト数とコマンド実行時間から転送パフォーマンスが計算され表示されます。

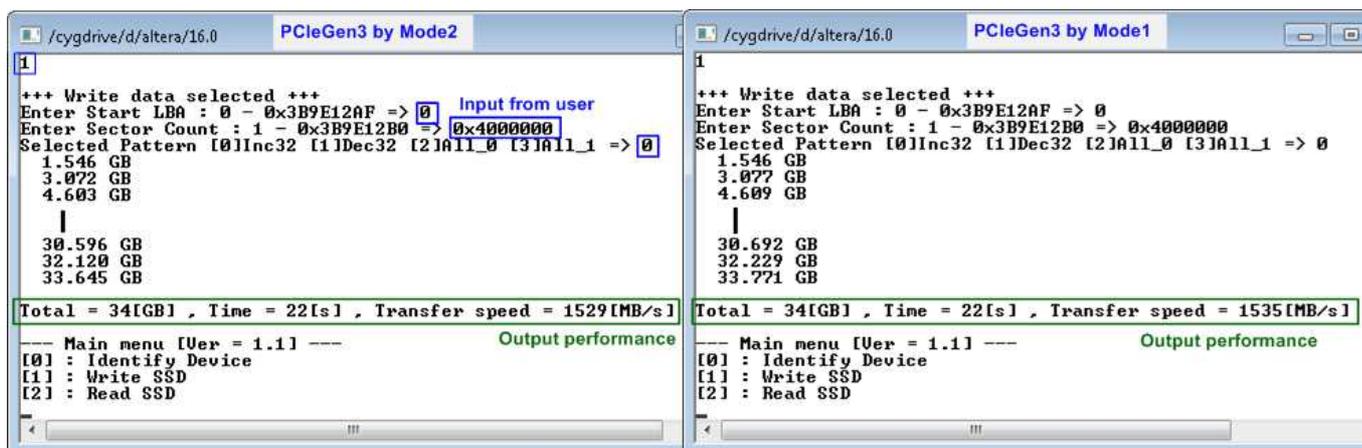


図 3-2: Write SSD メニューのパラメータ入力と PCIe GEN3 での実行結果例

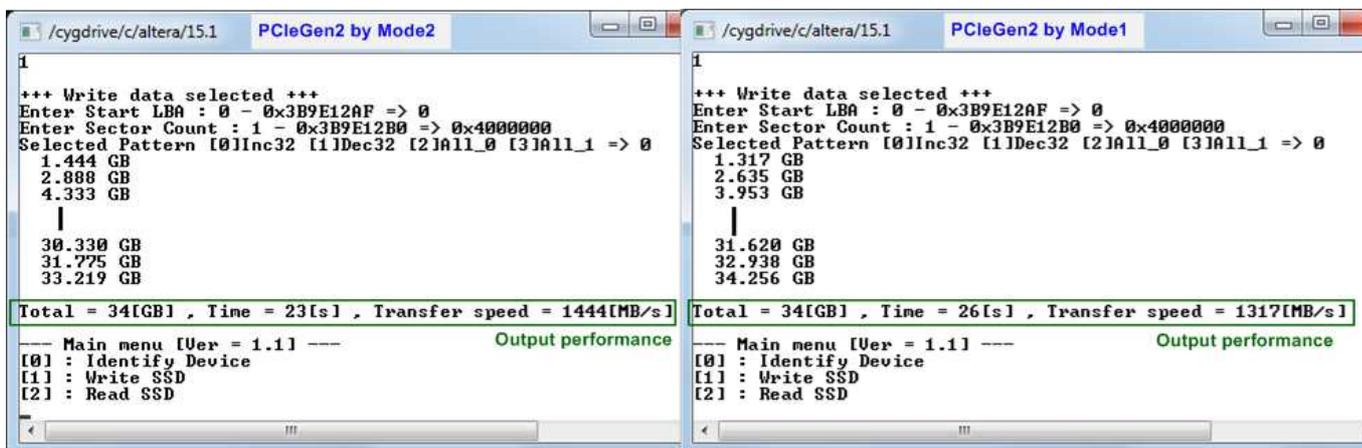


図 3-3: Write SSD メニューのパラメータ入力と PCIe GEN2 での実行結果例

図 3-4～図 3-6 はユーザから無効な入力があった場合のエラー・メッセージを示します。“Invalid input”のメッセージがコンソール上に表示され、コマンドは中断しメイン・メニューに復帰します。

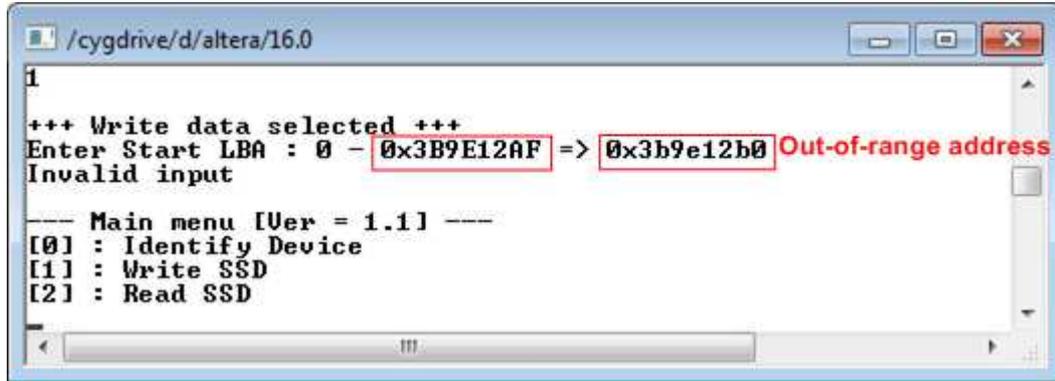


図 3-4: 無効な開始セクタ番地を指定した場合

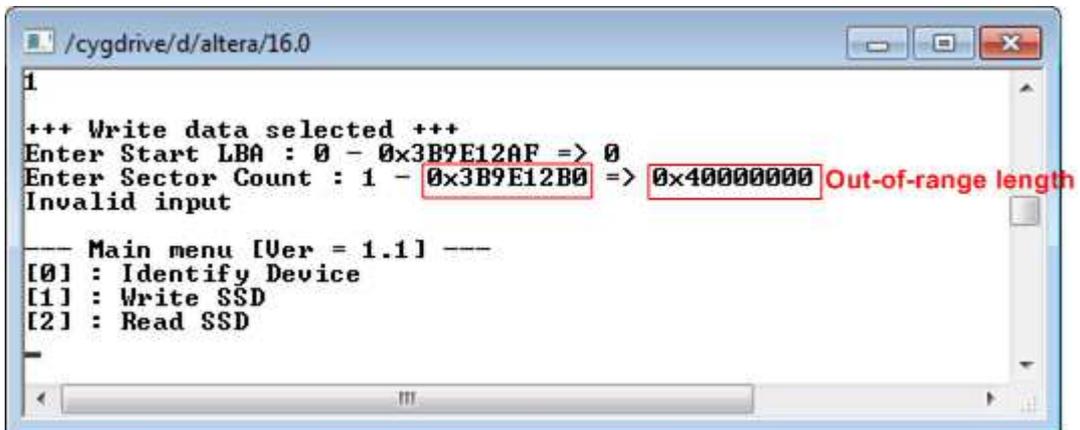


図 3-5: 無効なセクタ数を指定した場合

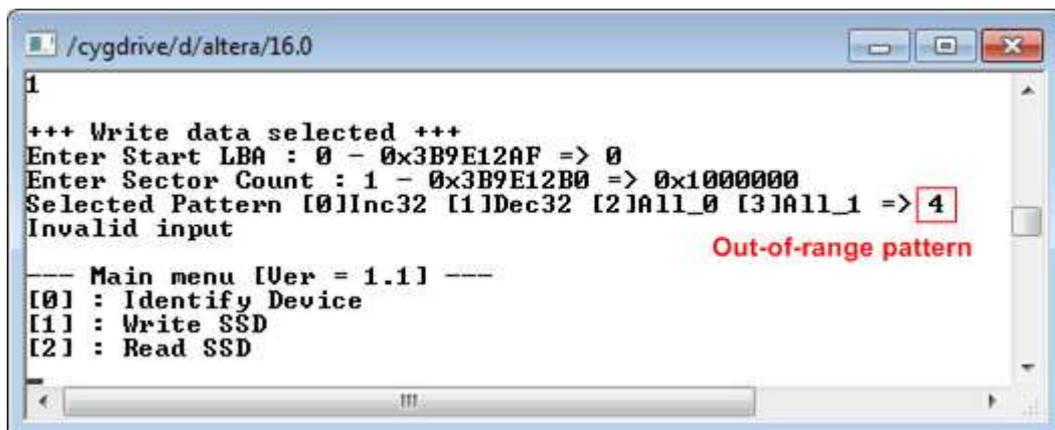


図 3-6: 無効なテスト・パターンを指定した場合

3.3 Read SSD

メニューの'2'を選択することで、NVMe PCIe SSD に対してリード・コマンドを発行できます。このメニューでは3つのパラメータ入力を求められます。

- Start LBA: リード・コマンドの開始セクタ・アドレス (1 セクタ=512 バイト)
- Sector Count: リード・コマンドのセクタ数
- Test pattern: SSD からリードしたデータとベリファイするテスト・パターン、データ・パターンはライトしたデータ・パターンに合わせる必要がある、ライトと同じく 32 ビット・インクリメンタル、32 ビット・デクリメンタル、オール 0、オール 1 の4種類から選択

ライトのテストと同様に、全ての入力パラメータが有効な場合にリード動作が開始します。データのリード実行中、実転送データ数がコンソール上に順次表示され、コマンド動作が進んでいることを示します。コマンド実行の最後にリード数とコマンド実行時間から転送パフォーマンスが計算され表示されます。

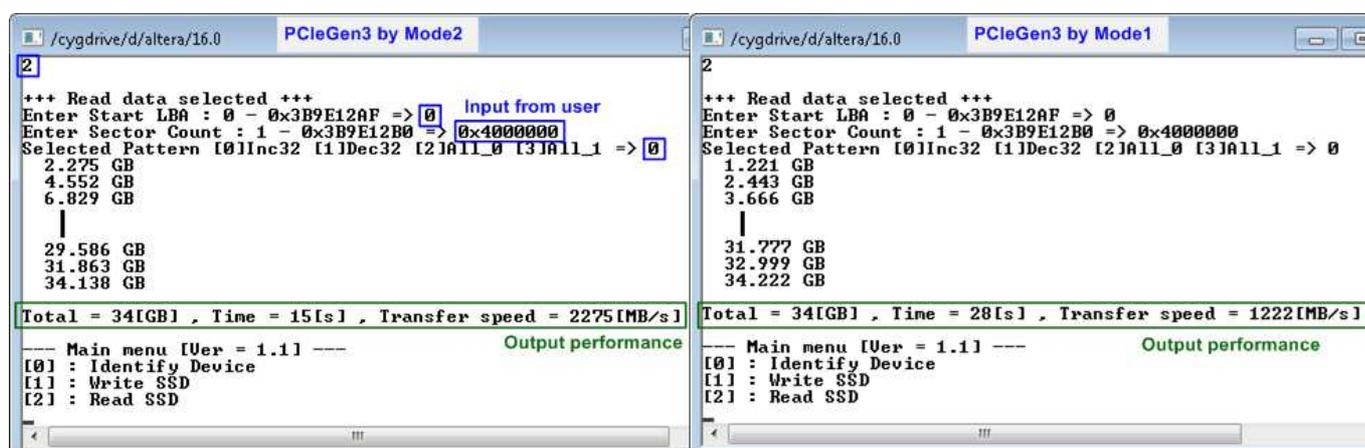


図 3-7: Read SSD メニューのパラメータ入力と PCIe GEN3 での実行結果例

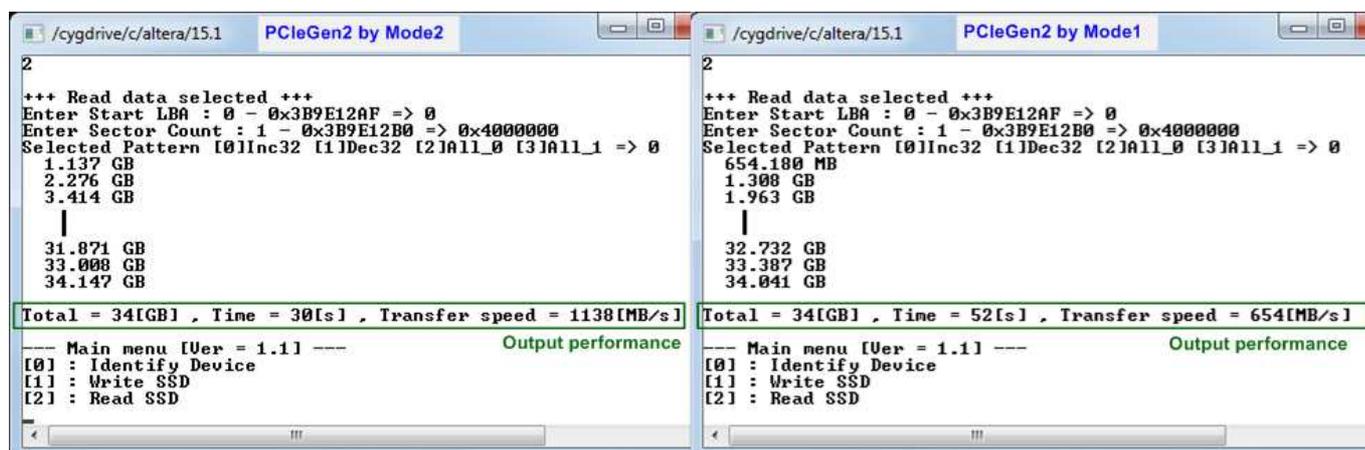


図 3-8: Read SSD メニューのパラメータ入力と PCIe GEN2 での実行結果例

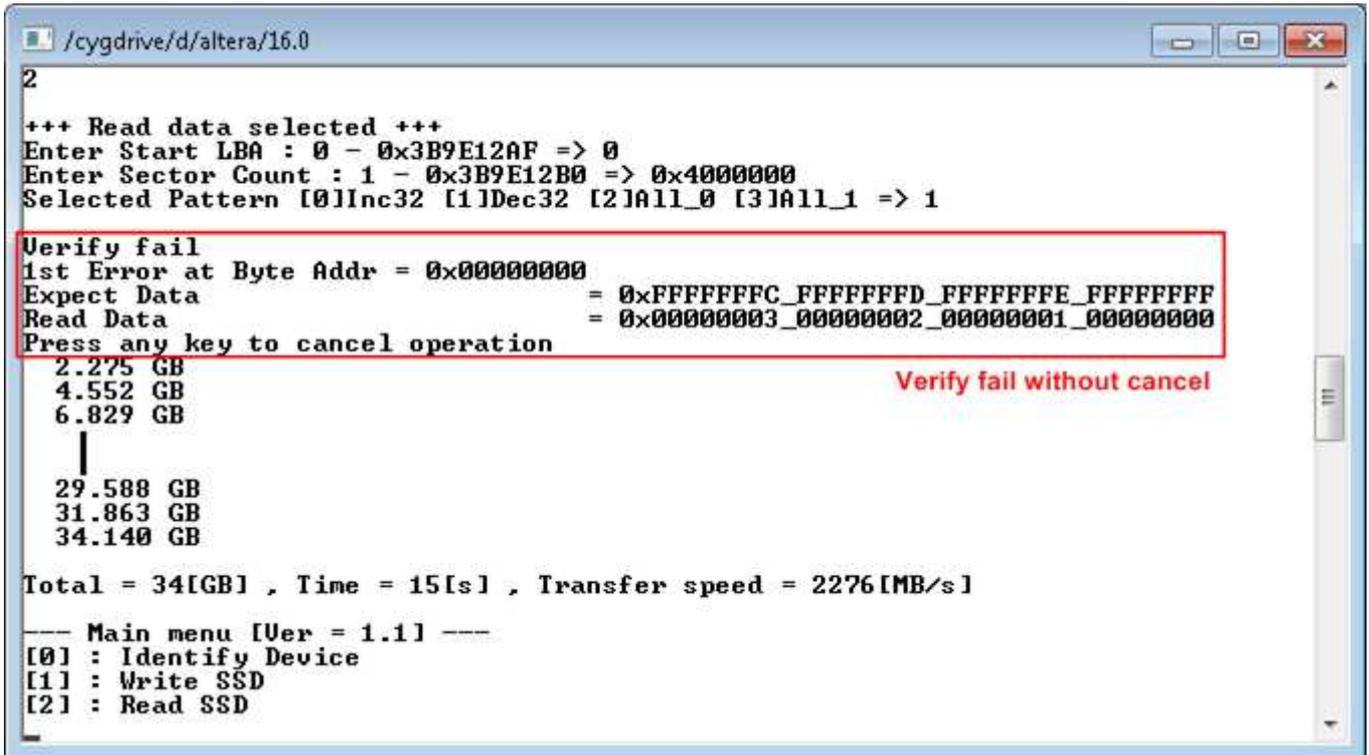


図 3-9:リード時ベリファイでエラーが発生したがリードが完了するまで待機した場合の結果例



図 3-10: リード時ベリファイでエラーが発生しユーザがキャンセルを指示した場合の結果例

図 3-9 と図 3-10 はベリファイでエラーが発生した例を示します。“Verify fail”のメッセージがエラー発生アドレス、期待値、リード値とともに表示されます。この場合ユーザは何かキー入力を行うことでリード動作を中断することができますが、キー入力をせずにリード動作の完了を待つことも可能です。ただしリード動作をキー入力により中断した場合、その後必ずリセット・ボタンを押下しシステムを再起動する必要がありますので注意してください。

4 更新履歴

リビジョン	日付	履歴
1.0	9-Aug-16	Initial version release (English Version)
1.0J	2016/8/11	日本語版の初期版作成
1.1J	2016/8/29	ライト/リード実行中の進捗メッセージを実転送バイト数表示方式に変更
1.2J	2016/12/21	データ・バッファを内部メモリ版に改良したコアの実行結果例に更新