

# <u>NVMe-IP Demo デモ手順書</u>

Rev2.2J 2017/12/02

本ドキュメントは Xilinx 製評価ボードおよび DesignGateway 社製 AB16-PCIeXOVR アダプタを使って NVMe-IP コアの実機動作を検証する手順について説明したものです。本デモにて NVMe PCIe SSD へのデータ書き込みやリ ード&ベリファイが実施できます。ユーザはシリアル・コンソール経由にてテスト動作を指示します。

### 1 ハードウエア環境

本 NVMe-IP デモを実機評価するために以下の環境を準備してください。

- 1) 本デモに対応する FPGA 評価基板(KCU105/VC707/VC709/ZC706/KC705/ ZCU106/Zynq Mini-ITX 7Z045 モデル)
- 2) Xilinx プログラマ(iMPACT/Vivado)およびシリアル・コンソール・ソフトウェアをインストールした PC
- 3) AB16-PCIeXOVR アダプタ(ただし Zynq Mini-ITX の場合は不要)および付属品の電源分岐ケーブル
- 4) Xilinx 評価ボード付属の AC アダプタ
- 5) AB16-PCIeXOVR アダプタと接続する NVMe PCIe SSD (M.2 SSD の場合 PCIe スロットへ挿入するため の変換アダプタが必要)
- 6) FPGA ボードと PC 間を接続し FPGA をコンフィグレーションするマイクロ USB ケーブル
- 7) FPGA ボードと PC 間を接続しシリアル・コンソールと通信するミニ/マイクロ USB ケーブル



図 1-1: KC705(PCIe GEN2)における NVMe-IP デモ環境





図 1-2: VC707(PCIe GEN2)における NVMe-IP デモ環境







#### 図 1-4 ZC706(PCIe GEN2)における NVMe-IP デモ環境



2017/12/02





図 1-7 Zynq Mini-ITX における NVMe-IP デモ環境



### 2 ハードウエア設定

- 1) 全ての電源が OFF 状態であることを確認します
- 2) a) 評価ボードが ZC706 の場合のみ以下(a-1),(a-2)の設定が必要です
  - (a-1) 図 2-1 に示すように、SW11 を"0000"として JTAG からの PS コンフィグレーション・モードとします SW11



図 2-1: ZC706 では SW11 を"00000"として JTAG からの PS コンフィグレーションに設定

(a-2)図 2-2 に示すように、SW04を"01"として USB から JTAG チェーンを接続する設定とします。



図 2-2: ZC706 では SW4を"01"として USB から JTAG チェーンを接続する設定

b) 評価ボードが Zynq Mini-ITX の場合のみ以下(b-1),(b-2)の設定が必要です

(b-1) 図 2-3 に示すように、SW7 を"0000"として JTAG からの PS コンフィグレーション・モードとします



図 2-3: Zynq Mini-ITX では SW7 を"00000"として JTAG からの PS コンフィグレーションに設定



(b-2)図 2-4 に示すように、JP1 の 1-2 ピン間にジャンパ・ソケットを装着し JTAG チェーンをイネーブルとし、 J8/J9/J10 で Zynq Mini-ITX ボードの電源モジュールを装着し、そして P2 コネクタに ATX 電源ケーブルを接続し ます。この Zynq Mini-ITX ボードの場合、ステップ 3)~4)で説明する AB16-PCIeXOVR アダプタの接続は不要 なのでスキップしてください。



図 2-4: Zyng Mini-ITX では JP1 の 1-2 間を接続した上で電源モジュールと ATX 電源ケーブルを接続

#### c) 評価ボードが ZCU106 の場合のみ以下(b-1),(b-2)の設定が必要です

(c-1) 図 2-5 に示すように、SW6を"0000"として JTAG からの PS コンフィグレーション・モードとします



図 2-5: ZCU106 では SW6 を"0000"として JTAG からの PS コンフィグレーションに設定



3) AB16-PCIeXOVR アダプタ付属の電源分岐ケーブルを使い図 2-6 のように AC アダプタからの電源を分岐して AB16-PCIeXOVR アダプタ・ボードおよび Xilinx 評価ボードの両方に供給します。





4) 図 2-7 のように、AB16-PCIeXOVR アダプタ基板の部品面(A)側の PCIe ソケットに Xilinx 評価ボードを接続 します。また、アダプタ基板の J5 にて Pin#1-3 間および Pin#2-4 間にジャンパ・ソケットを挿入します。



図 2-7: FPGA 評価ボードを AB16-PCIeXOVR アダプタ部品面(A)側に装着、J5 の 1-3 間と 2-4 間をショート

5) AB16-PCIeXOVR アダプタ基板を使うボードの場合は図 2-8 左側に示すように SSD をアダプタ基板半田面 (B)側の PCIe ソケットに接続します。Zynq Mini-ITX ボードの場合は図 2-8 右側に示すようにボード上 PCIe ソケットに直接 SSD を装着します。



図 2-8: NVMe PCIe SSDを AB16-PCIeXOVR アダプタ半田面(B)側に装着

6) Xilinx 評価ボード付属の 2 本の USB ケーブル(JTAG 接続用および USB シリアル接続用)の両方を Xilinx 評価ボードと PC 間に接続します。



Mini USB for Serial console 図 2-9: JTAG 接続用および USB シリアル接続用の 2 本の USB ケーブル接続

7) 図 2-10 に示す AB16-PCleXOVR アダプタの電源を投入します、次に図 2-11 のように Xilinx 評価ボードの 電源を投入します。



Power switch on FPGA board



<u>図 2-11: Xilinx 評価ボード電源の投入</u>



- 8) PC 上で TeraTerm や HyperTerminal などのシリアル・コンソール・ソフトを開きます。そしてボーレート =115,200、データ=8 ビット、パリティ=なし、ストップビット=1 に設定します。
- 9) 評価用 bit ファイルまたは bat ファイルを使って FPGA やファームウエアのダウンロードを行います。
  - (a) Zynq 搭載ボード(Zynq Mini-ITX/ZC706)の場合、図 2-12 に示すように Vivado TCLシェルを開き、カレント・ディレクトリを ready\_for\_download ホルダに移動した後に"MiniITX/zc706 nymeTest bat"を起動します。

Vivado 2015.4 Tcl	Shell - C:\Xilinx\Vivado\2015.	4\bin\vivado.bat -mode tc	
Vivado% cd D:/T	emp/ready_for_downl	oad -> Go to ready for	download direct
Vivado% 2c706_n	wmeTest.bat	corint file to download	-
Vivado	Kull	script me to download	Dit and en me
adoz			
ado% MinilTX_nvmeTes	t.bat_		

図 2-12: Zynq Mini-ITX/ ZC706 にて Vivado Tcl シェルでコマンド・スクリプトを実行

 (b) ZCU106 の場合、図 2-13 に示すように Vivado TCL シェルを開き、カレント・ディレクトリ を ready\_for\_download ホルダに移動した後に "exec xsdb ipi\_app\_download.tcl"と入 力します。

Vivado 2017.3 Tcl Shell - C:\Xilinx\Vivado\2017.3\bin\vivado.bat -modetcl       *******     Uivado v2017.3 (64-bit)       *****     SW Build 2018833 on Wed Oct 4 19:58:22 MDT 2017       *****     IP Build 2016188 on Wed Oct 4 21:52:56 MDT 2017       *****     IP Build 2016188 on Wed Oct 4 21:52:56 MDT 2017       *****     Copyright 1986-2017 Xilinx, Inc. All Rights Reserved.	•
Vivado% cd D:/Temp/ready_for_download Go to ready_for_download directory Vivado% exec xsdb ipi_app_download.tcl Run script file to download bit and elf file	
۲	• .d
図 2-13: ZC706/Zvng Mini-ITX にて Vivado Tcl シェルでコマンド・スクリプトを実行	



 (c) その他(KCU105/VC707/VC709/KC705)の場合、Vivadoツールを使って図2-14のよう にビット・ファイルで FPGA をコンフィグレーションします。

Now Isola Window Help		🚴 Vivado 2014	.4_AR57466	
VIVADO.	Productivity Multiplied	File Edit Flo	w Tools Window Layou	t View Help and commands
Quick Start				
A.		Hardware Ma	nager unconnected	×
Greate New Project	Open Project Open Example Project	No hardwa	re target is open. Open targe	
Tasks		Hardware	🔍	Auto Connect
1		《王帝		Recent Targets
Manage IP Og	en Handger Xiller 1d Store	Name		Clo Targets
		Dreparties		Op New Target
		Propercies	- 🗆 🗠	^
			1	
	· · · · · · · · · · · · · · · · · · ·			
	Kivado 2014.4	and the second		
	File Edit Flow Tools Window Layout	View Help	Line is the same	0
		Default Layout	- K & K &	
	Hardware Manager - localhost/xilinx_tcf/Digle	nt/210203356308A		
	There are no debug cores. Program device	Refresh device		
	Hardware	- 🗆 🖻 ×	Rogram Device	2 · X
	🔍 🖾 🕸 🚺 🖳 🕨 🗰		Colort a bitateora anoma	ning file and developed it to usua
	Name	Status	hardware device. You can c	ptionally select a debug probes file
	E localhost (1)	Connected	that corresponds to the deb programming file.	oug cores contained in the bitstream
	E: g xiinx_tcf/Digient/210203356308A (1) xc7/xx485t 0 (1)	Programmed		
	XADC (System Monitor)		Bitstream file: D:/NVI	MeIPTest/nvmeiptest.bit
	1.00		Debug probes file:	
				Program Cancel



10) FPGA 評価ボード上の LED の点灯状態を確認します。 LED の定義を下表 2-1 に示します。

GPIO LED	点灯	消灯
0/D4	正常動作	クロックが安定していないかリセット・ボタンが押下された
1/R/D5	システムが動作状態	アイドル状態
2/C/D6	IP エラーを検出	正常動作
3/L/D7	データ・ベリファイで不一致	正常動作

<u>表 2-1: LED 定義</u>



図 2-15: 動作状態を表示する 4 ビットの LED

11) FPGA のコンフィグレーションが完了するとLED[0]とLED[1]が PCle の初期化中点灯します。そして図 2-16 のように LED[1]が消灯し PCle が初期化を完了してデモ・システムがユーザからのコマンドを受け付けられ ることを示します。また、PCle のリンク速度情報が図 2-17 のようにメイン・メニューを表示する前にシリアル・コンソール上に表示されます。





🚨 COM5 - Tera Term VT		🔀 💆 COM3 - Tera Term VT 🛛 💼 💌
<u>File Edit Setup Control</u>	<u>W</u> indow <u>H</u> elp	<u>File Edit Setup Control Window Help</u>
++++ Start NVMe-IP Test design [ Haiting device ready PCIe Gen3 Device Detect	Ver = 1.2] ++++ Wait PCIe Linkup PCIe speed = Gen3	++++ Start NVMe-IP Test design [Ver = 1.2] ++++         Haiting device ready         PCIe Gen2 Device Detect         PCIe speed = Gen2
Main menu [Ver = 1.2] [0] : Identify Device [1] : Write SSD [2] : Read SSD	Main menu to select operating command	Main menu [Ver = 1.2] [O] : Identify Device [1] : Write SSD [2] : Read SSD
図 2-17: FPGA:	コンフィグレーションおよび	──└ び PCle 初期化完了後のシリアル・コンソール画面



# 3 テスト・メニュー

#### 3.1 Identify Device

メニューの'0'を選択することで、NVMe PCIe SSD に対して IDENTIFY DEVICE コマンドを発行できます。この メニューを実行すると SSD の容量がコンソール上に表示されます。





#### 3.2 Write SSD

メニューの'1'を選択することで、NVMe PCle SSD に対してライト・コマンドを発行できます。このメニューでは3つのパラメータ入力を求められます。(16 進数を入力する場合、先頭に'0x'のプリフィックスを入力してください)

- Start LBA: ライト・コマンドの開始セクタ・アドレス (1 セクタ=512 バイト)
- Sector Count: ライト・コマンドのセクタ数
- Test pattern: SSD にライトするデータのテスト・パターン、データ・パターンは5種類から選択できる 32ビット・インクリメンタル、32ビット・デクリメンタル、オール0、オール1、32ビットLFSR

全ての入力パラメータが有効な場合、図 3-2 に示すようにライト動作が開始します。 データのライト実行中、実転送データ数がコンソール上に順次表示され、コマンド動作が進んでいることを示します コマンド実行の最後 にライト数とコマンド実行時間から転送パフォーマンスが計算され表示されます。

COM5 - Tera Term PCleGen3	💆 COM3 - Tera Term V PCleGen2
<u>Eile E</u> dit <u>S</u> etup C <u>o</u> ntrol <u>W</u> indow <u>H</u> elp	<u>Eile E</u> dit <u>S</u> etup C <u>o</u> ntrol <u>W</u> indow <u>H</u> elp
+++ Write data selected +++ Enter Start LBA : 0 - 0x389E12AF => 0 Enter Sector Count : 1 - 0x389E12BO => 0x4000000 Selected Pattern [0]Inc32 [1]Dec32 [2]A11_0 [3]A11_1 [4]LFSR=> 4 2.117 GB 4.272 GB 6.439 GB 6.439 GB 1 30.043 GB 32.180 GB 34.335 GB	<pre>+++ Write data selected +++ Enter Start LBA : 0 - 0x3B9E12AF =&gt; 0 Enter Sector Count : 1 - 0x3B9E12B0 =&gt; 0x4000000 Selected Pattern [0]Inc32 [1]Dec32 [2]All_0 [3]All_1 [4]LFSR=&gt; 4 1.551 GB 3.111 GB 4.671 GB   31.205 GB 32.766 GB 34.326 GB</pre>
Total = 34[GB] , Time = 16[s] , Transfer speed = 2146[HB/s]         Hain menu [Ver = 1.3]         [0] : Identify Device         [1] : Write SSD         [2] : Read SSD	Total = 34[68] , Time = 22[s] , Transfer speed = 1560[MB/s] Main menu [Ver = 1.3] Output performance [0] : Identify Device [1] : Hrite SSD [2] : Read SSD

図 3-2: Write SSD メニューのパラメータ入力と PCIe GEN3(左)/GEN2(右)での実行結果例



135	<del>( (</del>	34-bi	t hea	ider	of ea	ich s	ecto	$r \rightarrow$									-1	-	-64	-bit	hea	der	of ea	ich s	ecto	$\rightarrow$								
	48	-bit l	BA	Addr	ess		0x0	000		-	12-bi	t incr	eme	nt da	ata			4	18-t	xit L	BA	Addr	ess		0x0	000			32-b	it LF	SR ;	atte	m	
Offset	0	1	2	3	4	5	6	7	8	9	A	В	C	D	E	F		1	٥	1	2	3	4	5	6	7	8	9	A	В	с	D	E	F
0000000000	00	00	00	00	00	00	00	00	02	00	00	00	03	00	00	00		0	0 0	00	00	00	00	00	00	00	01	00	00	00	02	00	00	00
0000000010	04	00	00	00	05	00	00	00	06	00	00	00	07	00	00	00		0	4 0	00	00	00	09	00	00	00	12	00	00	00	24	00	00	00
0000000020	08	00	00	00	09	00	00	00	0A	00	00	00	OB	00	00	00		4	9 0	00	00	00	92	00	00	00	24	01	00	00	49	02	00	00
000000030	0C	00	00	00	OD	00	00	00	0E	00	00	00	OF	00	00	00		9	2 0	14	00	00	24	09	00	00	49	12	00	00	92	24	00	00
0000000040	10	00	00	00	11	00	00	00	12	00	00	00	13	00	00	00		2	4 4	49	00	00	49	92	00	00	92	24	01	00	24	49	02	00
0000000050	14	00	00	00	15	00	00	00	16	00	00	00	17	00	00	00		4	9 9	32	04	00	92	24	09	00	24	49	12	00	49	92	24	00
0000000060	18	00	00	00	19	00	00	00	1A	00	00	00	1B	00	00	00		9	3 2	24	49	00	27	49	92	00	4F	92	24	01	9E	24	49	02
0000000070	1C	00	00	00	1D	00	00	00	1E	00	00	00	1F	00	00	00		30	C 4	19	92	04	79	92	24	09	FЗ	24	49	12	E7	49	92	24
0000000080	20	00	00	00	21	00	00	00	22	00	00	00	23	00	00	00		CI	E 9	93	24	49	9E	27	49	92	ЗD	4F	92	24	7A	9E	24	49
0000000090	24	00	00	00	25	00	00	00	26	00	00	00	27	00	00	00		F	5 3	3C	49	92	EB	79	92	24	D7	F3	24	49	AE	E7	49	92
00000000A0	28	00	00	00	29	00	00	00	2A	00	00	00	2B	00	00	00		51	DO	CF	93	24	BA	9E	27	49	75	3D	4F	92	EB	7A	9E	24
0000000B0	2C	00	00	00	2D	00	00	00	2E	00	00	00	2F	00	00	00		D	7 F	75	3C	49	AE	EB	79	92	5C	D7	F3	24	B8	AE	E7	49
00000000000	30	00	00	00	31	00	00	00	32	00	00	00	33	00	00	00		7	0 5	5D	CF	93	EO	BA	9E	27	C1	75	3D	4F	83	EB	7A	9E
0000000D0	34	00	00	00	35	00	00	00	36	00	00	00	37	00	00	00		0	7 I	07	F5	3C	0E	AE	EB	79	1D	5C	D7	FЗ	ЗB	B8	AE	E7
0000000E0	38	00	00	00	39	00	00	00	ЗA	00	00	00	3B	00	00	00		7	77	70	5D	CF	EE	ΕO	BA	9E	DC	C1	75	3D	B8	83	EB	7A
0000000F0	3C	00	00	00	3D	00	00	00	3E	00	00	00	ЗF	00	00	00		71	0 0	37	D7	F5	EO	OE	AE	EB	C1	1D	5C	D7	83	ЗB	B8	AE
0000000100	40	00	00	00	41	00	00	00	42	00	00	00	43	00	00	00		0	7 7	77	70	SD	0E	EE	EO	BA	1C	DC	C1	75	39	B8	83	EB
0000000110	44	00	00	00	45	00	00	00	46	00	00	00	47	00	00	00		7	3 7	70	07	D7	Eб	EO	0E	AE	CD	C1	1D	5C	9A	83	3B	B8
0000000120	48	00	00	00	49	00	00	00	4A	00	00	00	4B	00	00	00		3	4 0	07	77	70	68	0E	EE	EO	D1	1C	DC	C1	AЗ	39	B8	83
0000000130	4C	00	00	00	4D	00	00	00	4E	00	00	00	4F	00	00	00		4	7 7	73	70	07	8E	E6	EO	0E	1D	CD	C1	1D	ЗA	9A	83	ЗB
0000000140	50	00	00	00	51	00	00	00	52	00	00	00	53	00	00	00		7	4 3	34	07	77	E9	68	OE	EE	DЗ	D1	1C	DC	A6	A3	39	B8
0000000150	54	00	00	00	55	00	00	00	56	00	00	00	57	00	00	00		40	C 4	47	73	70	98	8E	E6	EO	31	1D	CD	C1	63	ЗA	9A	83
0000000160	58	00	00	00	59	00	00	00	5A	00	00	00	5B	00	00	00		C	6 7	74	34	07	8D	E9	68	0E	1B	DЗ	D1	1C	37	A6	A3	39
0000000170	5C	00	00	00	5D	00	00	00	5E	00	00	00	5F	00	00	00		61	Ε 4	4C	47	73	DC	98	8E	E6	B8	31	1D	CD	70	63	ЗA	9A
0000000180	60	00	00	00	61	00	00	00	62	00	00	00	63	00	00	00		Е	1 (	26	74	34	C3	8D	E9	68	86	1B	D3	D1	OD	37	A6	A3
0000000190	64	00	00	00	65	00	00	00	66	00	00	00	67	00	00	00		1/	A E	δE	4C	47	34	DC	98	8E	68	B8	31	1D	DO	70	63	ЗA
00000001A0	68	00	00	00	69	00	00	00	6A	00	00	00	6B	00	00	00		A	DE	Ξ1	C6	74	41	C3	8D	E9	83	86	1B	D3	06	OD	37	A6
00000001B0	6C	00	00	00	6D	00	00	00	6E	00	00	00	6F	00	00	00		00	C 1	1A	6E	4C	18	34	DC	98	30	68	B8	31	60	DO	70	63
00000001C0	70	00	00	00	71	00	00	00	72	00	00	00	73	00	00	00		C	0 2	10	E1	C6	81	41	C3	8D	03	83	86	1B	07	06	OD	37
00000001D0	74	00	00	00	75	00	00	00	76	00	00	00	77	00	00	00		01	FΟ	C	1A	6E	1F	18	34	DC	ЗF	30	68	<b>B</b> 8	7F	60	DO	70
00000001E0	78	00	00	00	79	00	00	00	7A	00	00	00	7B	00	00	00		FI	E C	20	AO	E1	FF	81	41	C3	FE	03	83	86	FD	07	06	OD
00000001F0	7C	00	00	00	7D	00	00	00	7E	00	00	00	7F	00	00	00		F	A (	OF	0C	1A	F4	1F	18	34	E9	3F	30	68	D3	7F	60	DO
0000000200	01	00	00	00	00	00	00	00	82	00	00	00	83	00	00	00			1 (	00	00	00	00	00	00	00	02	00	00	00	04	00	00	00
0000000210	84	00	00	00	85	00	00	00	86	00	00	00	87	00	00	00		0	9 0	00	00	00	12	00	00	00	24	00	00	00	49	00	00	00
0000000220	88	00	00	00	89	00	00	00	8A	00	00	00	8B	00	00	00		9	2 0	00	00	00	24	01	00	00	49	02	00	00	92	04	00	00
000000230	8C	00	00	00	8D	00	00	00	8E	00	00	00	8F	00	00	00		2	4 0	9	00	00	49	12	00	00	92	24	00	00	24	49	00	00
			64	I-bit	head	ler															64	-bit i	head	er										

#### 図 3-3: 32 ビット LFSR パターンのセクタ#0/#1 のパターン例

テスト・パターンにおいて各セクタの最初の 8 バイト(64 ビット)は特殊なパターンとなり、すなわち最初の 6 バイトはそのセクタの 48 ビット LBA アドレスを示し、残り 2 バイトは常にゼロです。 つまり各セクタの最初の 6 バイトは必ずセク タごとに異なる値となります。9 バイト目以降のデータは Test Patten で指定したパターン(上図左は 32 ビット・インクリ メンタルで上図右は 32 ビット LFSR)でセットされます。



図 3-4~図 3-6 はユーザから無効な入力があった場合のエラー・メッセージを示します。"Invalid input"のメッセージがコンソール上に表示され、コマンドは中断しメイン・メニューに復帰します。

C	OM5 -	Tera Ter	m VT			
<u>F</u> ile	Edit	Setup	Control	Window	Help	112
++ Ur	ite dat	a selecte	d +++			
nter	Start L	BA : D -	0x3B9E12AF	=> 0x3b9e12	bl Out-of	f-range address
nvali	d input	1				
Ha	in Henu	[Ver = 1	1.2]			
. 10	10ent 11	d pearce				
01 : 11 :	Hrite S	SD				
01 : 11 : 21 :	Hrite S Read SS	SD D				

図 3-4: 無効な開始セクタ番地を指定した場合



#### 図 3-5: 無効なセクタ数を指定した場合



図 3-6: 無効なテスト・パターンを指定した場合



#### 3.3 Read SSD

メニューの'2'を選択することで、NVMe PCle SSD に対してリード・コマンドを発行できます。このメニューでは3 つのパラメータ入力を求められます。

- Start LBA: リード・コマンドの開始セクタ・アドレス (1 セクタ=512 バイト)
- Sector Count: リード・コマンドのセクタ数
- Test pattern: SSD からリードしたデータとベリファイするテスト・パターン、データ・パターンは ライトしたデータ・パターンに合わせる必要がある、ライトと同じく32ビット・ インクリメンタル、32ビット・デクリメンタル、オール0、オール1、32ビットLFSRの 5種類から選択

ライトのテストと同様全ての入力パラメータが有効な場合、図 3-7 に示すようにリード動作が開始します。デー タのリード実行中、実転送データ数がコンソール上に順次表示され、コマンド動作が進んでいることを示します コマンド実行の最後にリード数とコマンド実行時間から転送パフォーマンスが計算され表示されます。

また、無効な入力があった場合は "Invalid input"のメッセージがコンソール上に表示され、コマンドは中断しメイン・メニューに復帰します。

🔟 COM5 - Tera Term \ PCleGen3	COM3 - Tera Term VI PCleGen2
<u>Eile Edit S</u> etup C <u>o</u> ntrol <u>W</u> indow <u>H</u> elp	<u>Eile E</u> dit <u>S</u> etup C <u>o</u> ntrol <u>W</u> indow <u>H</u> elp
<pre>+++ Read data selected +++ Enter Start LBA : 0 - 0x389E12AF =&gt; 0 Enter Sector Count : 1 - 0x389E12B0 =&gt; 0x4000000 Input from user Selected Pattern [0]Inc32 [1]Dec32 [2]All_0 [3]All_1 [4]LFSR=&gt; 4 3.251 G8 6.504 G8 9.755 G8   26.018 G8 29.270 G8 32.522 G8</pre>	<pre>*** Read data selected *** Enter Start LBA : 0 - 0x389E12AF =&gt; 0 Enter Sector Count : 1 - 0x389E12B0 =&gt; 0x4000000 Selected Pattern [0]Inc32 [1]Dec32 [2]All_0 [3]All_1 [4]LFSR=&gt; 4 1.716 GB 3.433 GB 5.150 GB   30.904 GB 32.621 GB 34.338 GB</pre>
Total = 34[GB] , Time = 10[s] , Transfer speed = 3252[HB/s]	Total = 34[GB], Time = 20[s], Transfer speed = 1716[MB/s]
[0] : Identify Device [1] : Hrite SSD [2] : Read SSD	Main menu [Ver = 1.3] [0] : Identify Device [1] : Write SSD [2] : Read SSD

図 3-7: Read SSD メニューのパラメータ入力と PCle GEN3(左)/GEN2(右)での実行結果例



図 3-8 と図 3-9 はベリファイでエラーが発生した例を示します。"Verify fail"のメッセージがエラー発生アドレス、 期待値、リード値とともに表示されます。この場合ユーザは何かキー入力を行うことでリード動作を中断するこ とができますが、キー入力をせずにリード動作の完了を待つことも可能です。ただしリード動作をキー入力によ り中断した場合、その後必ず AB16-PCIeXOVR アダプタ上のリセット・ボタンを押下しシステムを再起動する必 要があるので注意してください。

<u>F</u> ile	<u>E</u> dit <u>S</u> et	tup C <u>o</u> ntr	rol <u>W</u> indow	Help	
nter nter	ead data sei Start LBA : Sector Coun	0 - 0x389E1 t : 1 - 0x38	28F => 0 9E12B0 => 0x40	00000	0
elec	ted Pattern	[0]Inc32 [1]	Dec32 [2]All_D	[3]A11_1 [4]LFSR=>	> 0
ress 3.2 9.7	rror at byte t Data any key to 50 GB D4 GB 55 GB	= ndor = 0x00 = 0x00 = 0x00 cancel opera	000000 000003_0000000 000000_0000000 tion	2_00000000_00000000 0_00000000_000000000	)
	015 GB 267 GB 519 GB				
26. 29. 32.					
26. 29. 32. otal	= 34[GB] ,	Time = 10[s]	, Transfer sp	eed = 3252[MB/s]	

図 3-8:リード時ベリファイでエラーが発生したがリードが完了するまで待機した場合の結果例

File Edit Setup Control	<u>W</u> indow <u>H</u> elp	
+++ Read data selected +++ Enter Start LBA : O - Ox3B9E12AF Enter Sector Count : 1 - Ox3B9E1 Selected Pattern [D]Inc32 [1]Dec	=> 0 280 => 0x4000000 32 [2]All_0 [3]All_1 [4]LFSR=	> 0
Verify fail 1st Error at Byte Addr = 0x00000 Expect Data = 0x00000 Read Data = 0x00000 Press any key to cancel operation 3.256 GB	000 003_00000002_00000000_0000000 002_00000001_00000000_0000000 n	
Operation is cancelled Please reset systen before start	neu test	

図 3-9: リード時ベリファイでエラーが発生しユーザがキャンセルを指示した場合の結果例



## 4 更新履歴

リビジョン	日付	履歴
1.0	2-Jun-16	Initial version release (English Version)
1.0J	2016/6/6	日本語版の初期版作成
1.1J	2016/6/27	KCU105 のサポートを追加
1.2J	2016/09/06	ZC706 のサポートを追加
1.3J	2016/09/09	KC705 のサポートを追加
1.5J	2016/11/08	Zynq Mini-ITX および VC709 のサポートを追加
1.6J	2016/12/19	データ・バッファを内部メモリ版に改良したコアの実行結果例に更新
2.0J	2017/06/09	IP コア改良およびデータ・バッファを 256K バイトに固定化
2.1J	2017/07/31	テスト・パターンとして 32 ビット LFSR パターンを追加
2.2J	2017/12/02	ZCU106 のサポートを追加