

PCI-IP コアのご紹介

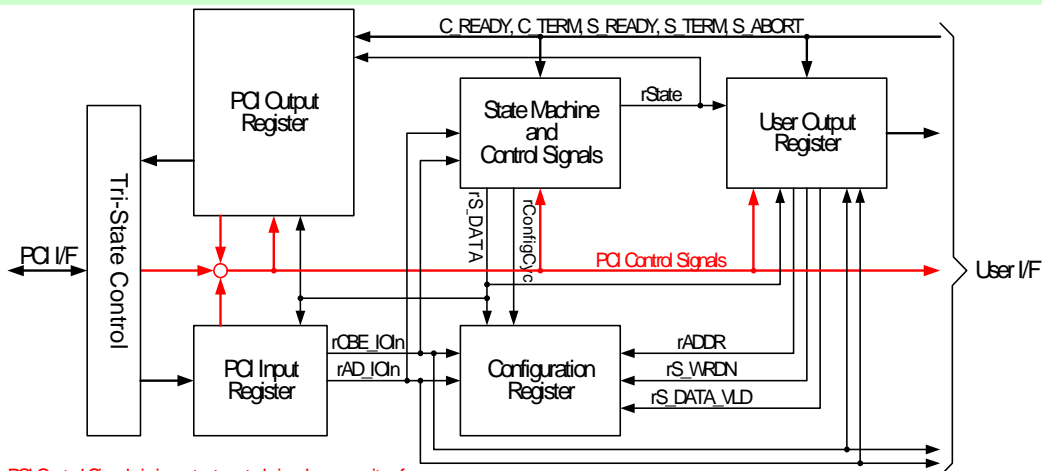
IP コア概略

DesignGateway 社の PCI-IP コアは、PCI-2.2 規格に準拠した IP コアです。 高い実効転送レートを実現するバスマスタ機能や、ブリッジを構築する際に必要なセルフ・コンフィグレーション機能を実装しております。

特長

- PCI-2.2 規格準拠
- ターゲット機能・バスマスタ機能
- セルフ・コンフィグレーション機能
- シングル/バースト両方の転送モードをサポート
- 32Bit/64Bit 対応
- 3 個までのベースアドレスを同時設定可
- システムエラー・パリティエラー時のエラー・リカバリ処理を実装
- VHDL/Verilog 両方に対応
- VCS ファイル生成スクリプト込みのテストベンチ (ModelSIM ベースでの検証環境)
- 対応トランザクション: ConfigurationWrite, ConfigurationRead, MemoryWrite, MemoryRead, IOWrite, IORead
- ユーザ・ロジック側インターフェイス仕様のカスタマイズ可(オプション)
- 実装デバイスに対するタイミング最適化(チューニング)により 66MHz 動作の対応可(オプション)
- Windows(XP,NT 系)および Linux(RedHat)のデバイス・ドライバおよび DLL をご提供(オプション)

ブロック図



PCI Control Signals is important control signals composite of:
 rFRAME_IQ, rDEVSEL_IQ, rRDY_IQ, rTRDY_IQ, rSTOP_IQ,
 rFRAME_IQIn, rDEVSEL_IQIn, rRDY_IQIn, rTRDY_IQIn, rSTOP_IQIn,
 rFRAME_IQOut, rDEVSEL_IQOut, rRDY_IQOut, rTRDY_IQOut, rSTOP_IQOut

パフォーマンス

本 PCI-IP コアは非常に高い転送パフォーマンスを提供します。 Target に実装したバスマスタ動作による 64bit 幅/33MHz 動作での実効転送速度の実測値は以下です。

| W/R | データ方向 | 実測値 |
|---------|-------------------|---------------|
| Write 時 | PCIバス 本 IP コアへの入力 | 75M Byte/sec |
| Read 時 | 本 IP コア PCIバスへの出力 | 150M Byte/sec |

転送パフォーマンス実測値 (Host 側チップセット: ServerWorks 社 ServerSet3LE)

使用リソース

本 IP を単体で Altera 製 Stratix に実装した場合、以下のリソースを必要とします。(PCIバス 32bit 幅、ユーザロジック側のカスタマイズなしでのコンパイル時)

LE 数: 約 1200

メモリビット数: なし