



Design Gateway Co.,Ltd

本社: 〒184-0012
 東京都小金井市中町 3-23-17
 電話/FAX: 050-3588-7915
 E-mail: sales@dgway.com
 URL: www.dgway.com

特長

- Virtex-5LXT および Virtex-5SXT 向け
- Serial ATA 規格 revision 2.6 に準拠
- ホスト側のみならずデバイス側の動作もサポート (SATA 周辺機器開発への応用が可能)
- シンプルな Host プロセッサ向けトランザクション I/F および DMA I/F
- 上位レイヤ I/F は 32bit 幅
- 送受信データパスで BlockRAM による 4KB の FIFO を実装
- 速度自動ネゴシエーション機能により SATA II/I の両方をサポート
- コアロジック自体はタイミングにフィットしやすい低速動作
 - SATA-II の場合、IP コア部は 75.0MHz 動作で PHY 部は 150MHz 動作
 - SATA-I の場合、IP コア部は 37.5MHz 動作で PHY 部は 75MHz 動作
- EMI 低減のための CONT プリミティブをサポート
- Virtex5 GTP で実装可能な 20bit 幅の PHY インターフェイス
- ML-505/ML-506 ボードによる購入前のコア実機評価が可能
- 安心の国内サポート

Core Facts	
コアの提供情報	
製品型番	SATA-IP001
対象デバイス	Virtex-5LXT / Virtex-5SXT
提供ドキュメント	リファレンスデザインマニュアル Simulation ドキュメント
提供形態	NGC 形式のネットリスト
制約ファイル	リファレンスデザインで Constrain file を提供
検証方法	テストベンチ, Simulation ライブラリ
サンプル	Host および Device リファレンスデザイン
リファレンスデザイン アプリケーション情報	ISE/EDK プロジェクト (リファレンスデザインマニュアルに記載)
その他	ML505/ML506 による実機デモ可
シミュレーション検証ツール	
Modelsim SE 6.4	
技術サポート	
デザインゲートウェイ・ジャパンによる国内サポート	

表1: コンパイル結果

Family	Example Device	Fmax (MHz)	Slices ¹	IOB ²	GCLK	BRAM	MULT/ DSP48/E	DCM / CMT	MGT	Design Tools
Virtex [®] -5 (LXT)	XC5VLX50T-1FFG1136C	217	579	119	6	2	0	2	1	ISE [®] 11.4

備考:

- 1) 実際のスライス消費カウントはユーザロジックやフィット条件等に依存します。
- 2) このサンプルはコアの全 I/O とクロックがチップ外部と直接インターフェイスするケースでのコンパイル結果となります。
- 3) SATA-IP コア自体では GCLK, DCM, MGT は使用しませんが、PHY レイヤにて必要となるため表1に含めております。また、自動速度ネゴシエーション機能を使わず SATA-II 又は SATA-I 固定速度とした場合、消費リソースは 1DCM と 4GCLK となります。

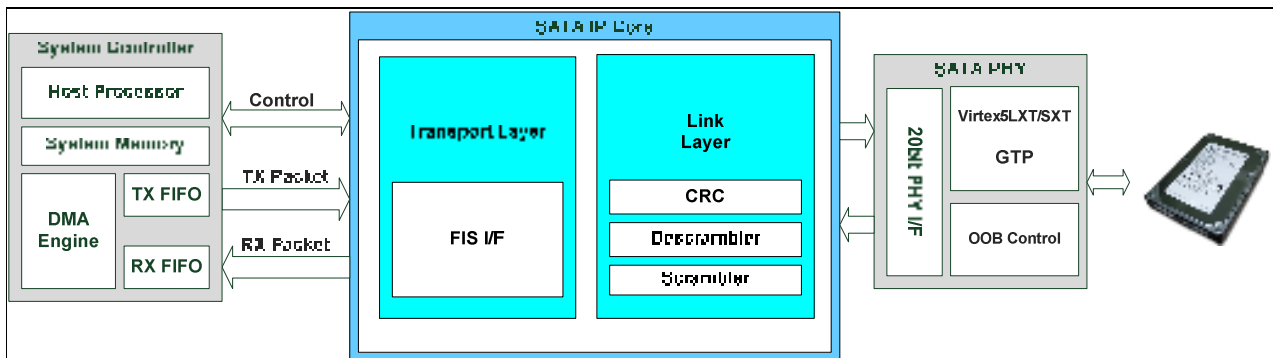


図1: SATA IP ブロック図

アプリケーション情報

SATA IP コアは低コストかつ高速データ転送を必要とするストレージ向けのアプリケーションに最適です。また、スケーラビリティに対する柔軟な拡張性が要求される RAID システムや高速大容量のデータ収集システムのような組み込み向けとしても理想的なソリューションを提供します。

さらに SATA Host のみならず SATA Device 側としての動作もサポートしているため、SATA 周辺機器や SATA ブリッジへの応用も可能です。

概略

SATA-IP コアはリンク・レイヤとトランスポート・レイヤの一部を内蔵し、Host プロセッサが管理する上位のプロトコル・レイヤおよび Virtex5LXT/SXT の GTP トランシーバで実装される PHY レイヤと通信します。

IP の上位レイヤ・インターフェイス側はシンプルな TX/RX 方式によるトランザクション・インターフェイスとなり、Microblaze や PowerPC 等の FPGA 内部プロセッサと非常に簡単に接続できます。

PHY インターフェイスは 20bit 幅で、3.0Gbps 速度の SATA-II の場合は 150MHz のリファレンス・クロックに同期しますが、1.5Gbps 速度の SATA-I の場合はリファレンス・クロックの周波数は 75MHz となります。(SATA-I と SATA-II でコアのロジックに対する設定等は一切なく PHY 間との転送クロックの周波数のみが変わります。従って同一のコアがそのまま SATA-I と SATA-II のどちらにも使えます。) さらに、SATA Device の場合は、上位トランスポート・レイヤと PHY レイヤの実装はそれぞれ変更されますが SATA-IP コア自体は一切変更する必要がないため、同一のコアが SATA Host にも SATA Device にも使えます。

SATA-IP コアには Xilinx 製評価ボードの ML-505 または ML-506 で実機動作する無償のデモ用ビットファイルが用意されているため、購入前の実デバイスによるコア評価が可能です。また、SATA-IP コアと通信する上位レイヤおよび物理層の PHY レイヤとの接続方法を具体的に解説したリファレンス・デザインも同時提供されるので、コア導入後の迅速なユーザ・ロジック開発に貢献します。ハードディスクをエミュレートした SATA Device のリファレンス・デザインも提供可能です。

SATA-IP 内ブロックの説明

SATA-IP は上位レイヤ内で実装されるシステム・コントローラによって制御され、SATA の FIS パケットが IP コア内で実装された以下の機能ブロックによってシステムメモリに対して転送するよう設計されております。

リンク・レイヤ(Link Layer)

リンク・レイヤはフレームの送受信を行います。トランスポート・レイヤからの制御信号に基づいてプリミティブを生成し送信します。また SATA-PHY レイヤからの受信プリミティブを変換しトランスポート・レイヤに対してフレームを転送します。

- **CRC ブロック**

CRC ブロックは最後の FIS データに引き続いて EOF プリミティブの前に挿入される Dword (32bit) の CRC フレームを生成します。

- **Scramble ブロック**

フレーム内データは SATA-PHY に対して転送される前に本ブロックで scramble されます。scramble は Dword ごとに LFSR データと XOR を取ることによって実行されます。

- **Descramble ブロック**

SATA-PHY からのフレームデータは本ブロックによって descramble された後にトランスポート・レイヤに転送されます。descramble は scramble と同じ方法で実行することで FIS データを再生します。

トランスポート・レイヤ(Transport Layer)

トランスポート・レイヤは送信時に frame information structure (FIS) を構築し、受信時には FIS を分解します。また、リンク・レイヤに対してデータフロー制御を指示し、上位レイヤに対してはステータス信号を生成します。

- **FIS Interface**

FIS インターフェイス部では上位レイヤに対して送受信時に必要となるデータフロー制御が実装されます。

システム・コントローラ(System Controller)

システム・コントローラとしては一般的にはアプリケーション・ソフトウェアを実行する CPU 等の Host プロセッサが使われ、SATA-IP と通信することで SATA プロトコルの上位レイヤを管理します。システム・コントローラは CPU、DMA エンジン、TX FIFO、RX FIFO などから構成されます。

SATA PHY

SATA の PHY は Xilinx 発行のアプリケーション・ノート(XAPP870)に従って実装され、3.0Gbps の SATA-II と 1.5Gbps の SATA-I の両方が自動速度ネゴシエーション機能によりサポート可能です。ただしこの自動速度ネゴシエーション機能を使う場合、同一の GTP_Tile 内で使える SATA チャンネル数は1チャンネルのみとなります。自動速度ネゴシエーション機能は GTP_Tile 制約の他にも FPGA 内部リソースを消費するため、どうしても必要な場合を除いて SATA-II または SATA-I 固定で実装することを強く推奨します。

また、SATA-II または SATA-I 固定速度とした場合、GTP_Tile 内の2つの GTP が同時に SATA チャンネルとして利用できるため、多数の SATA チャンネルを必要とする RAID アプリケーションの実装も可能となります。

Virtex5LXT/SXT の GTP は SATA-I(1.5Gbps)での SSC(Spread Spectrum Clocking)をサポートしていないため、SSC 機能をディスエーブルできない SATA-I デバイスとは通信できませんので注意してください。(SATA-II デバイスでの SSC は問題ありません。)

GTP_Tile の制約

Virtex5LXT/SXT の GTP_Tile 内には 2 個の GTP が内蔵されますが、同一 GTP_Tile 内の SATA チャンネル実装には以下のルールが存在します。このためユーザ基板設計時には SATA チャンネルの配置に十分注意してください。

ルール 1:

GTP_Tile 内に SATA Device の PHY を実装する場合、同一 Tile 内の他方の GTP は未使用とする必要がある。(この場合他方の GTP は SATA Host も SATA Device も実装不可)

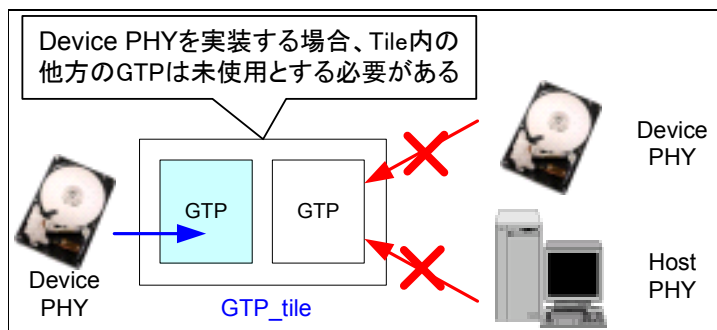


図 2a : Device PHY を実装する場合 Tile 内で他方の GTP は使用できない

ルール 2:

GTP_Tile 内に SATA Host PHY あるいは SATA Device PHY を1チャンネルのみ実装する場合、自動速度ネゴシエーション機能を使うことができる。

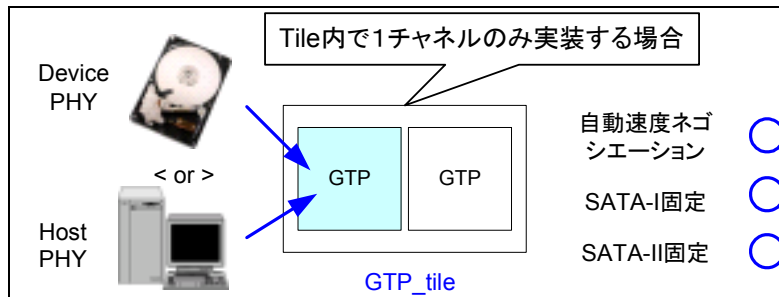


図 2b : Host または Device を1チャンネルのみの場合

ルール 3:

GTP_Tile 内に SATA Host PHY を 2 チャンネル実装する場合、両方を SATA-I 固定か SATA-II 固定に揃える必要がある。

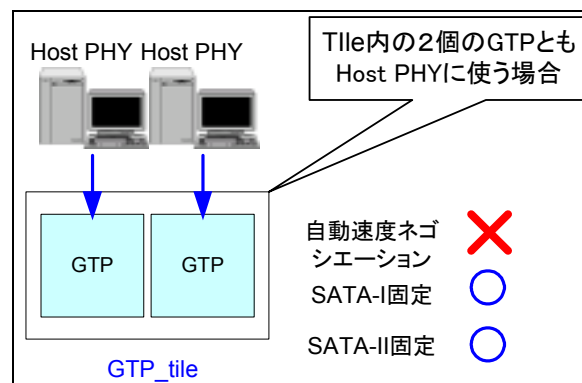


図 2c : Host を 2 チャンネルとも実装する場合

IP コアの I/O 信号説明

(注: 極性で Pos は正論理 High アクティブ、Neg は負論理 Low アクティブ)

表2: IP コアの I/O 信号

信号名	方向	極性	説明
共通インターフェイス信号			
trn_reset	In	Pos	コアのロジックをリセットする非同期リセット信号。 本リセット発行時は trn_clk で4クロック期間以上アサートする必要がある。
trn_link_up	Out	Pos	コアと SATA-PHY との通信が確立されると本トランザクション・リンク・アップ信号がアサートされる。本リンク・アップ信号がアサートされて以降、トランザクション・レイヤは直ちに通信を開始できる。
trn_clk	In	-	コアに対して供給するホストとのトランザクション・インターフェイス信号(trn_xxx)用のクロック信号。 コア外部にて GCLK によるグローバル・クロック・バッファの挿入が必要。 trn_clk の周波数は core_clk と同じかそれ以上とする必要がある。
core_clk	In	-	IP コアの動作クロック。(SATA-I の場合 37.5MHz で SATA-II の場合 75.0MHz) 本 core_clk は PHY レイヤ内で生成されたものを使う。
dev_host_n	In	Neg	コアが SATA Host と SATA Device のどちらとして使われるかを指定する。 本信号はデザイン内で固定入力とし動的に変化させてはならない。 SATA Host の場合'0'とし SATA Device の場合'1'とする。

信号名	方向	極性	説明
送信トランザクション・インターフェイス信号			
trn_tsof_n	In	Neg	Transmit Start-Of-Frame (SOF): 送信 SATA FIS パケットの開始信号。
trn_teof_n	In	Neg	Transmit End-Of-Frame (EOF): 送信 SATA FIS パケットの終了信号。
trn_td[31:0]	In	Pos	Transmit Data: 送信 FIS パケットの 32 ビット・データ信号。
trn_tsrdy_n	In	Neg	Transmit Source Ready: 上位レイヤは trn_td[31:0]に有効な送信データを用意し本信号を Low とすることで転送を要求する。
trn_tdst_rdy_n	Out	Neg	Transmit Destination Ready: コアは上位レイヤから送られる送信データを trn_td[31:0]で受け取ることができる状態を示す信号。 trn_tsrdy_n は本信号がネゲートされてから4trn_clk 期間以内にネゲートする必要がある。すなわち IP コアは本信号をネゲートしてから 4DWORD 分までの送信データ(trn_td[31:0])を受け取ることが可能。
trn_tsrdsc_n	In	Neg	Transmit Source Abort:現在の SATA FIS パケット送信の中断要求。 上位レイヤが trn_tsof_n(SOF)~trn_teof_n(EOF)間に本信号を 1trn_clk 期間 Low アサートすることで、SYNC プリミティブを SATA 接続相手に出力(SYNC Escape)し現在の送信転送を中断する。送信実行中でないときに本信号をアサートするとコアによって無視される。本信号により SYNC Escape を実行した場合、上位レイヤが次のパケット送信を開始するためには trn_tdst_rdy_n が再度アクティブになるのを待たなくてはならない。本信号の詳細なタイミングについては図 5 を参照のこと。
trn_tdst_dsc_n	Out	Neg	Transmit Destination Abort: コアは現在の SATA FIS パケット送信が接続相手の SYNC Escape により中断されたことを示す。送信実行中に接続相手の SATA デバイスからの SYNCp 受信により送信データ転送が中断された場合に 1trn_clk 期間の Low パルス信号で出力され、その後 IP コアは SATA 規格に準拠した動作シーケンスをとってアイドル状態に自動復帰する。この信号は致命的な通信エラーが原因となって SATA 接続相手から転送が中断されたことを意味する。本信号の詳細なタイミングについては図 7 を参照のこと。

信号名	方向	極性	説明
受信トランザクション・インターフェイス信号			
trn_rsof_n	Out	Neg	Receive Start-Of-Frame (SOF): 受信 SATA FIS パケットの開始信号。
trn_reof_n	Out	Neg	Receive End-Of-Frame (EOF): 受信 SATA FIS パケットの終了信号。
trn_rd[31:0]	Out	Pos	Receive Data: 受信 FIS パケットの 32 ビット・データ信号。
trn_rsrc_rdy_n	Out	Neg	Receive Source Ready: コアが有効な受信データを trn_rd[31:0]に出力されている状態を示す。
trn_rdst_rdy_n	In	Neg	Receive Destination Ready: 上位レイヤが trn_rd[31:0]で受信データを受け取ることができる状態を示す信号。 trn_rsrc_rdy_n は本信号がネゲートされてから 4trn_clk 期間以内にコアによってネゲートされる。従って上位レイヤは本信号をネゲートして以降にコアから送られてくる最大 4DWORD 分の受信データ(trn_rd[31:0])を受け取ることが可能な回路を実装しなくてはならない。
trn_rsrc_dsc_n	Out	Neg	Receive Source Abort: コアは現在の SATA FIS パケット受信が接続相手の SYNC Escape により中断されたことを示す。 受信実行中に接続相手の SATA デバイスからの SYNCp 受信により受信データ転送が中断された場合に 1trn_clk 期間の Low パルス信号で出力され、その後 IP コアは SATA 規格に準拠した動作シーケンスをとってアイドル状態に自動復帰する。この信号は致命的な通信エラーが原因となって SATA 接続相手から転送が中断されたことを意味する。本信号の詳細なタイミングについては図 8 を参照のこと。
trn_rdst_dsc_n	In	Neg	Receive Destination Abort: 現在の SATA FIS パケット受信の中断要求。 上位レイヤが trn_rsof_n(SOF)~trn_reof_n(EOF)間に本信号を 1trn_clk 期間以上 Low アサートすることで、SYNC プリミティブを SATA 接続相手に出力し現在の受信転送を中断する。転送実行中でないときに本信号をアサートするとコアによって無視される。本信号により SYNC エスケープを実行した場合、上位レイヤが次のパケット送信を開始するためには trn_rdst_rdy_n が再度アクティブになるのを待たなくてはならない。本信号の詳細なタイミングについては図 6 を参照のこと。

信号名	方向	極性	説明
GTP の SATA PHY インターフェイス信号			
PHYRESET	In	-	この信号は現在使われていない (trn_reset によりコア全体がリセットされる) ユーザロジック側では本信号は '0' または '1' 固定しておくこと。
PHYCLK	In	-	Spartan6 GTP の SATA PHY と通信する 16 ビット・データのリファレンスクロック。 - SATA-I の場合 75MHz - SATA-II の場合 150MHz 本クロック信号は SATA PHY 内の DCM で発生したクロックを使う必要がある。SATA PHY の GTP に内蔵した TX/RX 両方の elastic バッファにも使われる。
TXDATA[15:0]	Out	Pos	コアから GTP に対して出力される 16 ビットの送信データ
TXDATAK[1:0]	Out	Pos	送信データのデータ/制御信号の認識シンボルとして使われる 2 ビット信号。この信号が '0' の場合はデータを、'1' の場合は制御バイトが TXDATA[15:0]上に出力されていることを示す。
RXDATA[15:0]	In	Pos	GTP からコアに出力される 16 ビットの受信データ
RXDATAK[1:0]	In	Pos	受信データのデータ/制御信号の認識シンボルとして使われる 2 ビット信号。この信号が '0' の場合はデータを、'1' の場合は制御バイトが TXDATA[15:0]上に出力されていることを示す。
RXDATAVALID	In	-	この信号は現在使われていないため、ユーザロジック側では本信号は '0' または '1' 固定しておくこと。
LINKUP	In	Pos	SATA リンクの通信が確立されていることを示す。
PLLLOCK	In	Pos	GTP 用の DCM がロックできていることを示す。

上位レイヤ・インターフェースのタイミング

データ送信においては図 3 で示されるように、コアからの `trn_tdst_rdy_n` が Low となり転送準備が整っていることを確認してから最初のデータを転送します。 `trn_tsof_n` と `trn_tsrc_rdy_n` の両方を同時にアサートすることで最初のデータ転送を開始します。 また、`trn_teof_n` と `trn_tsrc_rdy_n` の両方をアサートすることで最終のデータ転送となります。 転送中コアからの `trn_tdst_rdy_n` がネゲートされた場合、上位レイヤは4クロック以内に `trn_tsrc_rdy_n` ネゲートし転送を一時停止しなくてはなりません。 コアは `trn_tsrc_rdy_n` がアサートされている期間に上位レイヤからの `trn_td[31:0]` を有効な送信データ信号として取り込みます。 上位レイヤからコアへのパケット送信が終了した後、上位レイヤはデバイスから送られてくるエラー・コード・パケットの受信を待ち、全データがエラーなく転送されたことを確認します。

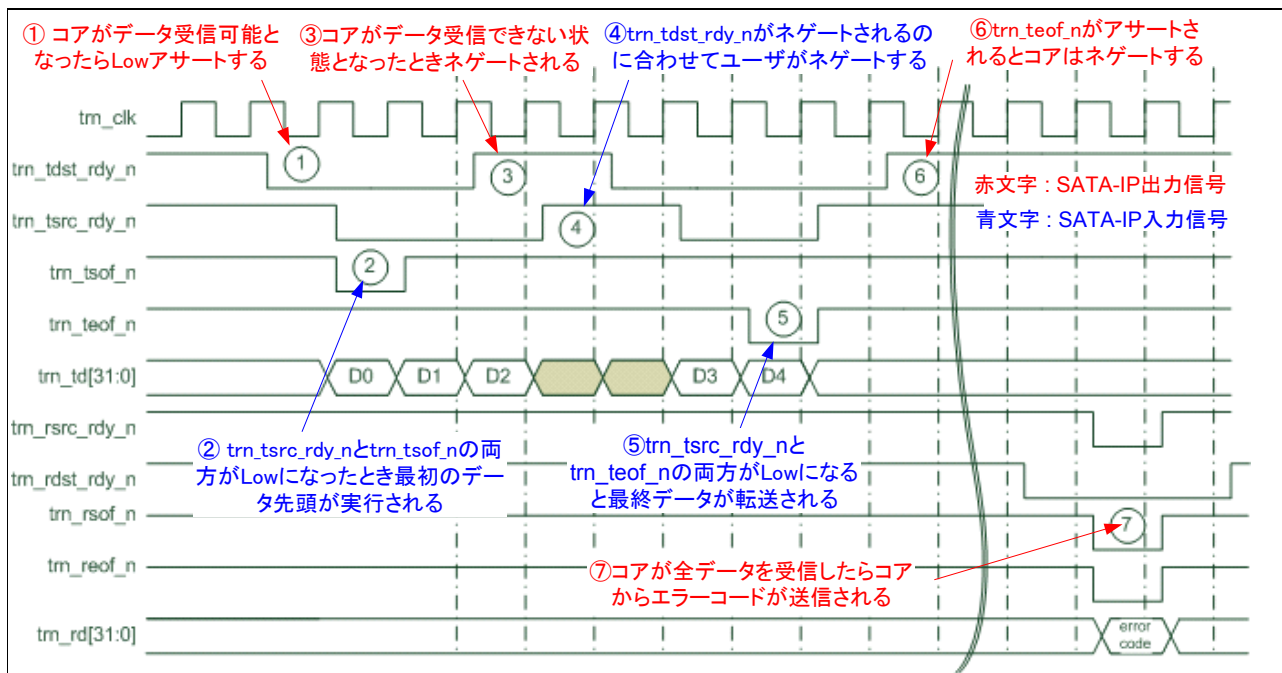


図 3：送信トランザクションのインターフェイス信号波形

データ受信においてもデータ送信と同様、図 4 で示されるように最初のデータは `trn_rdst_rdy_n` がアサートされてから転送されます。 `trn_rdst_rdy_n` は上位レイヤ側で内蔵したバッファが一杯になるより少なくとも4クロック前にはネゲートしなくてはなりません。 コアから上位レイヤへのパケット受信が完了した後、上位レイヤは更にデバイスからのエラー・コード・パケットの受信を待つことになります。

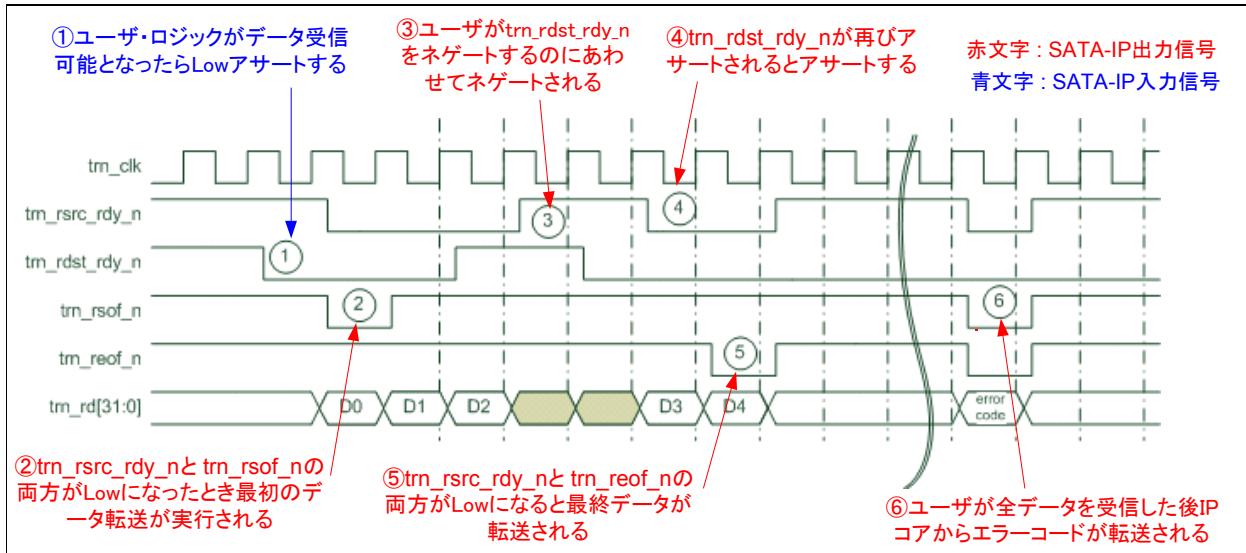


図 4：受信トランザクションのインターフェイス信号波形

エラー・コード

図 3 および図 4 の波形で示されるように、トランザクションの最後にはコアから `trn_rd[31:0]` 上に 32 ビットのエラー・コードが出力されます。上位レイヤは送受信トランザクション完了時に、データ・パケットが正しく送受信できたかどうかをエラー・コードを使って必ず確認するようにしてください。ただし送信中の `trn_tdst_dsc_n` や受信中の `trn_rsrc_dsc_n` により SATA 接続相手から転送が中断されてしまった場合は、トランザクション自体が中断されコアはアイドル状態に戻るため、コアからは本エラー・コードが報告されません。

コアが出力するエラー・コードの詳細を下表 3 に示します。また、エラー情報はエラー・コードの転送直後にコア内部にて自動的にクリアされます。

表3: エラー・コード

ビット	定義	説明
[31:27]	(未使用)	常にゼロ
[26]	方向フラグ	データ転送方向フラグ。 '0': 上位レイヤから SATA IP の送信方向、'1': SATAIP から上位レイヤへの受信方向
[25:24]	エラー・フラグ	エラー・コードのフラグ '00': エラーなし、この場合上位レイヤは特に何も処理する必要がない。 '01': 誤ったあるいは未知の FIS パケット受信。リードデータ受信中に接続相手から WTERM プリミティブが送られてきたか、あるいはライトデータ送信時の最後に、接続相手から R_ERR プリミティブが送られてきたことを示すエラー。(*注) '10': CRC エラー '11': (未使用)
[23:8]	(未使用)	常にゼロ
[7:0]	FIS タイプ	このバイトはエラー・コード・パケットのヘッダを意味するため、他の SATA FIS と区別するため"0xEF"がセットされる。

(*注)

SATA においては自分が接続相手から誤った FIS タイプのパケットを受信した場合、自分は相手に対して R_ERR プリミティブをパケットの最後に送信するか、転送の途中で SYNC プリミティブを送信すること(SYNC Escape)でエラー検出を通知します。

本 SATA-IP を使った実装では、相手から R_ERR プリミティブを受信した場合は本エラー・コード'01'を使って上位レイヤに伝えることで、上位レイヤは「自分が間違えた FIS タイプのパケットを相手に送ってしまった」ことを検出できます。また相手が R_ERR プリミティブを送信するのではなく SYNC Escape で中断してきた場合は、図6のように `trn_tdst_dsc_n`(送信時の相手からの中断)または図8のように `trn_rsrc_dsc_n`(受信時の相手からの中断)によって上位レイヤ側は中断を検出します。

一方、接続相手から誤った FIS タイプのパケットを受信した場合については、SATAIP は FIS タイプを含め全てのパケットを上位レイヤに転送するだけで特にエラー・コードでの報告はなされません。この場合、上位レイヤが誤った FIS タイプのパケット受信を検出できるため、それ(接続相手からの誤った FIS タイプ・パケットの受信)に対してどのように処理を進めるかを上位レイヤ自身で決めることができます。

SYNC Escape

SATA 規格においては転送の実行中において SYNC プリミティブを送信することで、転送そのものを中断することができます。これを SYNC Escape と呼びます。上位レイヤからの中断要求により SYNC Escape を発生する場合の波形について、送信時の中断要求を図 5 に、受信時の中断要求を図 6 に示します。(図中の説明文にて赤フォントがコアからの出力信号で青フォントが上位レイヤによるコアへの入力信号です。)

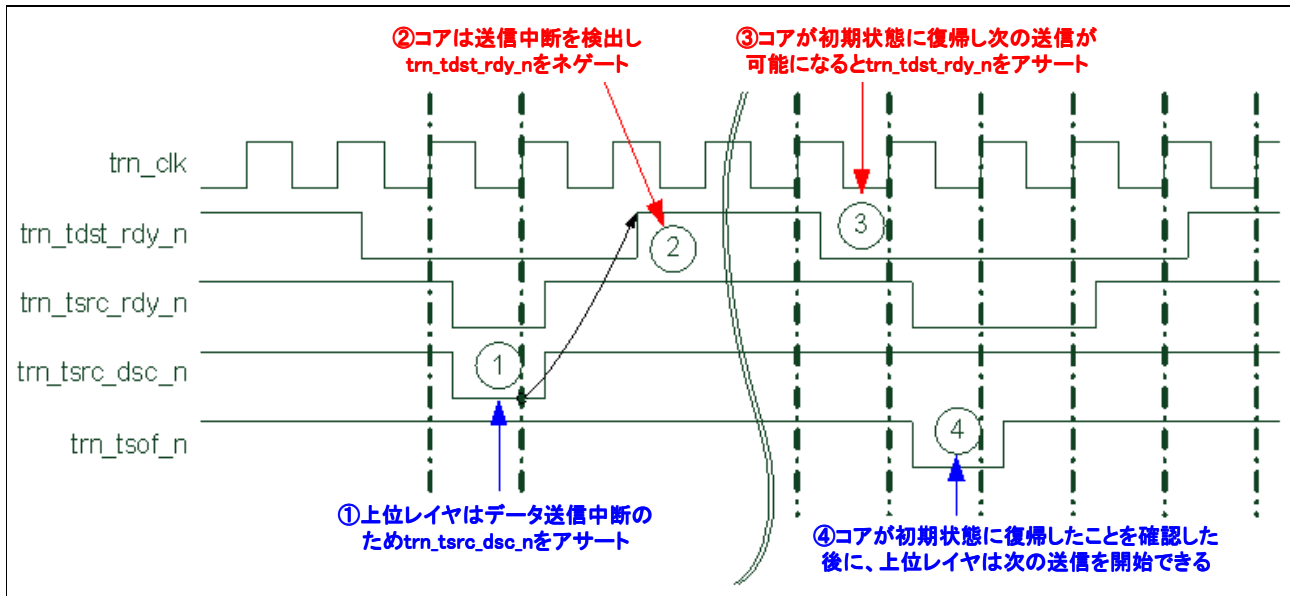


図 5 : `trn_tsrc_dsc_n`(送信時上位レイヤからコアへの中断要求)タイミング波形

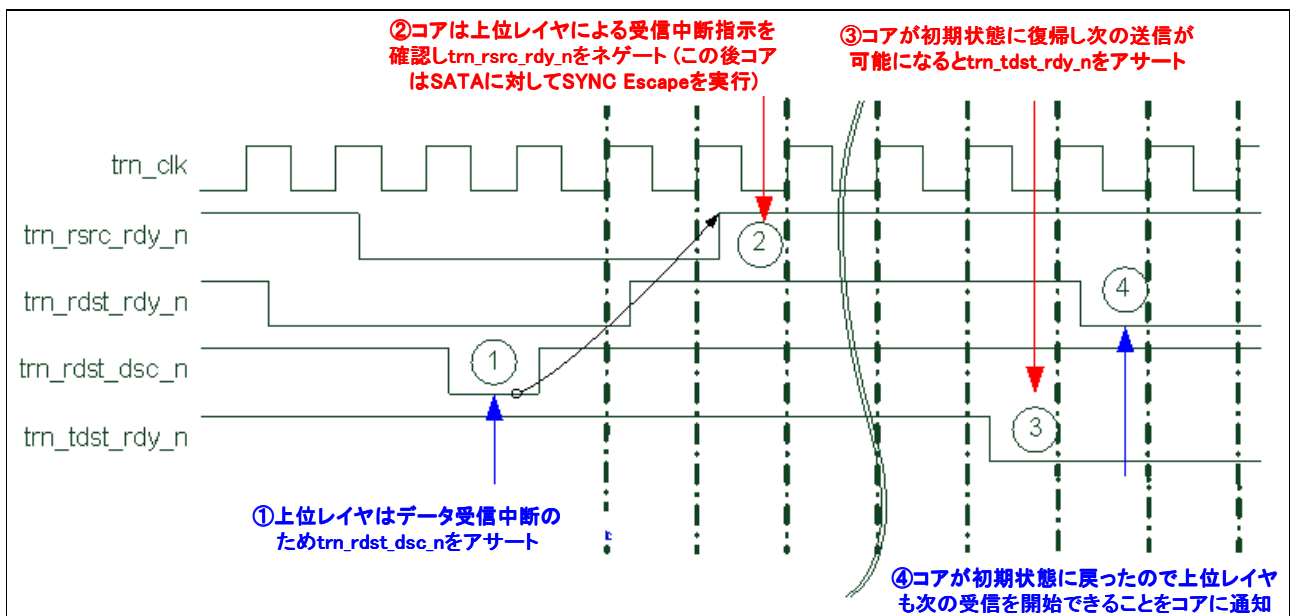


図 6 : `trn_rdst_dsc_n`(受信時上位レイヤからコアへの中断要求)タイミング波形

一方、接続相手の SATA デバイス側が SYNC Escape を実行し転送が中断された場合の波形について、送信時の中断報告を図 7 に、受信時の中断報告を図 8 に示します。(図中の説明文にて赤フォントがコアからの出力信号で青フォントが上位レイヤによるコアへの入力信号です。)

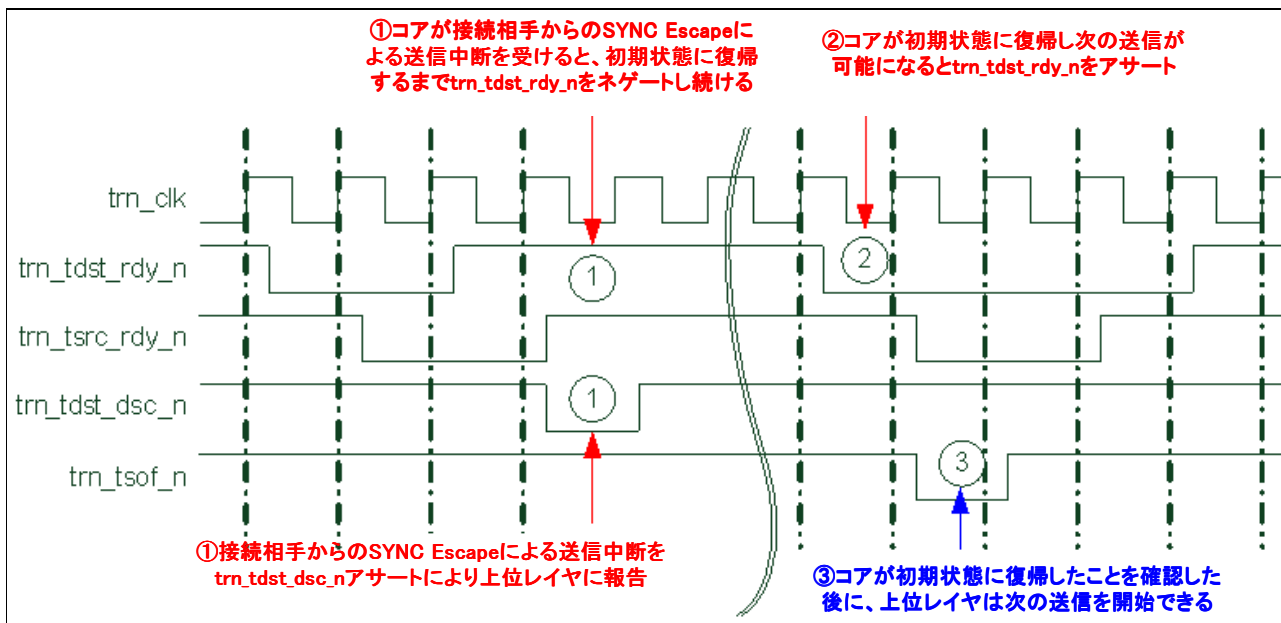


図 7 : trn_tdst_dsc_n(送信時コアから上位レイヤへの中断報告)タイミング波形

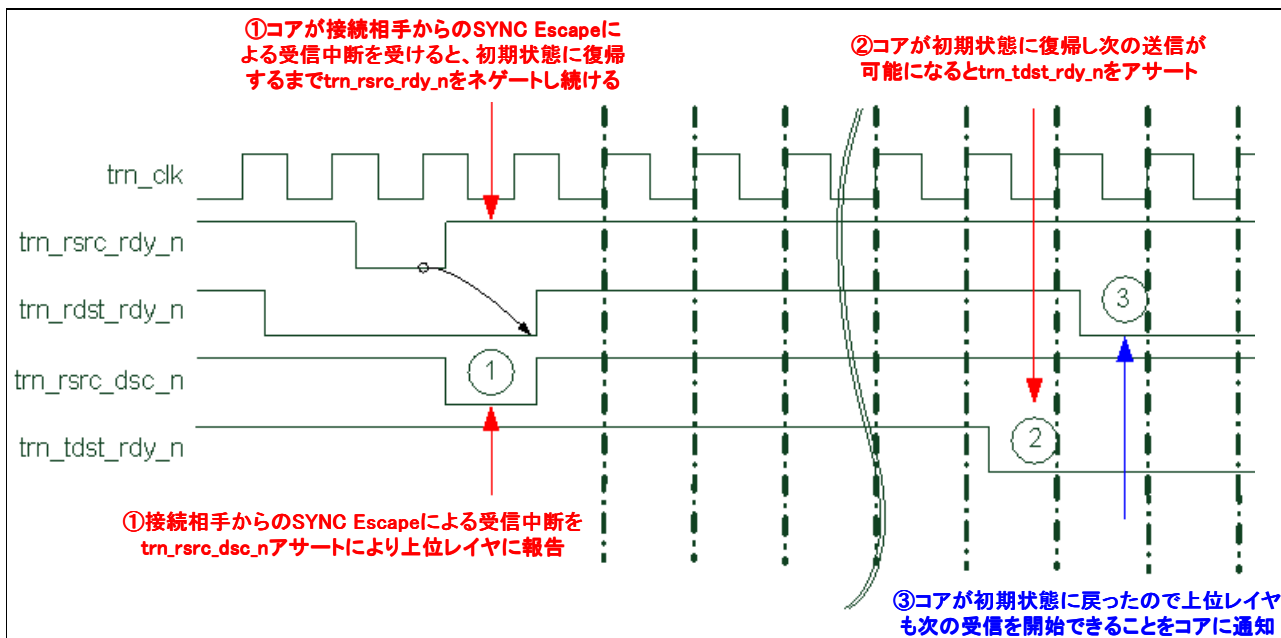


図 8 : trn_rsrc_dsc_n(受信時コアから上位レイヤへの中断報告)タイミング波形

コアの検証方法

SATA IP コアはシミュレーションによってロジックの検証が可能であり、ML-505/506 評価ボードによって実機での動作検証が可能です。

推奨される設計スキルに関して

本 IP をユーザ回路上に迅速・確実に実装するために、RocketIO(Virtex5 GTP)および Xilinx の EDK についての技術スキルを推奨します。また、ユーザ基板設計においては UG196(Virtex5 FPGA RocketIO GTP Transceiver User Guide)に記載のデザインガイドラインを遵守する必要があります。作製したユーザ基板の信号品質に関しては RPT087(Virtex5 FPGA Serial ATA Generation 2 Protocol Standard Characterization Test Report)に記載の手法によって検証が可能です。

注文情報

本データシートに記載された SATA IP は Virtex5LXT/Virtex5SXT ファミリが対象で以下の型番となります。

型番: SATA-IP001

IP コアの価格やライセンス条件等についてはデザイン・ゲートウェイ (sales@dgway.com) または国内 Xilinx 各代理店までお問い合わせください。

履歴

リビジョン	日付	更新内容
1.0	2008/09/24	日本語版の初版作成
1.1	2008/09/26	core_clk の方向修正 trn_rsof_n/trn_reof_n の説明重複部修正
1.2	2008/11/09	信号の方向と説明を修正、波形を変更
1.3	2008/11/14	自動速度ネゴシエーション機能のサポート追加
1.4	2008/12/12	dev_host_n (SATA Host / SATA Device の区別入力)信号を追加 GTP_Tile の制約事項を追加
1.5	2009/02/05	エラー・コードの記述を追加
1.6	2009/06/05	trn_clk の周波数が core_clk 以上とする必要がある制約の記述を追加
1.61	2009/06/22	trn_reset と PHYRESET の記述を追加
1.7	2009/10/29	シミュレーション・プロジェクトを ModelSIM SE6.4 に変更
1.8	2010/01/27	discontinue 関連の信号についての詳細説明記述を追加 型番情報 [IP-SATA001]を追加
1.81	2010/02/04	discontinue 関連の信号についてタイミング波形を追加 SATA PHY インターフェイス信号で PHYRESET と RXDATAVALID を廃止
1.82	2010/05/07	型番情報を修正