

TOE10G-IP 標準リファレンス・デザイン説明書

(Altera 版)

Rev1.0J 2016/10/14

このドキュメントは Altera 製 FPGA 評価ボードで動作する TOE10G-IP コアの標準リファレンス・デザインに関して説明したものです。本標準デモの具体的な手順につきましては以下の手順書を参照してください。

題名: TOE10G-IP 標準デモ手順書(Altera 版)

ファイル名: dg_toe10gip_instruction_altera_jp.pdf

1. TCP/IP プロトコル概要

TOE10G-IP コアを使って実装するネットワーク・システムにおいて、TCP/IP は4つの層(レイヤ)から成るネットワーク・アプリケーションのインターネット・プロトコル群において中核となるプロトコルです。4つの層とはすなわちアプリケーション層、トランスポート層、インターネット層、ネットワーク・アクセス層です。ただし各層を説明する図1においては、TOE2-IP コアによる FPGA でのハードウェア実装と 1 対 1 に合致させるために5層で示しています。ネットワーク・アクセス層はリンク層と物理層に分割して示しています。

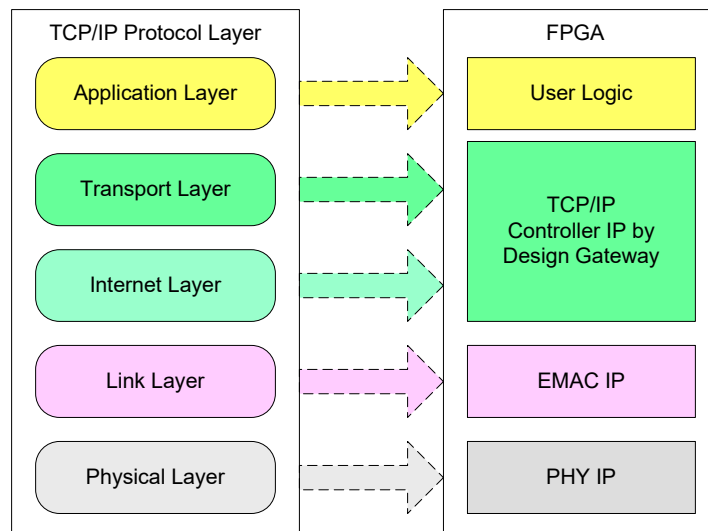


図 1: TCP/IP プロトコルのレイヤ図

TOE10G-IP コアは TCP/IP プロトコルにてトランスポート層とインターネット層を実装します。送信機能において TOE10G-IP コアは、ユーザ回路からの TCP データをパケットのフォーマットに変換し IP ヘッダを生成して EMAC から外部に送信します。TOE10G-IP コアは受信相手からのアクノリッジが正しく返送されなかった、あるいは一定時間内に届かなかった場合にデータを再送信します。受信機能において TOE10G-IP コアは、IP パケットから TCP データとヘッダを抽出しユーザ回路からリードするために TCP データだけを正しく抜き出してバッファに格納します。受信パケットが順番どおりでなかった場合、TOE10G-IP コアは順番の入れ替えで復元できる場合は自動的にデータの入れ替えを行い、復元できない場合はロスト・パケットとして再送信を要求するアクノリッジを出力します。

プロトコルの下位層は Altera 社の EMAC-IP コア, Altera 社の PHY-IP コア, および外部の SFP+光モジュール(あるいは SFP+ダイレクト・アタッチ・ケーブルで直結)により実装されます。

本リファレンス・デザインは TOE10G-IP コアによるデータの送受信をシンプルなユーザ回路と合わせて実装し実機評価を可能とするデザインです。このシステムは Altera 製 FPGA 評価ボード(Arria10SoC 開発キット)およびテスト用のアプリケーションを走らせたパソコンで動作し、高速データ転送を実行するものです。より詳細は以下で説明します。

2. リファレンス・デザインの評価環境

本リファレンス・デザインは下図 2 に示す実機環境を前提としてデザインされています。

- Arria10 SoC 開発キット
- Quartus 15.1
- 10 ギガビット SFP+ DAC ケーブルまたは 10Gbit 光モジュールおよび光ケーブル
- 10 ギガビット・イーサネットのポートを持つかあるいは 10 ギガビットのイーサネット・カードを装着した PC
- FPGA コンフィグレーションを行うためのマイクロ USB ケーブル
- DOS テスト・アプリケーション“send_tcp_client_10G”および“recv_tcp_client_10G” (DesignGateway 社の Web サイトよりダウンロード可)

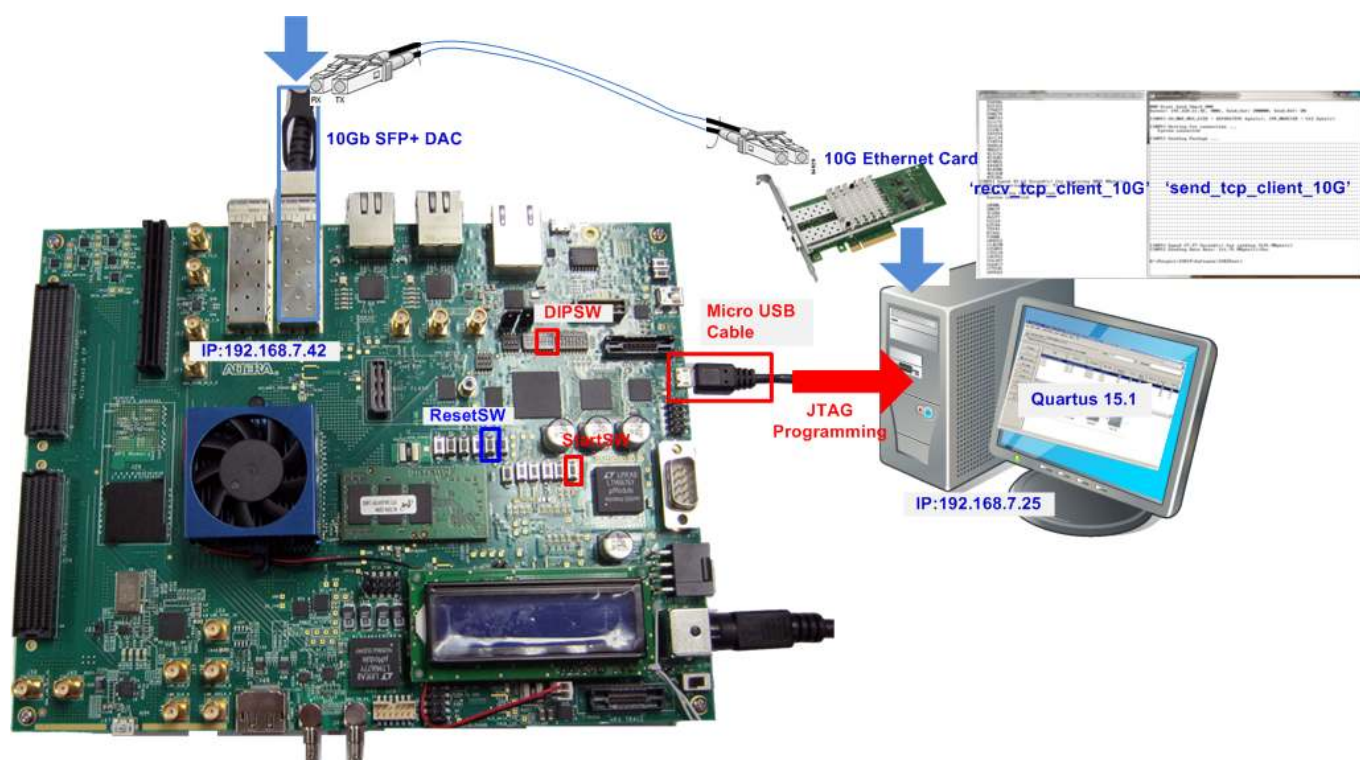


図 2: TOE10G-IP リファレンス・デザインの実機評価環境

3. ハードウェアの説明

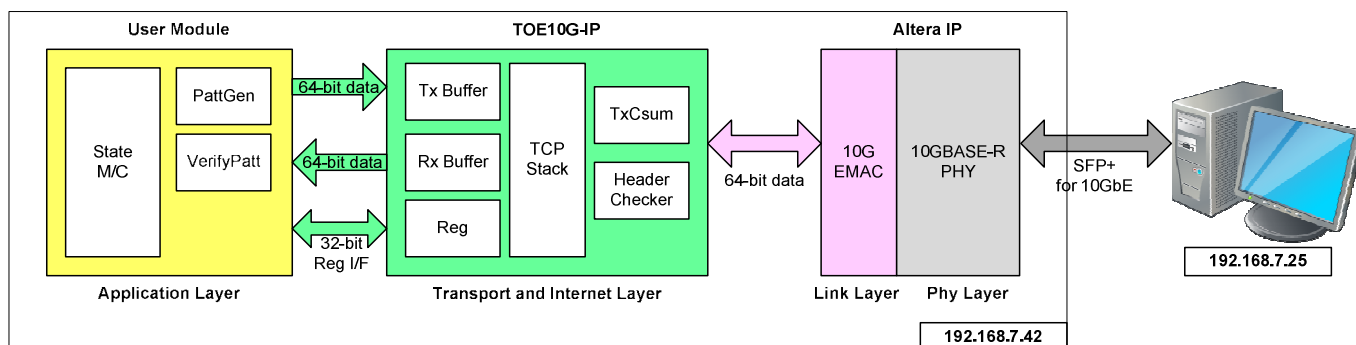


図 3: リファレンス・デザインのハードウェア構成

図 2 に示すように、ハードウェア全体は TCP/IP の各層をサポートする4モジュールに分割されます。TOE10G-IP コアおよび上位ユーザ回路は 10G EMAC および 10G BASE-R PHY と組み合わせて TCP/IP の全4層を実装します。ユーザ回路は送信する TCP データとしてテストパターンを生成し送信 FIFO I/F 経由で TOE10G-IP コアへ出力します。また合わせて TOE10G-IP コアのレジスタ I/F を介してコアの制御信号のライト・リードを実行します。TOE10G-IP コアからの受信データをベリファイする機能も実装しており、TCP データの信頼性をチェックできます。これらの機能は Arria10 SoC ボードで実装されます。評価ボードを使った具体的なデモ環境や手順については冒頭で示した標準デモ手順書を参照してください。

- 10G EMAC and 10G BASE-R PHY
10Gbitイーサネットのリンク・レイヤとPHYレイヤは Altera の IP コアを使って実装されます。すなわち 10GEMAC-IP がリンク・レイヤとして実装され 10GBASE-R PHY が PHY レイヤとして実装されます。10GEMAC のユーザ・インターフェイスは TOE10G-IP コアの MAC インターフェイスと直結できます。
- TOE10G-IP
TOE10G-IP コアの詳細についてはデータシート”dg_toe10gip_data_sheet_altera.jp.pdf”を参照してください。

● ユーザ回路

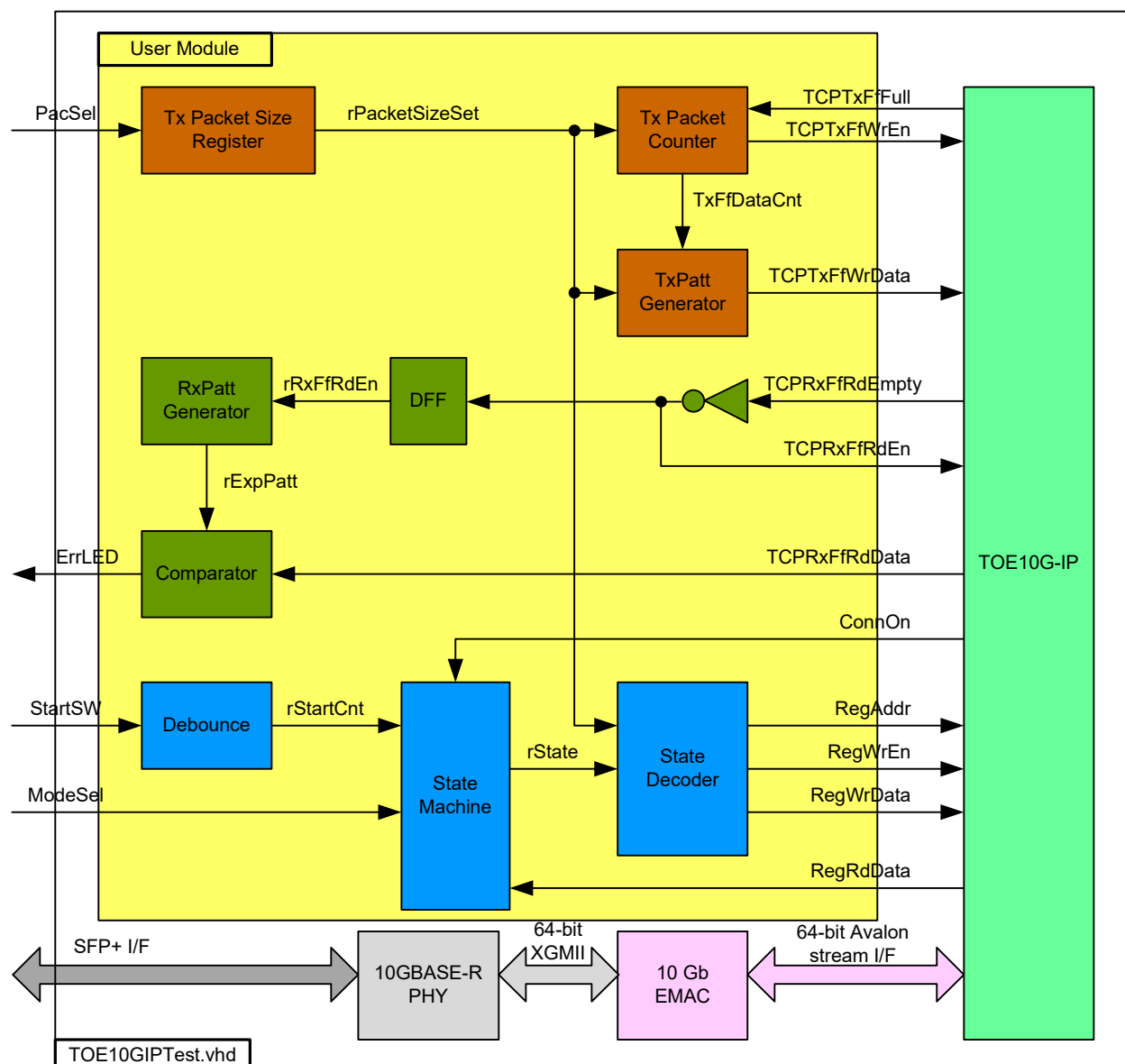


図 4: リファレンス・デザインのユーザ回路ブロック図

ユーザ回路は大きく3つのブロックに分かれています。すなわち送信 FIFO インターフェイス、受信 FIFO インターフェイス、およびレジスタ制御インターフェイスです。送信パターン発生器(TxPattGenerator)においては、32ビットのインクリメンタル・テスト・パターンが送信パケットごとにインクリメントされ送信テスト・データとして出力されます。従って送信パケット・データは4バイト毎に同じ値となります。送信パケットカウンタ(TxPacketCounter)は外部 DIP スイッチで設定する PacSel によって選択された送信パケットのサイズごとにカウント・アップします。本リファレンス・デザインでは2種類のパケット・サイズが選択できますが、それは 1456 バイトの非ジャンボ・フレームと 8960 バイトのジャンボ・フレームです。

32 ビットのインクリメンタル・データは受信パターン発生器(RxPattGenerator)でも生成され、TOE10G-IP コアの受信 FIFO インターフェイスからの受信データと比較します。送信 FIFO のテスト・データと異なり、受信 FIFO の期待値は4バイトごとにインクリメントします。また、受信 FIFO からのエンプティ・フラグをモニタしデータを FIFO からリードするロジックも実装されています。そしてリード・データが比較元のインクリメンタル・データと不一致を検出するとエラー LED が点滅します。

レジスタ制御インターフェイスは、テストシーケンスを実行するステートマシンを内蔵し、ステート状態によりライトするレジスタ・アドレスとデータを生成します。データの転送方向は DIP スイッチによる ModeSel で選択され、ユーザによりスタートスイッチが押下されると転送を開始します。ステートマシンの状態遷移図を図 5 に示します。

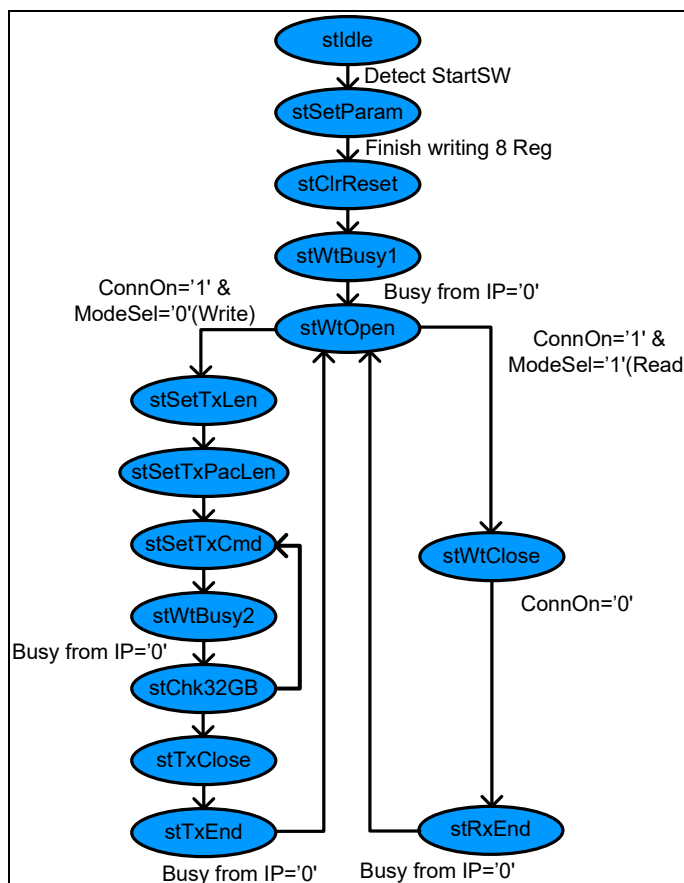


図 5: ユーザ回路内ステートマシンの状態遷移図

ステートマシンはユーザにより StartSW ボタンが押下されると stSetParam ステートに遷移します。そのステートにて TOE10G-IP コアに対してレジスタを介して以下のパラメータをセットします。

- Source MAC address = 00:01:02:03:04:05
- Source IP address = 192.168.7.42
- Source Port number = 4000
- Destination IP address = 192.168.7.25

その後次のステートとなる stClrReset に遷移し TOE10G-IP コアへのリセット信号(RST レジスタ=0)を解除します、すると TOE10G-IP コア内部でパラメータの初期化が実行されます。ステートマシンはコアのレジスタ・インターフェイスを解して Busy フラグをモニタしコア内部の初期化完了を待ちます。その後 stWtOpen ステートにて接続相手の PC でテスト・アプリケーションの動作開始を待ちます。

本リファレンス・デザインにおいて FPGA はサーバー・モードで動作し PC 側のテスト・アプリケーションはクライアント・モードで動作します。従ってコネクションは PC 側テスト・アプリケーションがオープンします。コネクションが PC 側からオープンしたことを検出すると TOE10G-IP コアの ConnOn 出力は '1' となり、ステートマシンは ModeSel で送信モードが指定されていた場合は stSetTxLen に遷移し受信モードが指定されていた場合は stWtClose に遷移します。

送信モードの場合さらに3つのステートが追加されます。stSetTxLen で総転送サイズ(TDL レジスタ)をセットし、stSetTxPacLenでパケットサイズ(PKLレジスタ)をセットし、stSetTxCmdでTOE10G-IPコア内レジスタに対して転送開始コマンド(CMDレジスタ=0)を発行します。その後stWtBusy2ステートでBusy信号をモニタし4Gバイト・データの転送完了を待ちます。転送数が32Gバイトに達していない場合はステートを遷移し送信コマンドを再度発行します。そして全データ転送が完了するとstTxCloseステートに遷移しTOE10G-IPコアに対してクローズ・コネクションを指示するコマンド(CMDレジスタ=0x03)を発行します。コネクションをクローズしBusyが'0'となると次の転送に備えてstWtOpenステートに戻ります。

受信モードの場合、stWtCloseステートに留まりPCからのデータ転送が完了しコネクションのクローズがPCから実行されるまで待ち続けます。つまりTOE10G-IPコアからのConnOn値は、コネクションがすでにクローズしてから'1'から'0'に変化します。そして送信モードと同様に次の転送に備えてstWtOpenステートに戻ります。

本デモは送信モード・受信モードのどちらもパッシブ・オープンにてコネクションを確立します。しかしポートのクローズ時は送信モードではアクティブ・クローズですが受信モードではパッシブ・クローズとなりますのでご注意ください。

4. PC 側テスト・アプリケーション

本リファレンス・デザインの実機動作を検証するため、接続相手の PC 側にて“recv_tcp_client_10G”および“send_tcp_client_10G”の2種類のテスト・アプリケーションが提供されています。どちらのアプリケーションも DOS ベースのプログラムであり、クライアント・モードで動作します。

● recv_tcp_client_10G

このテスト・アプリケーションは TOE10G-IP コアの送信機能を検証するためのソフトウェアであり、FPGA が送信し PC で受信したデータをベリファイします。本アプリケーションはコマンド入力時に以下の3パラメータの引数入力を必要とします。

- FPGA 側の IP アドレス: 本リファレンス・デザインでは FPGA 側の IP アドレスは“192.168.7.42”で固定されています。デザイン内のユーザ回路部にて HDL ソースコードを編集することでこの値を変更することができます。
- FPGA 側のポート番号: 本リファレンス・デザインでは FPGA 側のポート番号は“4000”で固定されています。デザイン内のユーザ回路部にて HDL ソースコードを編集することでこの値を変更することができます。
- パケット・サイズ: 本リファレンス・デザインでは2種類の値のどちらかを設定できます。非ジャンボ・フレーム検証時は 1456 を、ジャンボ・フレーム検証時は 8960 をセットしてください。これ以外の誤った値をセットするとベリファイ・エラーが発生し動作が停止します。

本アプリケーションの動作シーケンスは以下となります。

- (1) ユーザからコマンドラインの3つの引数でパラメータを取得します。
- (2) ソケットを作成し受信バッファのプロパティをセットします。
- (3) ユーザ指定パラメータより IP アドレスとポート番号をセットし FPGA とコネクションを確立します。
- (4) データの受信とベリファイ比較を繰り返します。データのフォーマットは各パケット終了時にインクリメントする 32 ビットの値です。よって同一のパケット内の全データは同一値となります。このベリファイ時に2種類のエラーを検出すると画面に表示します。一つはパケットの先頭データが期待値でなかった場合で”Drop Expect”と表示し、もう一つは各パケット内のデータが期待値でなかったことを検出した場合で”Error Expect”と表示されます。毎秒ごとにパケット数を表示します。
- (5) これ以上受信するデータがなくなるとソケットはクローズします。そして転送した総データ数がパフォーマンスのテスト結果として表示されます。
- (6) 一連の受信が終わったら(3)のステップに戻り再度コネクションをオープンします。ユーザの[Ctrl+C]キーで操作がキャンセルされるまで繰り返します。

● send_tcp_client_10G

このテスト・アプリケーションは TOE10G-IP コアの受信機能を検証するためのソフトウェアです。本アプリケーションはコマンド入力時に以下の4パラメータの引数入力を必要とします。

- FPGA 側の IP アドレス: 本リファレンス・デザインでは FPGA 側の IP アドレスは“192.168.7.42”で固定されています。デザイン内のユーザ回路部にて HDL ソースコードを編集することでこの値を変更することができます。
- FPGA 側のポート番号: 本リファレンス・デザインでは FPGA 側のポート番号は“4000”で固定されています。デザイン内のユーザ回路部にて HDL ソースコードを編集することでこの値を変更することができます。
- パケット・カウント: 本リファレンス・デザインでは 60K バイトを単位として転送サイズを設定します。つまり総転送バイト数はこの値に 60Kbyte を掛けたものとなります。
- ベリファイ機能の On/Off: ‘0’ を指定するとダミー・データが、’1’ を指定すると 32 ビットのインクリメンタル・データが送信されます。この設定値は PC のデータ送信パフォーマンスに影響します。PC の種類によってはダミー・データを指定した方がインクリメンタル・データを指定するよりパフォーマンスが向上することがあります。ただし’0’のダミー・データを指定すると FPGA 回路側でのベリファイ機能がデータのミスマッチを検出するのでエラー LED が点灯します。

本アプリケーションの動作シーケンスは以下となります。

- (1) ユーザからコマンドラインの 4 つの引数でパラメータを取得します。
- (2) ソケットを作成し送信バッファのプロパティをセットします。
- (3) ユーザ指定パラメータより IP アドレスとポート番号をセットし FPGA とコネクションを確立します。
- (4) 送信バッファにダミー・データ(オール’0’)またはインクリメンタル・データを用意しデータを送信します。転送サイズはユーザにより設定されています。
- (5) ソケットをクローズし転送した総データ数がパフォーマンスのテスト結果として表示されます。

5. 改版履歴

リビジョン	日付	履歴
1.0	19-May-16	Initial Release
1.0J	2016/10/14	日本語第 1 版作成

Copyright: 2016 Design Gateway Co.,Ltd.