

TOE1G-IP 同時送受信デモ手順書 (Altera 版)

Rev1.3J 2016/10/20

このドキュメントは Altera 製 FPGA 評価キット・ボード(以下 FPGA ボードとします)上で動作する TOE1G-IP (旧製品名:TOE2-IP) コアの実機評価デモにおいて、高速同時送受信デモの具体的な手順を示したものです。デモ用 SOF ファイルを FPGA ボードに使用することで、PC~FPGA ボード間の同時送受信での通信パフォーマンスを実機確認することができます。

1 動作環境

本デモ・デザインの動作環境を図に示します。実機デモ用として以下の部材を揃えてください。

1. FPGA ボード、現在以下の Altera 純正評価ボードに対応したデモ環境をご提供できます。
 - [1] ArriaV GX スタータ開発キット (型番:DK-START-5AGXB3N)
 - [2] Stratix IV GX FPGA 開発キット (型番:DK-DEV-4SGX230N)
 - [3] Arria10SoC 開発キット (型番:DK-SOC-10AS066S-A)
 - [4] CycloneV E FPGA 開発キット (型番:DK-DEV-5CEA7N)
2. ギガビット・イーサネットのポートを持つパソコン
3. PC と FPGA ボードを接続する Cat5E か Cat6 のギガビット・イーサネット・ケーブル
4. FPGA ボードを Configuration するための A-B タイプの USB/microUSB ケーブル(開発キット付属品)
5. QuartusII Programmer をインストールした PC
6. 評価用 SOF ファイルおよび PC 側の評価アプリ"tcp_client_txrx.exe"
 - ※ 評価用の SOF/EXE ファイルは以下のページからユーザ登録することでダウンロードできます。
 - TOE1G-IP 紹介 URL: http://www.dgway.com/TOE1G-IP_A.html

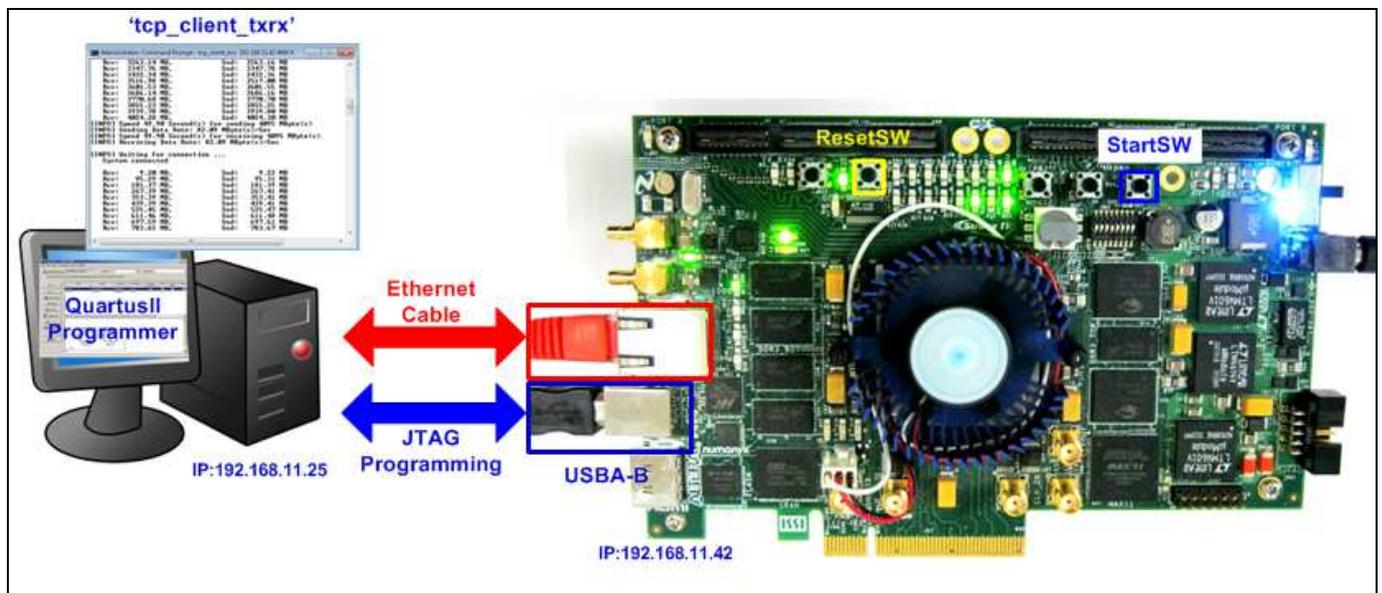


図 1-1: StratixIV GX FPGA 開発キットにおける TOE1G-IP 同時送受信デモ環境のセットアップ

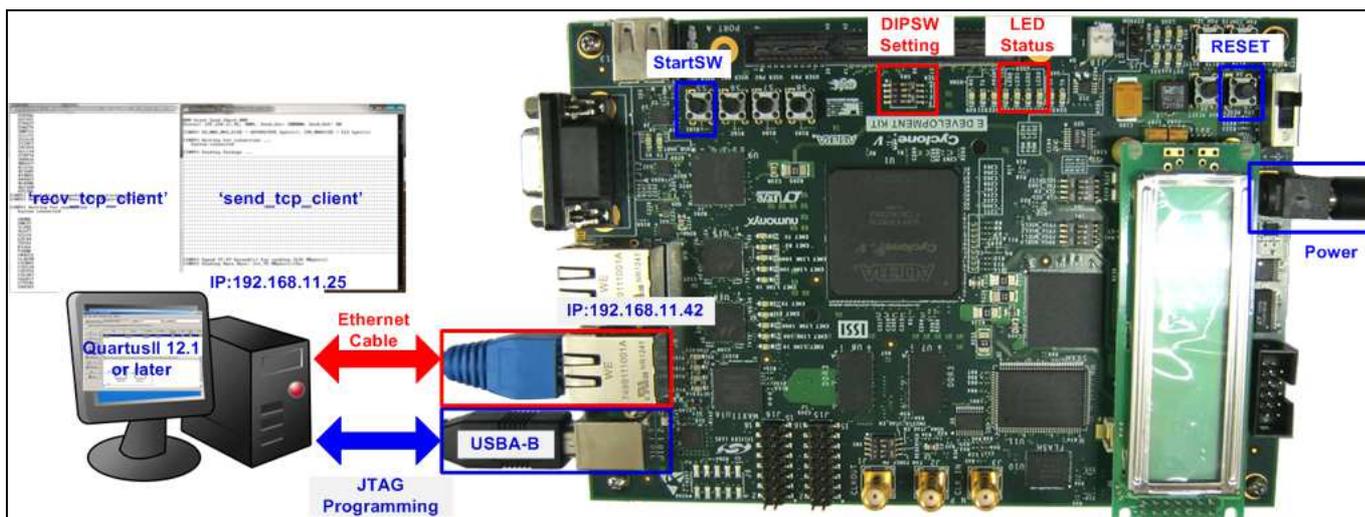


図 1-2: CycloneV E FPGA 開発キット環境のセットアップ

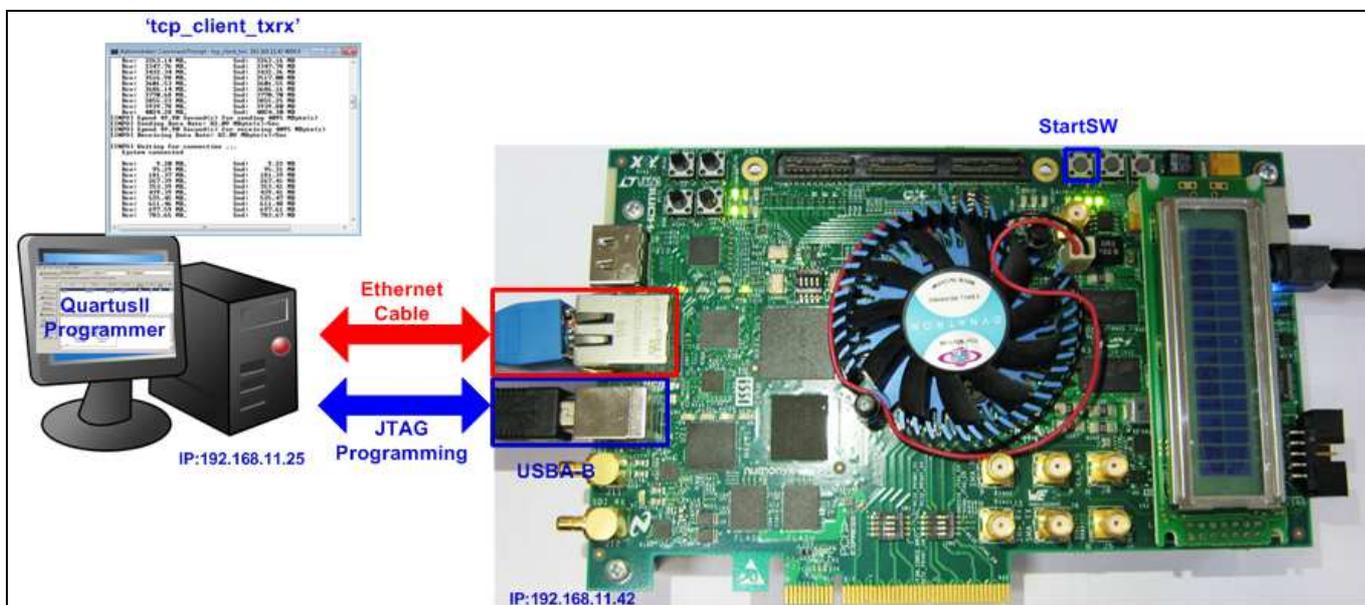


図 1-3: ArriaV GX スタータ開発キットにおける TOE1G-IP 同時送受信デモ環境のセットアップ

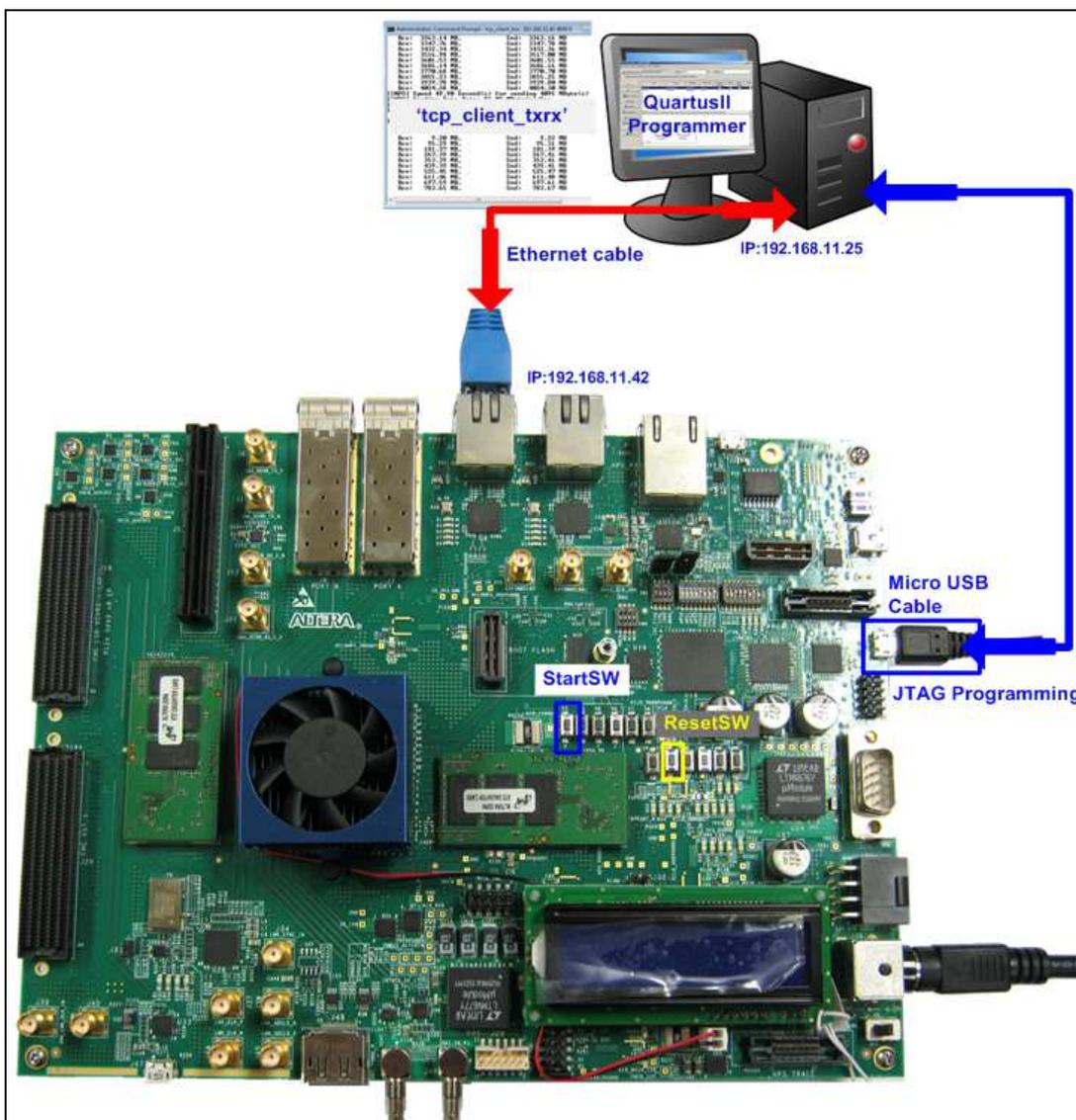


図 1-4: Arria10SoC 開発キットにおける TOE1G-IP 同時送受信デモ環境のセットアップ

2 デモ内容の説明

本デモにおいては、TOE1G-IP からユーザ回路に出力される PC から受信データは、ユーザ回路部にてそのまま TOE1G-IP のデータ入力に接続し、PC への送信データとなってループバックを形成します。従って PC 側においては、FPGA ボードへ送信した全データと FPGA ボードから受信した全データをテスト・アプリケーションでベリファイすることでデータの信頼性を確認します。TCP コネクションは PC 側からオープンがなされるので PC はクライアント・モードとなり FPGA ボードは TCP サーバとして動作します。FPGA ボード上の LED は下表 2-1 の定義となります。

LED	ON 又は点滅	OFF
0	ON; IP 初期化完了	IP 初期化が未完了 スタート・スイッチを押下したことおよび PC 側の IP アドレス設定を確認してください。
1	点滅: タイムアウト・エラー発生	エラー無し (通常動作状態)
2	(未使用)	(未使用)
3	ON: ポート・オープン完了	アイドル(ポートがオープンしていない)状態

表 2-1: LED の定義

3 PC 設定

PC の設定については以下ドキュメント記載の設定と同一のため、そちらを参照してください。

[文書名] TOE1G-IP 標準デモ手順書 (Altera 版)
 [ファイル名] dg_toe1gip_instruction_altera_jp.pdf
 [入手先 URL] http://www.dgway.com/TOE1G-IP_A.html

4 デモ実施方法

4.1 デモの準備手順

本デモの具体的な準備手順を以下に説明します。

- イーサネット・ケーブルを FPGA ボードと PC 間に接続します。
- USB/microUSB ケーブルを FPGA ボードと PC 間に接続し、電源を FPGA ボードに接続します。
- TOE1G-IP 標準デモ手順書 (Altera 版)の 3 章[PC 設定]記載の通りに PC 上のネットワーク設定を行います。
- FPGA ボード電源を投入します。
- 下図 4-1 の様に QuartusII Programmer を開き、評価用 SOF ファイルを FPGA ボードへダウンロードします。

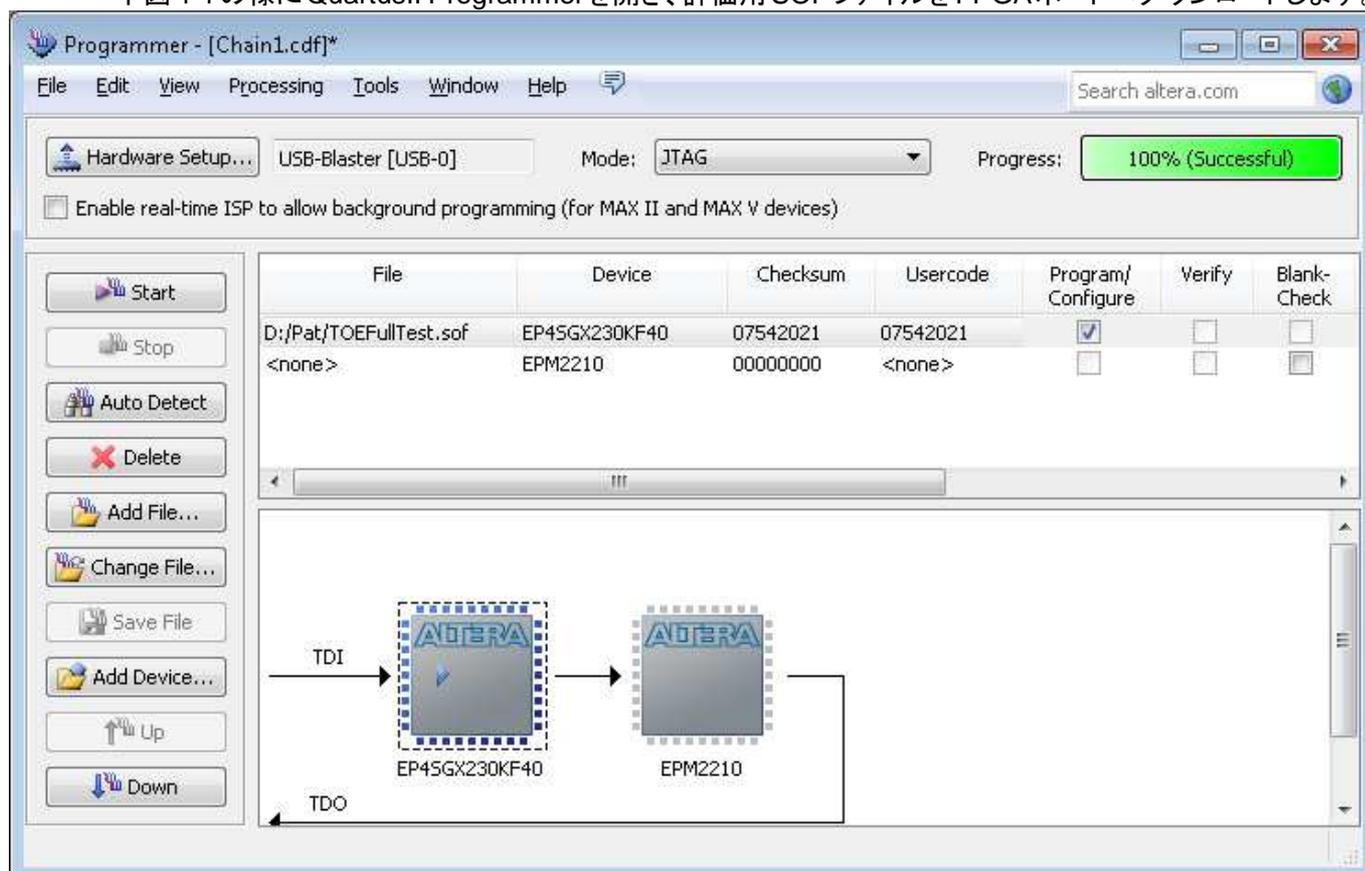


図 4-1: QuartusII Programmer で SOF ファイルをダウンロード

- FPGA ボード上の LED の状態を確認し、LED0/1/3 が全て OFF となっていることを確認してください
- **PHY チップの 1Gbps リンク状態 LED が図 4-2 のように ON となっていることを確認してください**

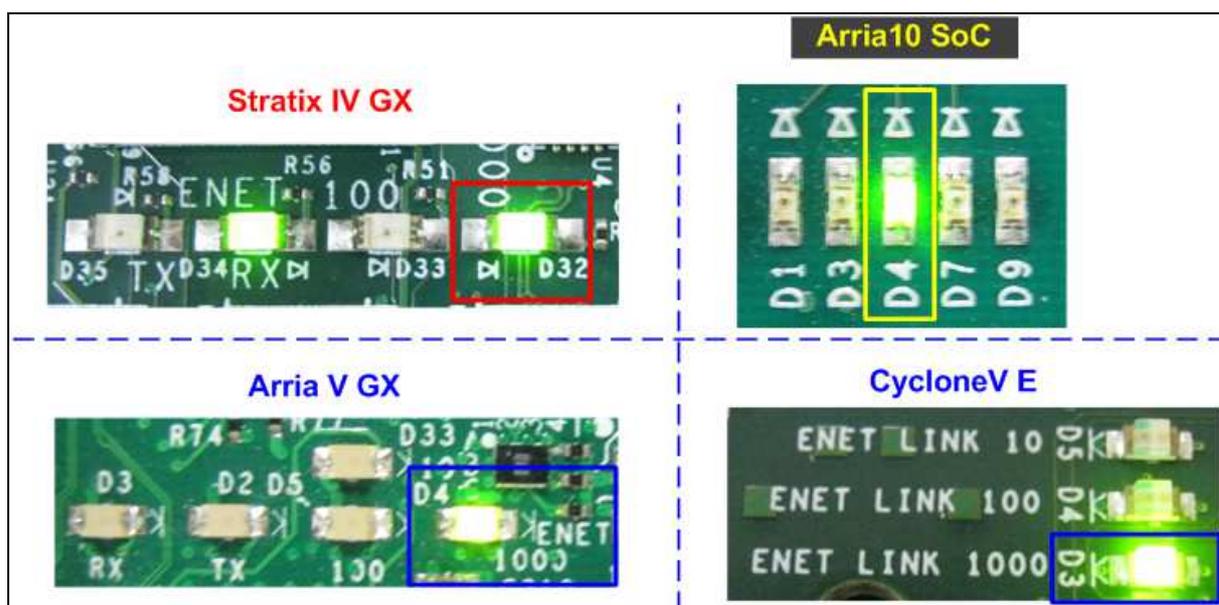


図 4-2: Ethernet1000 LED 状態

- 図 1-1 ~ 図 1-4 に示す PB0-SW の StartSW を押下して IP コアの初期化を実行します。すると図 4-3 に示すように LED0 が点灯します。
※ コンフィグレーション後 StartSW を押し LED0 が点灯しないと評価ができませんのでご注意ください。

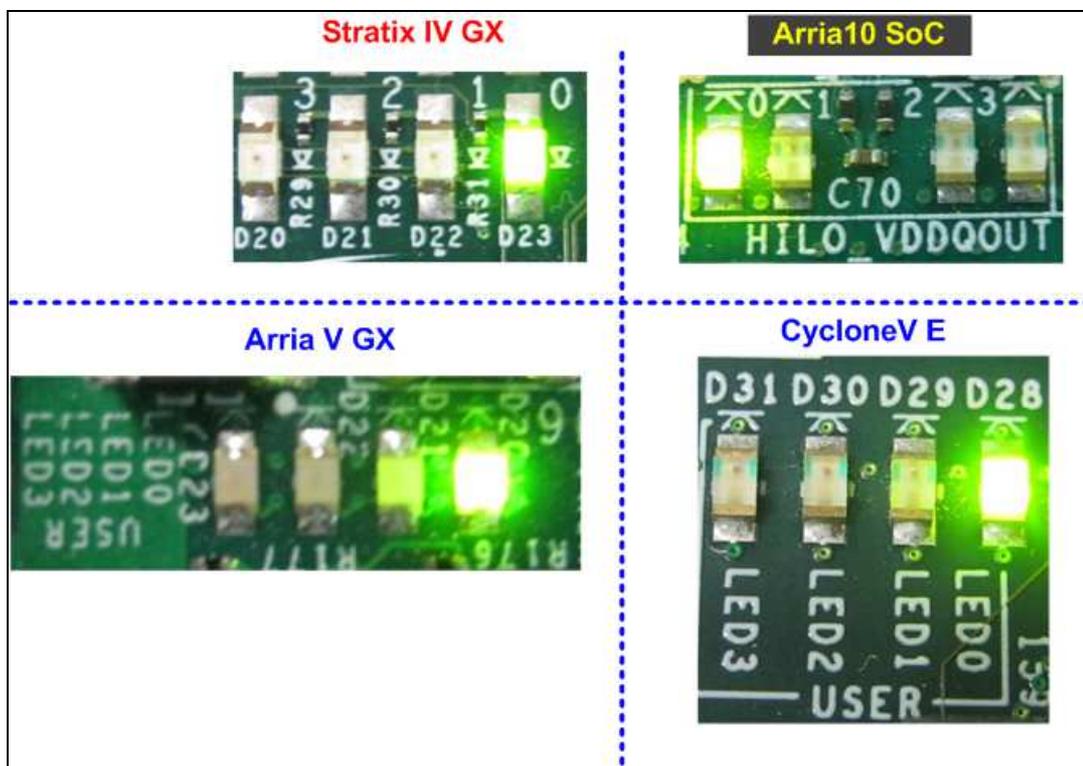


図 4-3: StartSW 押下後の LED 状態

StartSW を押下し LED が正常に点灯したこの状態でデータ転送の準備完了です。次の項にて、送信及び受信テストのステップを説明します。

注意：本デモの転送パフォーマンスはテスト PC のイーサネット・コントローラに依存します。

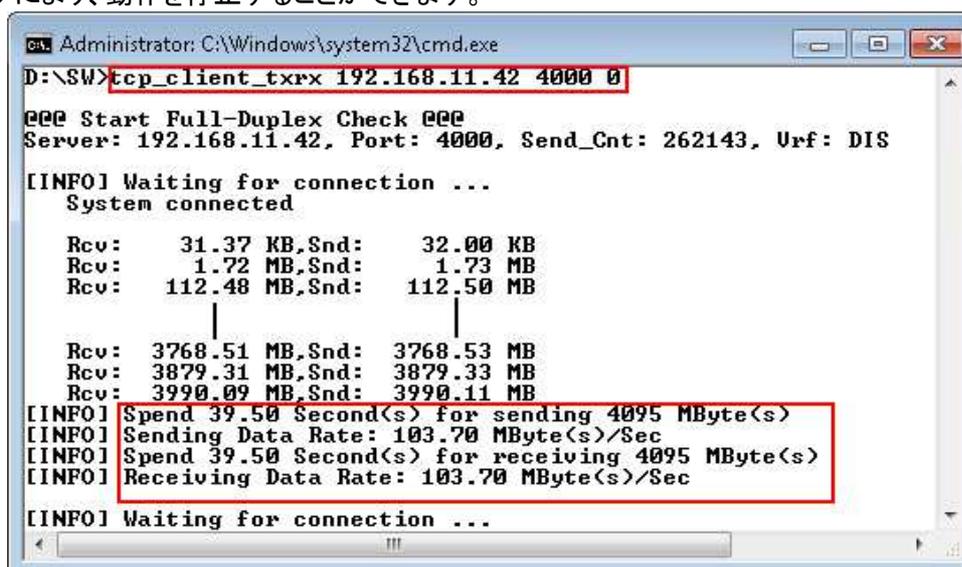
4.2 同時送受信テストの実施

本テストは 4GByte データの同時送受信を実行します。全 4GByte データの送信と受信の両方向の転送が完了すると FPGA はポートをクローズします。PC 側で動作するテスト・アプリケーションはループして繰り返し動作するので 4GByte の転送が終わると新たにコネクションを確立し再動作します。ユーザがキャンセルするとテストは終了します。

テストは2つのモードがあります、ひとつは転送レートを評価するためのパフォーマンス・モードでもうひとつはデータの信頼性を確認するためのベリファイ・モードです。以下に各テスト・モードの詳細を説明します。

4.2.1 パフォーマンス・モード

- PC のコマンド・プロンプト (DOS 窓)にて"tcp_client_txrx"を以下の引数で実行します。
tcp_client_txrx <FPGA 側 IP アドレス> <FPGA 側ポート番号> <モード>
- FPGA 側 IP アドレスとポート番号は本デモではそれぞれ 192.168.11.42 および 4000 で固定です。
- 変更するにはリファレンス・デザイン内の VHDL ソースコードを変更する必要があります。
- モードは'0'がパフォーマンス・モードの指定でデータはオール・ゼロ、ベリファイなしです。
- 本デモでは以下のコマンドラインとしてください
tcp_client_txrx 192.168.11.42 4000 0
- テストアプリケーションは図 4-4 に示すように、現在の送信および受信バイト数を1秒毎に表示します。所要時間とパフォーマンスは、それぞれ 4GByte のループ転送が完了するごとに表示されます。
- テスト実行中は図 4-5 のように LED0 と LED3 が点灯します。
- "Ctrl+C"により、動作を停止することができます。



```

Administrator: C:\Windows\system32\cmd.exe
D:\SW>tcp_client_txrx 192.168.11.42 4000 0
@@@ Start Full-Duplex Check @@@
Server: 192.168.11.42, Port: 4000, Send_Cnt: 262143, Urf: DIS

[INFO] Waiting for connection ...
System connected

Rcv: 31.37 KB,Snd: 32.00 KB
Rcv: 1.72 MB,Snd: 1.73 MB
Rcv: 112.48 MB,Snd: 112.50 MB

Rcv: 3768.51 MB,Snd: 3768.53 MB
Rcv: 3879.31 MB,Snd: 3879.33 MB
Rcv: 3990.09 MB,Snd: 3990.11 MB
[INFO] Spend 39.50 Second(s) for sending 4095 MByte(s)
[INFO] Sending Data Rate: 103.70 MByte(s)/Sec
[INFO] Spend 39.50 Second(s) for receiving 4095 MByte(s)
[INFO] Receiving Data Rate: 103.70 MByte(s)/Sec

[INFO] Waiting for connection ...
  
```

図 4-4: パフォーマンス・モードの同時送受信デモ

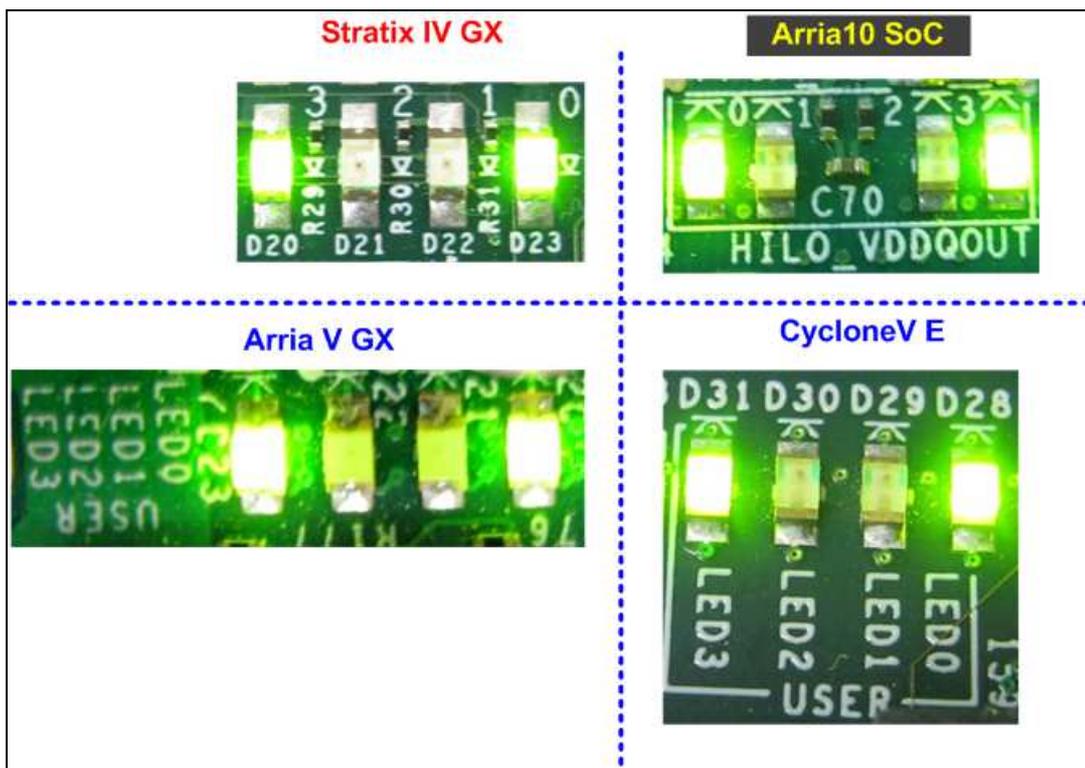
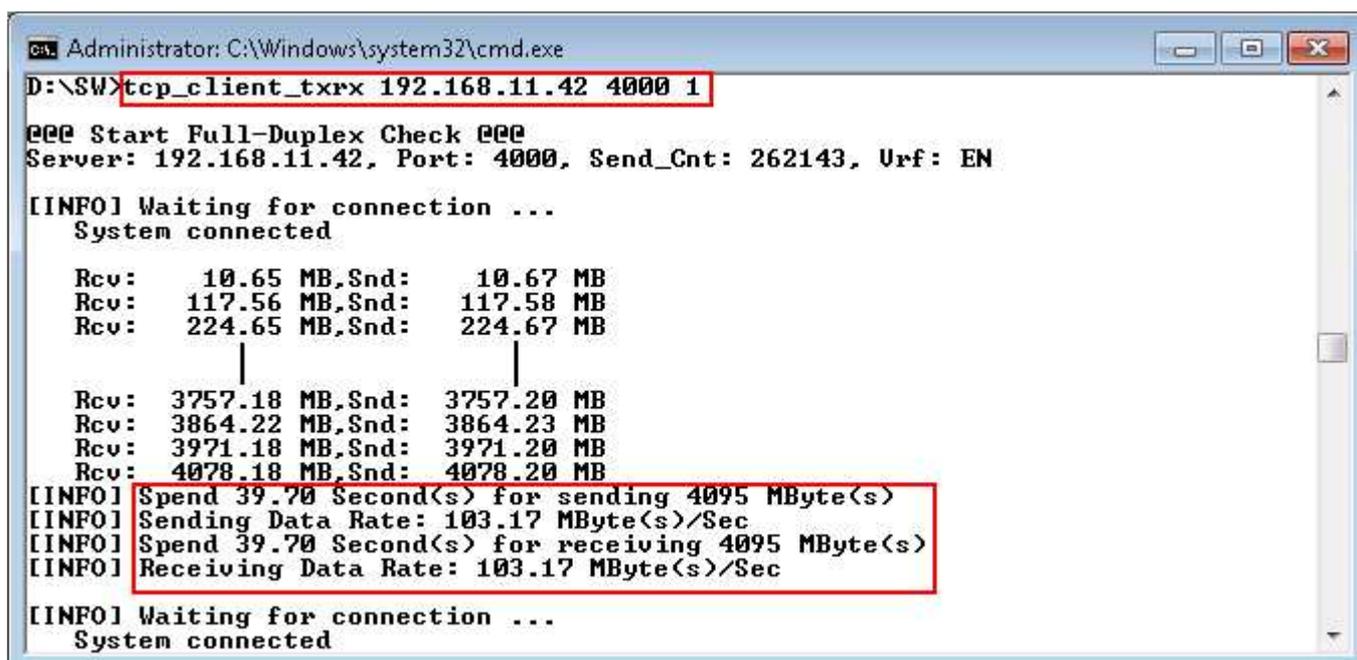


図 4-5:同時送受信テスト実行時のLED 状態

4.2.2 ベリファイ・モード

- コマンド・プロンプトにて"tcp_client_trx"をベリファイ・モードで実行します。
tcp_client_trx <FPGA 側 IP アドレス> <FPGA 側ポート番号> <モード>
- ベリファイ・モードでは<モード>の引数を'1'で指定します。
- ベリファイ・モードでは送信データは 32bit のインクリメンタル・データのパターンとなり、受信データを同じパターンでベリファイします。
- 本デモでは以下のコマンドラインとしてください
tcp_client_trx 192.168.11.42 4000 1
- テストアプリケーションは図 4-6 に示すように、現在の送信および受信バイト数を 1 秒毎に表示します。所要時間とパフォーマンスは、それぞれ 4GByte のループ転送が完了するごとに表示されます。
- "Ctrl+C"により、動作を停止することができます。



```

Administrator: C:\Windows\system32\cmd.exe
D:\SW>tcp_client_trx 192.168.11.42 4000 1

@@@ Start Full-Duplex Check @@@
Server: 192.168.11.42, Port: 4000, Send_Cnt: 262143, Urf: EN

[INFO] Waiting for connection ...
System connected

Rcv: 10.65 MB,Snd: 10.67 MB
Rcv: 117.56 MB,Snd: 117.58 MB
Rcv: 224.65 MB,Snd: 224.67 MB

Rcv: 3757.18 MB,Snd: 3757.20 MB
Rcv: 3864.22 MB,Snd: 3864.23 MB
Rcv: 3971.18 MB,Snd: 3971.20 MB
Rcv: 4078.18 MB,Snd: 4078.20 MB
[INFO] Spend 39.70 Second(s) for sending 4095 MByte(s)
[INFO] Sending Data Rate: 103.17 MByte(s)/Sec
[INFO] Spend 39.70 Second(s) for receiving 4095 MByte(s)
[INFO] Receiving Data Rate: 103.17 MByte(s)/Sec

[INFO] Waiting for connection ...
System connected
  
```

図 4-6: ベリファイ・モードの同時送受信デモ

5 制約事項・注意点

本デモの制約事項・注意事項については以下ドキュメントの 5 章[制約事項・注意事項]の記載内容を参照してください。

[文書名] TOE1G-IP 標準デモ手順書 (Altera 版)
[ファイル名] dg_toe1gip_instruction_altera_jp.pdf
[入手先 URL] http://www.dgway.com/TOE1G-IP_A.html

6 改版履歴

リビジョン	日付	内容
1.0	29-Jul-2014	English version initial release
1.0J	2014/8/7	日本語訳の初期バージョン作成
1.2J	2016/8/30	製品名の変更(TOE2-IP → TOE1G-IP)、Arria10 サポート開始
1.3J	2016/10/20	CycloneV サポート開始

Copyright: 2014 Design Gateway Co.,Ltd.