Dec

dg\_udp10gip\_instruction\_xilinx\_jp.doc

# <u>UDP1G-IP デモ手順書(Xilinx 版)</u>

Rev1.0J 2017/11/16

本ドキュメントは UDP10G-IP コアを搭載した Xilinx 製 FPGA 評価ボードと PC 間で 10Gb UDP データを通信 UDP10G-IPコア・リファレンス・デザインの実機デモについてその手順を説明したものです。ユーザは UDP10G-IPコ アに対してはシリアル・コンソール経由で、PC 側ではコマンド・プロンプトで動作するテスト・アプリケーション経由で各 テスト・モードやパラメータを入力できます。本デモでは 2 つのテスト・モードがあります、一つはベリファイ用テスト・パ ターンにて FPGA からの UDP データ送信で、もう一つは FPGA がデータを受信・ベリファイするモードです。どちらの テストも PC 側の"udpdatatest"アプリケーションが使われます。各テスト・モードの詳細を以下に説明します。

### 1 動作環境

本デモ・デザインの動作環境を図 1-1 に示します。実機デモ用として以下の部材を揃えてください。

- 1) Xilinx 製 FPGA ボード、KCU105 ボードで本デモが可能です。
- 2) 10 ギガビット・イーサネットのポートまたは 10 ギガビット・イーサネット・カードを持つパソコン
- 3) 10 ギガビット SFP+ダイレクト・アタッチ・ケーブル(DAC)または FPGA ボードと PC を接続する 2 個の 10 ギ ガビット SFP+トランシーバおよび光ケーブル
- 4) FPGA ボードの Configuration 用および USB シリアル接続用の micro USB ケーブル 2 本 (FPGA ボードの 付属品、シリアル通信条件はボーレート 115,200、データ 8bit、Stop ビット=1、パリティ=なし)
- 5) 通信評価時に PC 側で動作する"udpdatatest.exe"アプリケーションおよび評価用 BIT ファイル ※ 評価用の BIT/EXE ファイルは以下のページからユーザ登録することでダウンロードできます。 UDP10G-IP 紹介 URL: http://www.dgway.com/UDP10G-IP X.html
- 6) FPGA コンフィグレーション用の Vivado ツールおよびシリアル通信ツールをインストールしたパソコン



図 1-1: KCU105 ボードでの UDP10G-IP デモ環境



#### 注:本ドキュメントで紹介したテスト結果は以下の環境で実施したものです。

- [1] 10G ネットワーク・アダプタ: Intel X520-DA2 <u>http://www.intel.com/content/www/us/en/network-adapters/converged-network-adapters/ethernet-x52</u> <u>0-server-adapters-brief.html</u>
   [2] a) 10 ギガビット SFP+ DAC ケーブル
  - http://www.netgear.com/business/products/switches/modules-accessories/axc761.aspx b) 10 ギガビット SFP+ トランシーバ + 光ケーブル SFP+ transceiver (850nm) http://www.fit-foxconn.com/Product/ProductDetail?topClassID=Electronic%20Module&&PN=AFBR-7 09SMZ 光ケーブル 2105027-3 (LC to LC 1.8mm OM3 DPX LSZH&OFNR 3M)
- [3] PC: マザボード ASUS P8Z77-M, 24 GB RAM, 64-bit Windows7 OS

# 2 PC 設定

デモを実施する際には、下記の様に PC 上のネットワークを設定する必要があります。

### 2.1 IP アドレス設定

onnect using:     10-Gb LAN connection       Intel(R) Ethemet Server Adapter X520-2	You can get IP settings assigned this capability. Otherwise, you n for the appropriate IP settings.	l automatically if your network suppor eed to ask your network administrato
Configure	Obtain an IP address autor	natically
This connection uses the following items.	Use the following IP address	s:]
Gient for Microsoft Networks      OoS Packet Scheduler	IP address:	192 . 168 . 7 . 25
Bile and Printer Sharing for Microsoft Networks	Subnet mask:	255.255.255.0
<ul> <li>Internet Protocol Version 6 (TCP/IPv6)</li> <li>Internet Protocol Version 4 (TCP/IPv4)</li> </ul>	Default gateway:	
Link-Layer Topology Discovery Mapper I/O Driver	Obtain DNS server address	automatically
	Use the following DNS served	er addresses:
Install Uninstall Properties	Preferred DNS server:	
Description	Alternate DNS server:	
vide area network protocol/internet Protocol. The default wide area network protocol that provides communication across diverse interconnected networks.	Validate settings upon exit	Advanced.

- 図 2-1 の左図の様に、テスト接続のローカルエリア接続プロパティーを開きます。
- "TCP/IPv4"を選択し、プロパティーをクリックします。
- 図 2-1 の右図の様に、IP アドレスを 192.168.7.25 に、サブネットマスクを 255.255.255.0 に設定します。



dg\_udp10gip\_instruction\_xilinx\_jp.doc 2.2 速度とフレームの設定

Local Area Connection 2 Properties	Local Area Connection 2
Networking Sharing Connect using:	You have made changes to the properties of this connection. If you proceed your changes will be lost.
Intel(R) Ethemet Server Adapter X520-2	Do you wish to proceed?
Inis connection uses the following items:   Client for Microsoft Networks   QoS Packet Scheduler   File and Printer Sharing for Microsoft Networks   Image: A strain of the strain of t	<u>Y</u> es <u>N</u> o
Install Uninstall Properties	
Allows your computer to access resources on a Microsoft network.	

- Window 上のローカルエリア接続のプロパティーにて、図 2-2 の様に[構成]のボタンをクリックします。



VLANs	Boot Options	Driver	Details	VLANs	Boot Options	Driver	Details
General	Link Speed	Advanced	Teaming	General	Link Speed	Advanced	Teaming
ofile: Sta	Advanced Adapter Settir	ngs ▼] Value:		Link Status Speed:	Link Speed and Duple: Intel(R) PROSet Versio 10.00 Gbps/Full	x Settings n: 19.1.51.0 Duplex	
nterrupt Mode	ration	A 9014 Bytes	•	Speed and Du	olex:		
arge Send Off	fload V2 (IPv4)	E 4088 Bytes		10 Gbos Full [	)uplex 🔻	Diagno	stics
ocally Adminis og Link State Performance O Priority & VLAN	stered Address Event ptions	• Use	Default	Auto Negotiati 10 Gbps Full D	on Juplex	Identify <u>/</u>	dapter
umbo Packet				Speed and	Duplex Setting: By de	fault, Intel® adapter	s are set
Enables Jumi where large additional late CPU utilization Jumbo Packe	to Packet capability for TC packets make up the majo ency can be tolerated, Jum n and improve wire efficie ts are larger than standar	CP/IP packets. In si rity of traffic and nbo Packets can r ency. d Ethernet frames	ituations  reduce s, which	A setting oth advertises d Temperature SFP+ Modu	er than Auto Negotiation uring auto-negotiation. rre: Displays temperatur sensor. les:	e state if the adapt	adapter er has a
NOT loss	ately 1.5k in size. FE: Changing this setting n of connectivity.	nay cause a mome	entary				

図 2-3: リンク速度とジャンボ・フレームの設定

- アドバンス・タブにて、図 2-3 左側の様に Jumbo Packet = 9014Bytes に設定します。あるいは非ジャンボ・フレームを評価する場合は"Disabled"にセットします。
- リンク速度のタブにて、図 2-3 右側のように"10Gbps Full Duplex"を指定します。





### 図 2-4: パフォーマンス・オプション

- アドバンス・タブにて"Performance Options"を選択し、"Properties"ボタンを押下します。
- "Performance Options 画面で"Low latency Interrupts"を選択し"OK"ボタンを押下します。
- "OK"を押下し設定をセーブします。



## 2.3 電源オプションの設定

🕥 🍚 🐖 🕨 Control Panel 🕨 Al	I Control Panel Items 🕨	✓ 4y Search Control Panel	م
Adjust your computer's settir	ngs	View by: Small icons 🔻	
P Action Center	😨 Administrative Tools	AutoPlay	
Backup and Restore	Real BitLocker Drive Encryption	Color Management	
Credential Manager	Date and Time	🝘 Default Programs	
📑 Desktop Gadgets	🚔 Device Manager	Devices and Printers	
🜉 Dîsplay	S Ease of Access Center	F Folder Options	1
🙀 Fonts	📑 Getting Started	🔞 HomeGroup	
🔏 Indexing Options	Intel(R) HD Graphics	💮 Internet Options	
Expoard Keyboard	Location and Other Sensors	Mail	
J Mouse	Network and Sharing Center	🔜 Notification Area Icons	
💑 Parental Controls	Performance Information and Tools	Personalization	
Phone and Modem	Power Options	Programs and Features	
😂 Realtek HD Audio Manager	P Recovery		

<u>図 2-5: 電源オプション</u>

- 図 2-5 のようにコントロール・パネル内の電源オプションを選択します。

- 下図 2-6 のように高パフォーマンスの設定に変更します。

🌀 🌍 🚽 😺 🕨 Control Panel 🕨	All Control Panel Items > Power Options - + Searc	h Control Panel
Control Panel Home	Select a power plan	
Require a password on wakeup	Power plans can help you maximize your computer's performance of	or conserve energy. Make a plan
Choose what the power button does	active by selecting it, or choose a plan and customize it by changing about power plans	j its power settings. <u>Tell me more</u>
Create a power plan	Preferred plans	
Choose when to turn off the display	Balanced (recommended) Automatically balances performance with energy consumptio	Change plan setting: n on capable hardware.
Change when the computer sleeps	Power saver	Change plan setting
	Saves energy by reducing your computer's performance when	e possible.
	Hide additional plans	
	iiii High performance	Change plan setting
	Favors performance, but may use more energy.	
See also		
Personalization		
User Accounts		



# 3 FPGA ボードの設定

本テストを実施するに当たっては、下記のハードウェア設定が必要です。

1) 図 3-1 に示すように FPGA 評価キット付属のマイクロ USB ケーブル 2 本を JTAG および UART 通信用として FPGA ボードと PC 間に接続し、さらに FPGA ボードの電源を接続します。



図 3-1:USB ケーブルの接続

2) 図 3-2 に示すように SFP+ ポート 0 側と、10 ギガビット SFP+ DAC ケーブルまたは SFP+トランシーバおよび 光ケーブルを使って PC と接続します。



<u>図 3-2:SFP+ケーブルの接続</u>

- 3) FPGA ボードの電源を投入します。
- 4) 図 3-3 のように Vivado を開き BIT ファイルを FPGA にコンフィグレーションします。





ご注意:本デモにおける実際の転送パフォーマンスは、評価に使うPCのパフォーマンスに依存するため、10Gビットのイーサネット転送で十分な送受信速度が達成可能な PCを選択する必要があります。

5) シリアル・コンソールを開きデフォルトのパラメータ設定画面が表示されることを確認します。 (シリアル通信条件はボーレート 115,200、データ 8bit、Stop ビット=1、パリティ=なし)





# 4 テスト・メニュー

#### 4.1 IP コアのリセット

リセットは以下2つの条件で表示されます。

- 1) システムのブートアップ時
- 2) メイン・メニューで[0]を選択した時

本メニューは IP コアを強制リセットしたり、IP コアへの設定パラメータを変更したりする場合に使われます。'x' をタイプすることで現在の設定のままで IP コアの強制リセット 状態を終了します。 その後本 IP コアは初期化プ ロセスを開始します。 リセットと初期化が完了すると図 4-1 に示すようにメイン・メニューが表示されます。



図 4-1: メイン・メニュー

- 1) FPGA 側 MAC アドレス: 12 桁の 16 進数で入力します。16 進数であることを示すため数字の先頭に'0x' をつけて入力してください。
- 2) FPGA 側 IP アドレス: 4 数字の 10 進数にて'.'(ドット)を区切りとして入力します。各数字で有効な値は 0~
   255 です。この値は PC 側のテスト・アプリケーションで入力する FPGA 側の IP アドレス値となります。
- 3) FPGA 側ポート番号: 有効な数字は 0~65535 です。この値は PC 側のテスト・アプリケーションで入力す る FPGA 側のポート番号値となります。
- 4) ターゲット IP アドレス: 4 数字の 10 進数にて'.'(ドット)を区切りとして入力します。各数字で有効な値は 0~ 255 です。この値は PC 側 10Gb ポートの IP アドレス値となります。
- 5) ターゲット側ポート番号(Target->FPGA): 有効な数字は 0~65535 です。この値は PC から FPGA へのデ ータ転送方向における PC 側のポート番号値となります。
- 6) ターゲット側ポート番号(FPGA->Target): 有効な数字は 0~65535 です。この値は FPGA から PC へのデ ータ転送方向における PC 側のポート番号値となります。

全てのパラメータ設定が終わったらコンソール上に新しいパラメータ値が表示されます。その後本 IP コアは設 定されたパラメータの更新を行いリセットを実行します。本 IPコアが初期化を完了すると図4-2に示すように"IP initialization complete"が表示されます。



🚾 COM5 - Tera Term VT	
<u>File E</u> dit <u>S</u> etup C <u>o</u> ntrol <u>W</u> indow <u>H</u> elp	
Press 'x' to skip parameter setting[y -> Input to change parameter Input FPGA HAC address : Ux1122334455 Input FPGA IP address : 192.168.7.43 -> Assign new value Input FPGA port number : 5000 Input Target IP address : n -> Invalid input to use same parameter Invalid input : Parameter not change Input Target port number (Target->FPGA) : 61001 Input Target port number (FPGA->Target) : 61000	·
UDPIP Parameter FPGA HAC address = 0x001122334455 FPGA IP = 192.168.7.43 Target IP = 192.168.7.25 FPGA port number = 5000 Target port number (Target->FPGA) = 61001 Target port number (FPGA->Target) = 61000 HARNING: Please also change IP setting and port number on Test application IP intialization complete	
UDP1DG-IP menu [O] : Reset or change UDPIP parameter [1] : Send Data Test (UDPIP -> PC) [2] : Receive Data Test (PC -> UDPIP)	





### 4.2 送信テスト

シリアル・コンソールにて'1'をタイプすることで FPGA から PC への送信テストを実行できます。 図 4-3 に送信テストの実施例を示します。 上側は FPGA 側のシリアル・コンソール画面で、下側は PC 側のコ マンド・プロンプトにおけるテスト・アプリケーションの画面例です。

- 1) シリアル・コンソールにて総転送サイズをバイト単位で入力します。有効な値は 0x8~0FFFFFF8 で、 必ず 8 の倍数とする必要があります。
- 2) シリアル・コンソールにてパケット・サイズをバイト単位で入力します。有効な値は8~8968です。パケット・サイズが1472以上の場合、テスト PCはジャンボ・フレームをサポートする必要があります。この値は必ず8の倍数とする必要があります。
- 3) 上記両者の値を入力すると"Run udpdatatest application..."のメッセージが表示され、PC 側のテスト・ アプリケーションで推奨するパラメータが合わせて表示されます。
- 4) PC 側では DOS プロンプトを開き、"UDPDatetest"アプリケーションを起動する必要があります。5つの 引数が必要となりますがそれらは、転送方向、FPGA 側 IP アドレス、FPGA 側ポート番号、PC 側ポート 番号、総転送サイズで以下のコマンド・ラインとなります。
   >> udpdatatest <方向> <FPGA IP> <FPGA ポート番号> <PC ポート番号> <転送バイト数>
   シリアル・コンソールの画面からパラメータをコピーし PC 側コマンド・プロンプトでペーストしてください。
- 5) FPGA からデータを受信する前に設定したパラメータが表示されます。 PC はシリアル・コンソールで何 かキーが押されるのを待ちます。
- 6) シリアル・コンソールではユーザが何かのキーを押してデータ送信を開始します。実行中は転送済みデ ータ数がリアルタイムで表示されます。FPGA が全データを送信し終わると転送パフォーマンスを表示 します。一方 PC 側では転送中受信データ数が表示されます。PC 側では全データを受信するか、ある いは 100msec のタイムアウトで転送パフォーマンスを表示します。





### 4.3 受信テスト

シリアル・コンソールにて'2'をタイプすることで PC から FPGA への受信テストを実行できます。 受信テストでは データのベリファイあり/なしを選択できます。

- 4.3.1 ベリファイありモード
  - 図 4-4 にベリファイありのデータ受信テスト実施例を示します。上側は FPGA 側のシリアル・コンソール画面で、 下側は PC 側のコマンド・プロンプトにおけるテスト・アプリケーションの画面例です。
    - シリアル・コンソールにて'1'を入力しデータのベリファイ機能を有効にします。PC からインクリメンタル・ データが送信され FPGA にてベリファイします。"Wait data from PC"メッセージが表示され、PC 側の テスト・アプリケーションで推奨するパラメータが合わせて表示されます。
    - PC 側では DOS プロンプトを開き、"UDPDatetest"アプリケーションを起動する必要があります。5つの 引数が必要となりますがそれらは、転送方向、FPGA 側 IP アドレス、FPGA 側ポート番号、PC 側ポート 番号、総転送サイズで以下のコマンド・ラインとなります。

>> udpdatatest <方向> <FPGA IP> <FPGA ポート番号> <PC ポート番号> <転送バイト数>

3) PC 側にてテスト・アプリケーションが実行されると PC からデータ送信を開始します。実行中は転送済 みデータ数がリアルタイムで表示され全データを送信し終わるかと転送パフォーマンスを表示します。 一方 FPGA 側では転送中受信データ数が表示されます。FPGA 側で全データを受信するか、あるいは 100msec のタイムアウトで転送パフォーマンスを表示します。

🚾 COM5 - Tera Term VT	
<u>File Edit S</u> etup C <u>o</u> ntrol <u>W</u> indow <u>H</u> elp	
+++ UDP10G-IP Receive Mode +++ Input data verification mode : [0]-Disable [1]-Enable => Hait data from PC Run udpdatatest application on PC by following command	1
udpdatatest t 192.168.7.42 4000 60001 4294967288 Send 0.000 HB Recv 1234.727 HB Total = 2000[HB] , Tine = 1800[Hs] , Transfer speed = 1111	[HB/s] 3
UDP10G-IP menu [0] : Reset or change UDPIP parameter [1] : Send Data Test (UDPIP -> PC) [2] : Receive Data Test (PC -> UDPIP)	÷
C:\Windows\system32\cmd.exe	
D:\Temp\SW}UDPDataTest t 192.168.7.42 4000	60001 200000000 2
Start Sending with Data pattern FPGA IP: 192.168.7.42:4000 PC Port:60001 1.234 GB	3
Spend 1.62 Second(s) for Sending 2.000 G Sending Data Rate: 1233.81 MByte(s)/Sec	Byte(s)
):\Temp\SW>_	-
< [	• a
図 4-4: 受信テスト (ベリファイにパス	 、した場合)



UDPプロトコルはハンドシェーク・「パケットがないためネットワーク転送中にデータをロストすることがあります。 図4-5に大量のデータを受信しロストが発生した場合の結果例を示します。シリアル・コンソールはベリファイで エラーを検出した場合、"ERROR:: Verify data" のエラー・メッセージを表示します。PC 側テスト・アプリケーションは全データの送信が完了するまで動作を継続します。

	💆 COM5 - Tera Term VT
	<u>Eile Edit Setup Control Window H</u> elp
	+++ UDP10G-IP Receive Mode +++ Input data verification mode : [0]-Disable [1]-Enable => 1 Wait data from PC Run udpdatatest application on PC by following command
	udpdatatest t 192.168.7.42 4000 60001 4294967288 Send 0.000 MB Recv 1235.323 MB Send 0.000 MB Recv 2346.116 MB Send 0.000 MB Recv 3455.704 MB ERROR: Verify data
	Total = 42911HB1 , Time = 3600[ms] , Transfer speed = 1192[HB/s] UOP10G-IP menu [0] : Reset or change UDPIP parameter [1] : Send Data Test (UDPIP -> PC) [2] : Receive Data Test (PC -> UDPIP)
C:	Windows\system32\cmd.exe
):\T	emp\SW>UDPDataTest t 192.168.7.42 4000 60001 4291967288
PGA PC P	t Sending with Data pattern IP: 192.168.7.42:4000 prt:60001 1.234 GB 2.470 GB 3.704 GB
pen end	d 3.48 Second(s) for Sending 4.292 GByte(s) ing Data Rate: 1233.68 MByte(s)/Sec
:\T	emp\SW>_
•	- ttt

図 4-5: 受信テスト (ベリファイでエラーを検出した場合)



### 4.3.2 ベリファイなしモード

図4-6にベリファイなしのデータ受信テスト実施例を示します。上側はFPGA側のシリアル・コンソール画面で、 下側は PC 側のコマンド・プロンプトにおけるテスト・アプリケーションの画面例です。シリアル・コンソールで [0]-Disableを選択することでベリファイなしでのデータ受信テストが可能です。

ベリファイありのモードと同様、転送数がシリアル・コンソールとPC 側テスト・アプリケーションの両方にリアルタ イムで表示されます。テスト完了時にトータルでの転送パフォーマンスが表示されます。

	<u>File Edit Setup Control Window H</u> elp	
	+++ UDP1DG-IP Receive Mode +++ Input data verification mode : [0]-Disable [1]-Enable =>0 Wait data from PC Run udpdatatest application on PC by following command	
	udpdatatest t 192.168.7.42 4000 60001 4294967288 Send 0.000 HB Recv 1239.399 HB Send 0.000 HB Recv 2354.318 HB Send 0.000 HB Recv 3468.121 HB Total = 4291[HB] , Time = 3600[ms] , Transfer speed = 1192[HB/s]	
	UOP10G-IP menu [O] : Reset or change UOPIP parameter [1] : Send Data Test (UOPIP -> PC) [2] : Receive Data Test (PC -> UOPIP)	
CA. C:\W	/indows\system32\cmd.exe	
	/indows\system32\cmd.exe	- <u>- ×</u>
D:\Tem Start FPGA I PC Por 1. 2. 3.	/indows\system32\cmd.exe np\SW>UDPDataTest t 192.168.7.42 4000 60001 4291967288 Sending with Data pattern (P: 192.168.7.42:4000 +t:60001 .239 GB .479 GB .719 GB	• • • • • • • • • • • • • • • • • • •
D:\Tem Start FPGA I PC Por 1. 2. 3. Spend Sendin	<pre>/indows\system32\cmd.exe</pre>	· · · · · · · · · · · · · · · · · · ·
D:\Tem Start FPGA I PC Por 1. 2. 3. Spend Sendin D:\Tem	<pre>/indows\system32\cmd.exe</pre>	· · · · · · · · · · · · · · · · · · ·

図 4-6: 受信テスト (ベリファイなしの場合)



### 4.4 入力エラーの例

ここではパラメータの入力エラー例を示します。 図 4-7 および図 4-8 は無効な入力値を検出した場合に"Out-of-range input"のエラー・メッセージが表示される ケースを示します。

🚾 COM5 - Tera Term VT						
<u>F</u> ile	<u>E</u> dit	<u>S</u> etup	C <u>o</u> ntrol	Window	<u>H</u> elp	
+++ UD Enter Out-of	P10G-IP total t -range P10G-IP	Send Hoo x size (a input	de +++ aligned to -	64-bit) : 8	- Oxfffffff8	=>1
[0] : [1] : [2] :	Reset o Send Da Receive	r change Ita Test I Data Tes	UDPIP para (UDPIP -> P st (PC -> U	neter C) DPIP)		-

図 4-7: 送信データ・サイズが無効な場合



図 4-8: 送信パケット・サイズが無効な場合



# 5 改版履歴

リビジョン	日付	内容	
1.0	15-Sep-17	Initial version release	
1.0J	2017/11/15	日本語版の初期バージョン作成	

Copyright: 2017 Design Gateway Co,Ltd.