

# UDP1G-IP デモ手順書(Xilinx 版)

Rev1.0J 2017/11/16

本ドキュメントは UDP10G-IP コアを搭載した Xilinx 製 FPGA 評価ボードと PC 間で 10Gb UDP データを通信 UDP10G-IPコア・リファレンス・デザインの実機デモについてその手順を説明したものです。ユーザはUDP10G-IPコアに対してはシリアル・コンソール経由で、PC 側ではコマンド・プロンプトで動作するテスト・アプリケーション経由で各テスト・モードやパラメータを入力できます。本デモでは2つのテスト・モードがあります、一つはベリファイ用テスト・パターンにてFPGAからのUDPデータ送信で、もう一つはFPGAがデータを受信・ベリファイするモードです。どちらのテストもPC側の”udpdatatest”アプリケーションが使われます。各テスト・モードの詳細を以下に説明します。

## 1 動作環境

本デモ・デザインの動作環境を図 1-1 に示します。実機デモ用として以下の部材を揃えてください。

- 1) Xilinx 製 FPGA ボード、KCU105 ボードで本デモが可能です。
- 2) 10 ギガビット・イーサネットのポートまたは 10 ギガビット・イーサネット・カードを持つパソコン
- 3) 10 ギガビット SFP+ダイレクト・アタッチ・ケーブル(DAC)または FPGA ボードと PC を接続する 2 個の 10 ギガビット SFP+トランシーバおよび光ケーブル
- 4) FPGA ボードの Configuration 用および USB シリアル接続用の micro USB ケーブル 2 本 (FPGA ボードの付属品、シリアル通信条件はボーレート 115,200、データ 8bit、Stop ビット=1、パリティ=なし)
- 5) 通信評価時に PC 側で動作する”udpdatatest.exe”アプリケーションおよび評価用 BIT ファイル  
 ※ 評価用の BIT/EXE ファイルは以下のページからユーザ登録することでダウンロードできます。  
 UDP10G-IP 紹介 URL: [http://www.dgway.com/UDP10G-IP\\_X.html](http://www.dgway.com/UDP10G-IP_X.html)
- 6) FPGA コンフィグレーション用の Vivado ツールおよびシリアル通信ツールをインストールしたパソコン

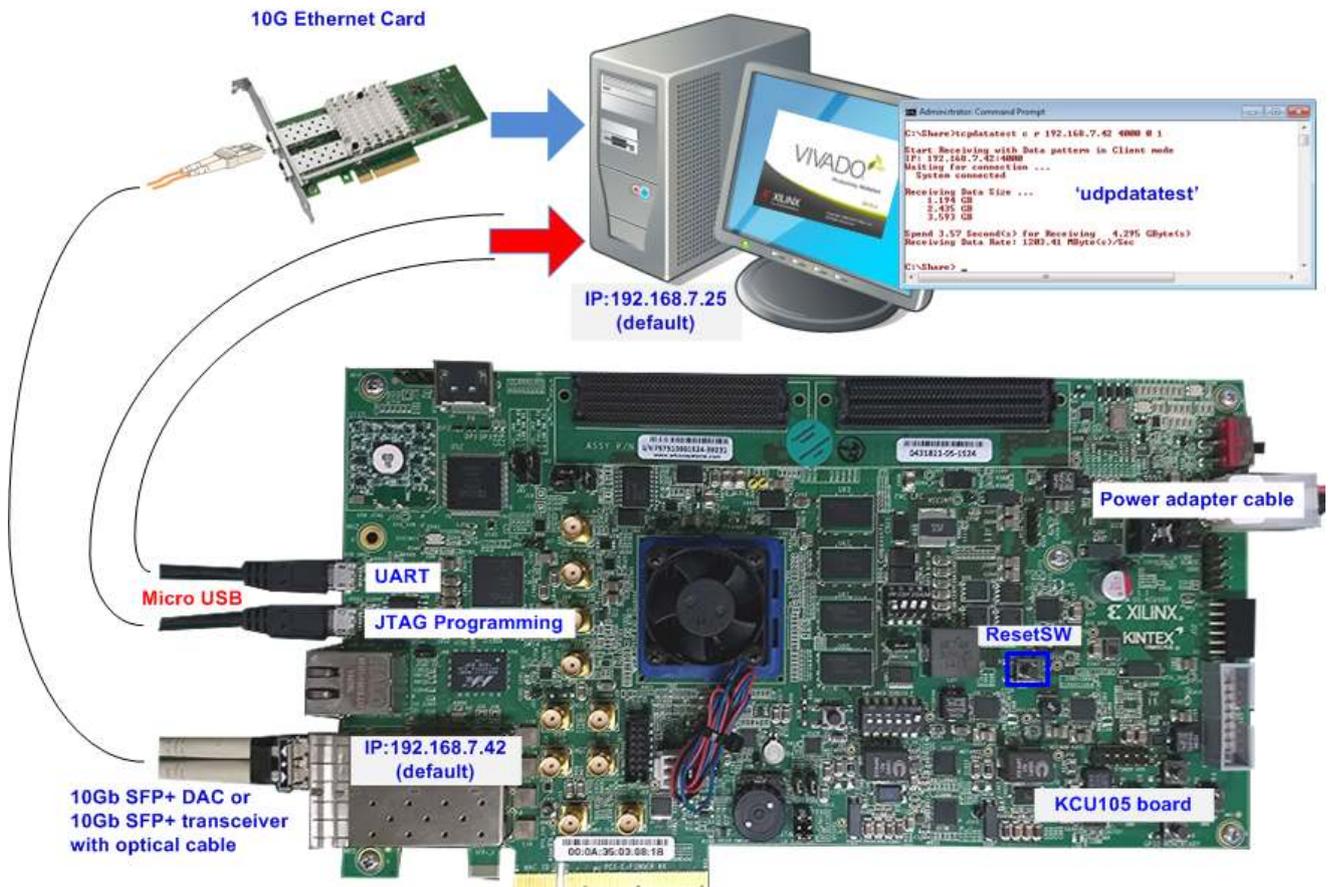


図 1-1: KCU105 ボードでの UDP10G-IP デモ環境

注: 本ドキュメントで紹介したテスト結果は以下の環境で実施したものです。

- [1] 10G ネットワーク・アダプタ: Intel X520-DA2  
<http://www.intel.com/content/www/us/en/network-adapters/converged-network-adapters/ethernet-x520-server-adapters-brief.html>
- [2] a) 10 ギガビット SFP+ DAC ケーブル  
<http://www.netgear.com/business/products/switches/modules-accessories/axc761.aspx>  
 b) 10 ギガビット SFP+ トランシーバ + 光ケーブル  
 SFP+ transceiver (850nm)  
<http://www.fit-foxconn.com/Product/ProductDetail?topClassID=Electronic%20Module&&PN=AFBR-709SMZ>  
 光ケーブル 2105027-3 (LC to LC 1.8mm OM3 DPX LSZH&OFNR 3M)
- [3] PC: マザボード ASUS P8Z77-M, 24 GB RAM, 64-bit Windows7 OS

## 2 PC 設定

デモを実施する際には、下記の様に PC 上のネットワークを設定する必要があります。

### 2.1 IP アドレス設定

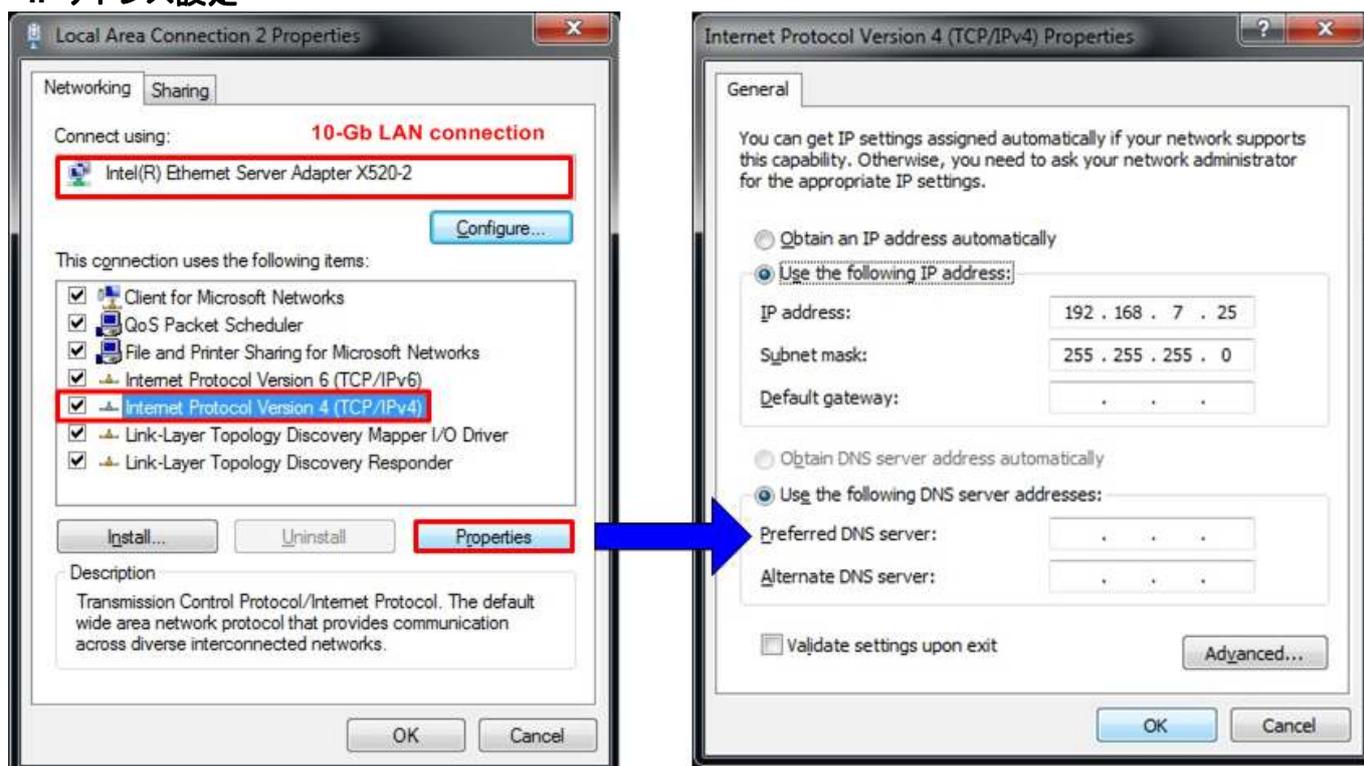


図 2-1: IPv4 設定

- 図 2-1 の左図の様に、テスト接続のローカルエリア接続プロパティを開きます。
- “TCP/IPv4”を選択し、プロパティをクリックします。
- 図 2-1 の右図の様に、IP アドレスを **192.168.7.25** に、サブネットマスクを **255.255.255.0** に設定します。

## 2.2 速度とフレームの設定

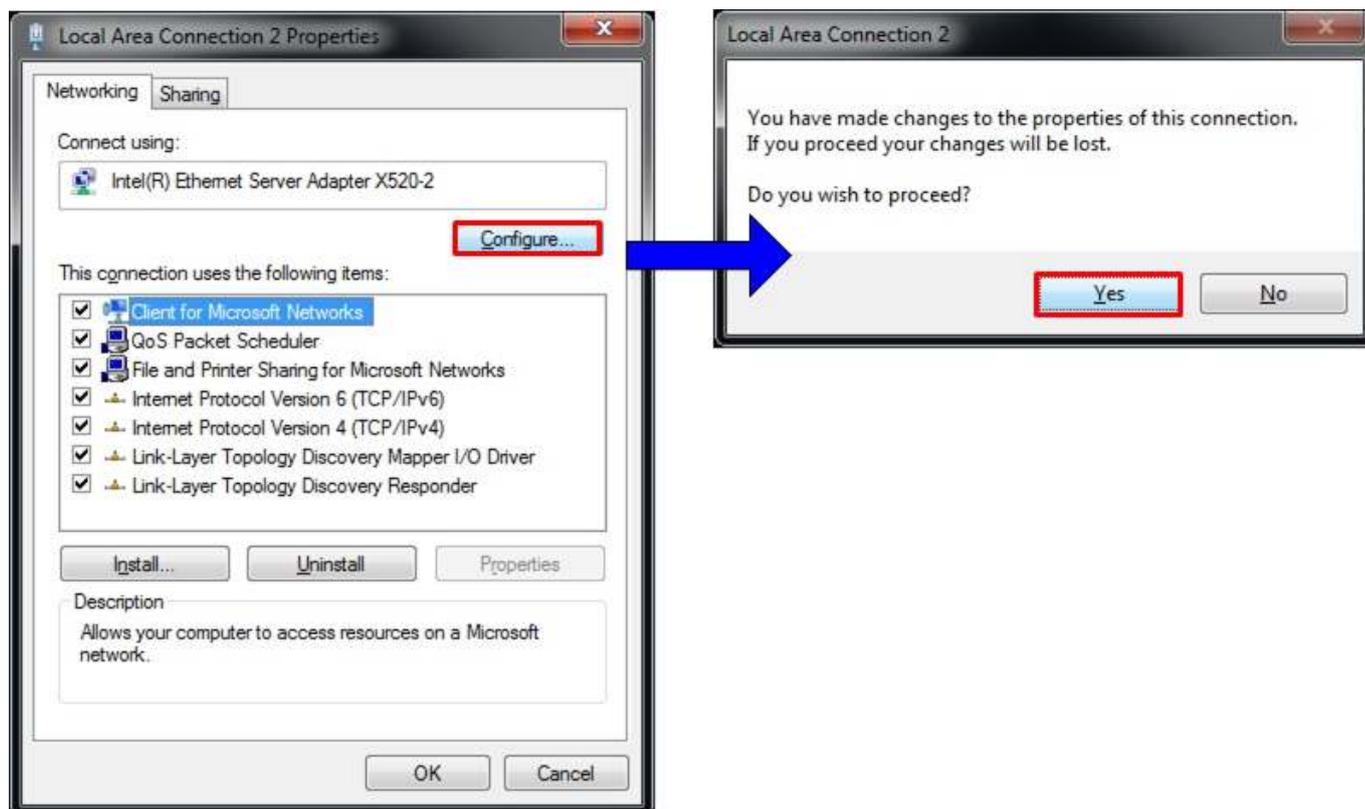


図 2-2: ネットワーク・コンフィグ

- Window 上のローカルエリア接続のプロパティにて、図 2-2 の様に[構成]のボタンをクリックします。

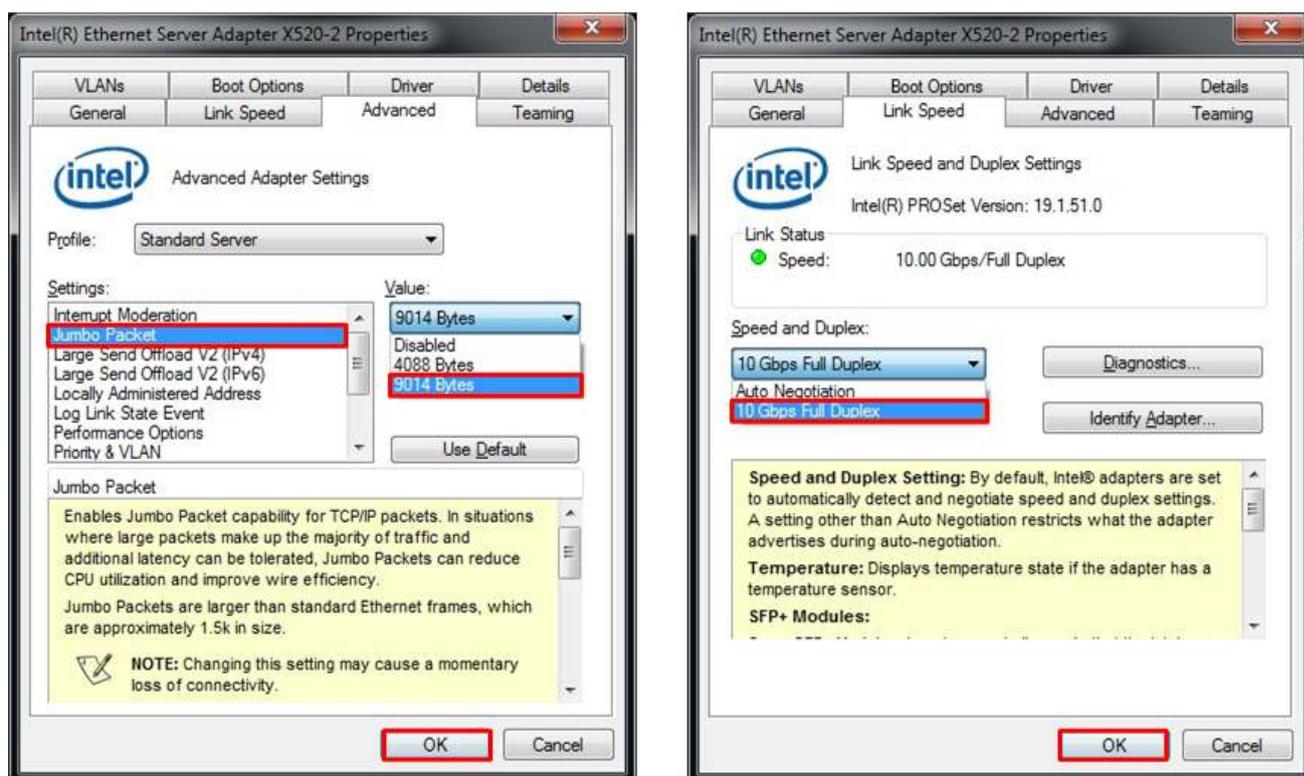


図 2-3: リンク速度とジャンボ・フレームの設定

- アドバンス・タブにて、図 2-3 左側の様に Jumbo Packet = 9014Bytes に設定します。あるいは非ジャンボ・フレームを評価する場合は”Disabled”にセットします。
- リンク速度のタブにて、図 2-3 右側のように”10Gbps Full Duplex”を指定します。

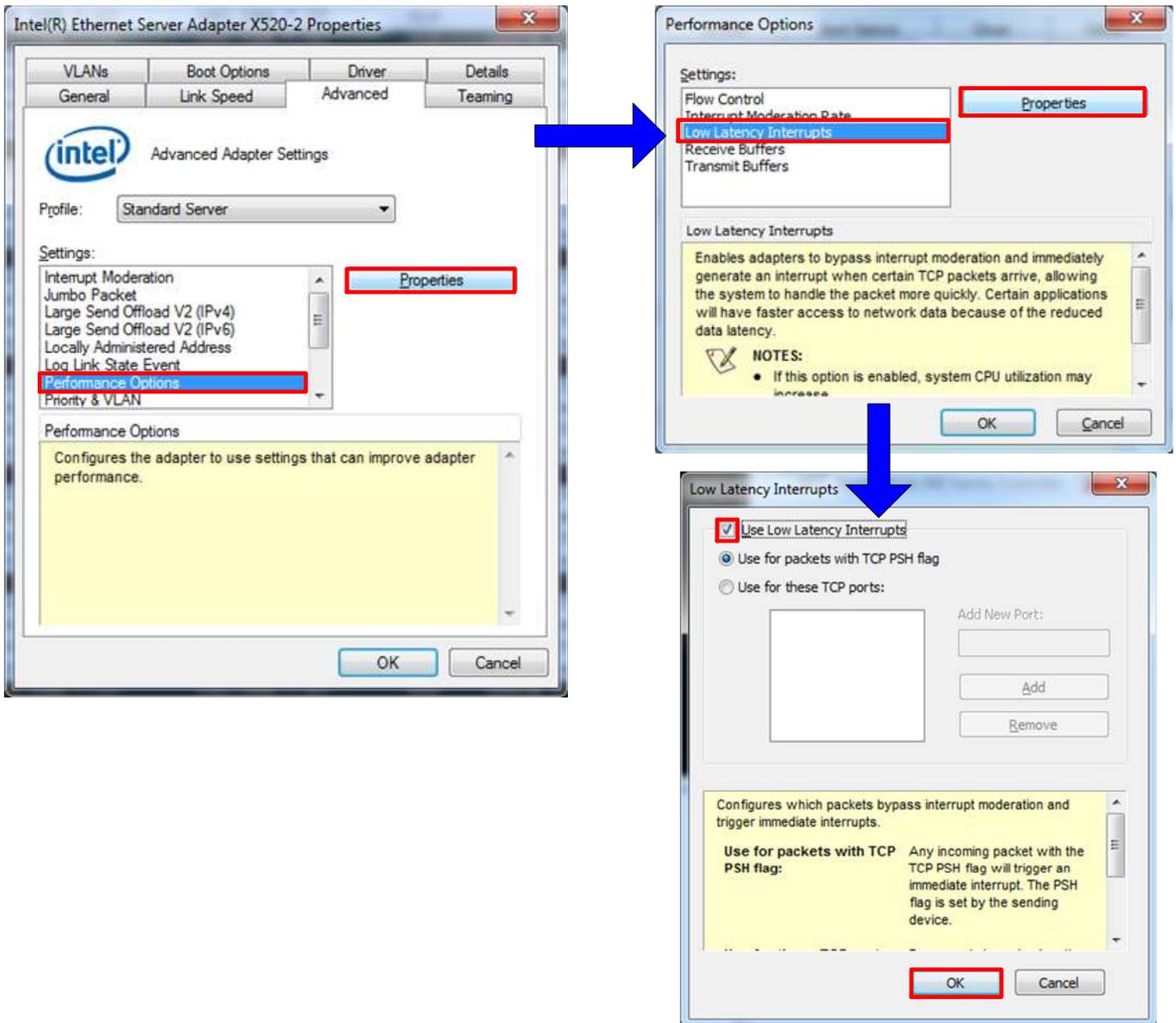


図 2-4: パフォーマンス・オプション

- アドバンス・タブにて”Performance Options”を選択し、”Properties”ボタンを押下します。
- “Performance Options 画面で”Low latency Interrupts”を選択し”OK”ボタンを押下します。
- “OK”を押下し設定をセーブします。

## 2.3 電源オプションの設定

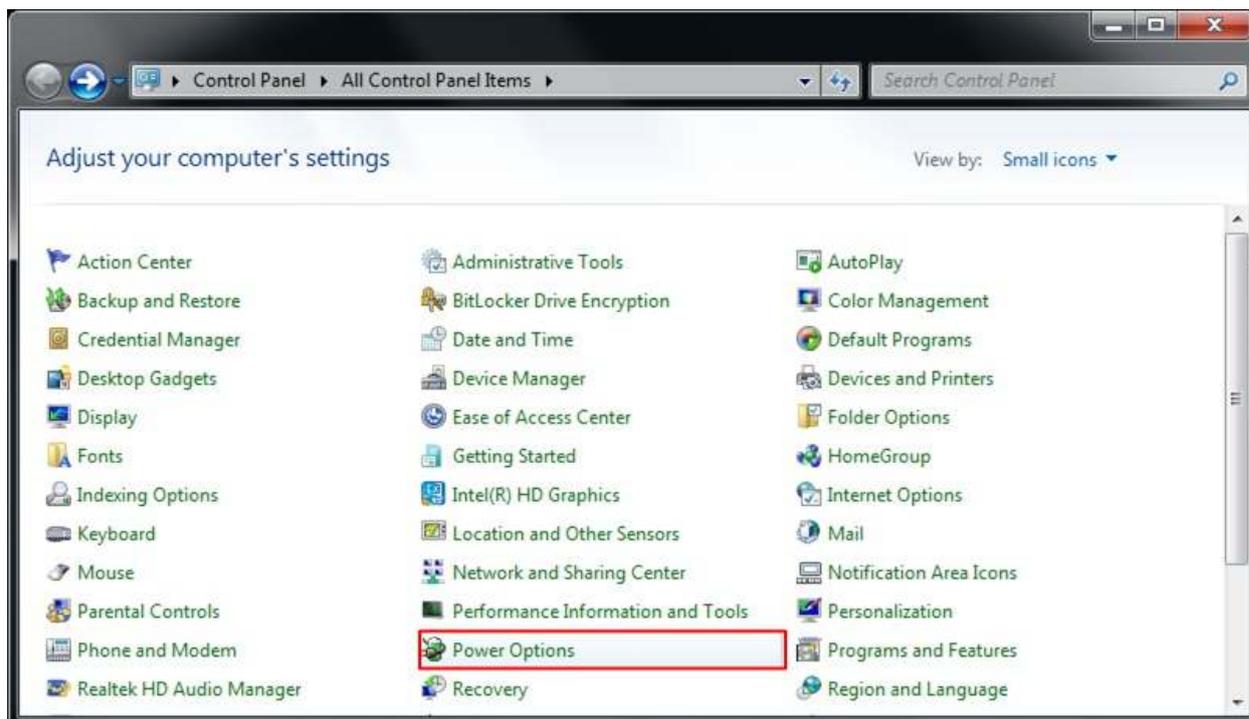


図 2-5: 電源オプション

- 図 2-5 のようにコントロール・パネル内の電源オプションを選択します。
- 下図 2-6 のように高パフォーマンスの設定に変更します。

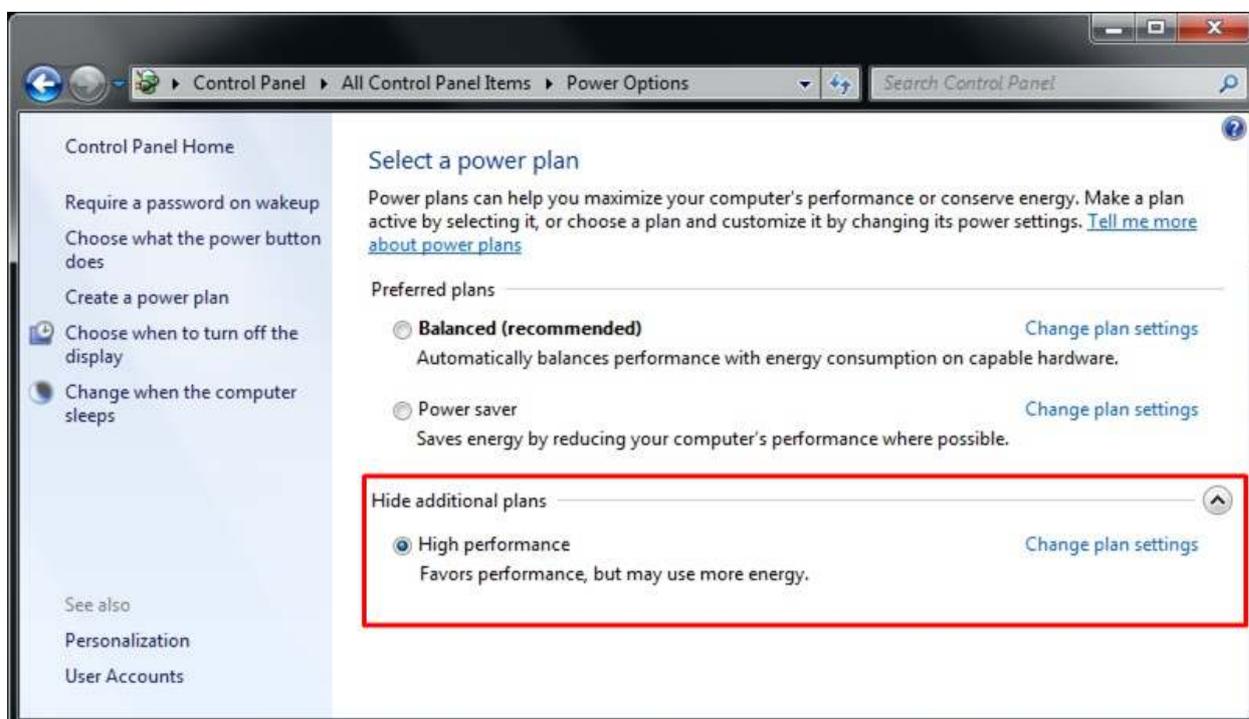


図 2-6:高パフォーマンスのオプション

### 3 FPGA ボードの設定

本テストを実施するに当たっては、下記のハードウェア設定が必要です。

- 1) 図 3-1 に示すように FPGA 評価キット付属のマイクロ USB ケーブル 2 本を JTAG および UART 通信用として FPGA ボードと PC 間に接続し、さらに FPGA ボードの電源を接続します。

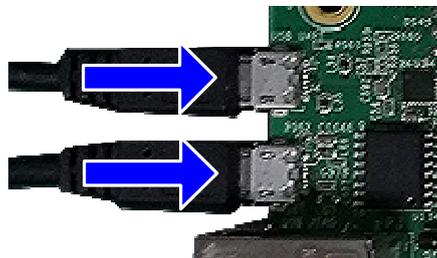


図 3-1:USB ケーブルの接続

- 2) 図 3-2 に示すように SFP+ ポート 0 側と、10 ギガビット SFP+ DAC ケーブルまたは SFP+トランシーバおよび光ケーブルを使って PC と接続します。

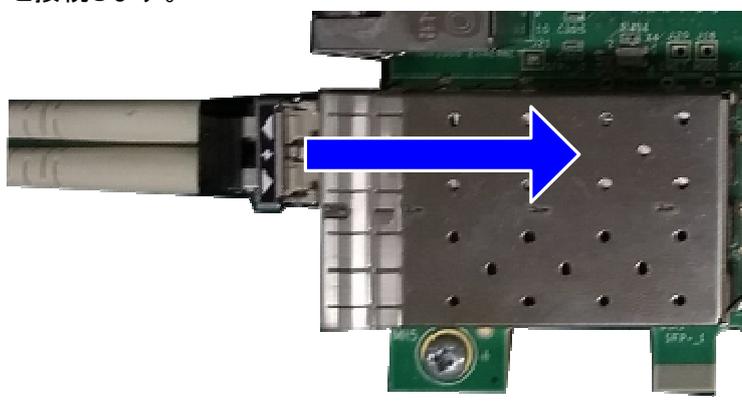


図 3-2:SFP+ケーブルの接続

- 3) FPGA ボードの電源を投入します。
- 4) 図 3-3 のように Vivado を開き BIT ファイルを FPGA にコンフィグレーションします。

図 3-3: Vivado から FPGA をコンフィグレーション

ご注意: 本デモにおける実際の転送パフォーマンスは、評価に使うPCのパフォーマンスに依存するため、10Gビットのイーサネット転送で十分な送受信速度が達成可能なPCを選択する必要があります。

- 5) シリアル・コンソールを開きデフォルトのパラメータ設定画面が表示されることを確認します。  
(シリアル通信条件はボーレート 115,200、データ 8bit、Stop ビット=1、パリティ=なし)

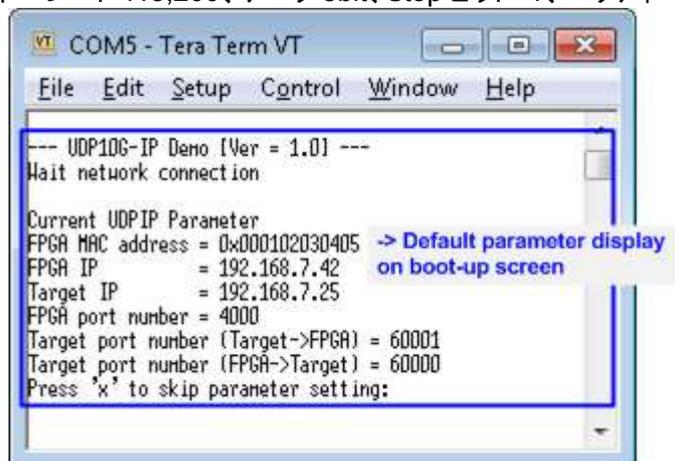


図 3-4:ブート時のシリアル・コンソール画面

## 4 テスト・メニュー

### 4.1 IP コアのリセット

リセットは以下 2 つの条件で表示されます。

- 1) システムのブートアップ時
- 2) メイン・メニューで[0]を選択した時

本メニューは IP コアを強制リセットしたり、IP コアへの設定パラメータを変更したりする場合に使われます。‘x’をタイプすることで現在の設定のまま IP コアの強制リセット 状態を終了します。その後本 IP コアは初期化プロセスを開始します。リセットと初期化が完了すると図 4-1 に示すようにメイン・メニューが表示されます。

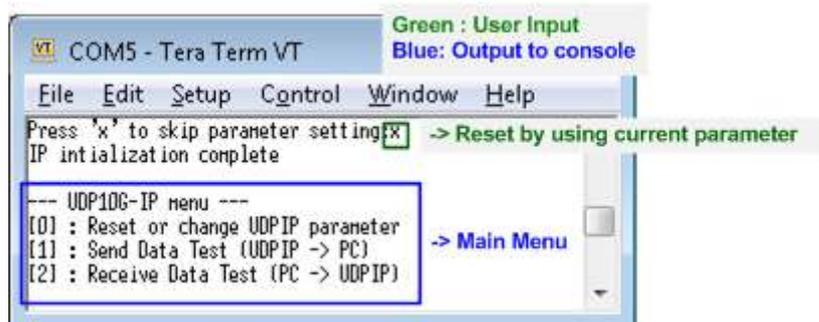


図 4-1: メイン・メニュー

- 1) FPGA 側 MAC アドレス: 12 桁の 16 進数で入力します。16 進数であることを示すため数字の先頭に'0x'をつけて入力してください。
- 2) FPGA 側 IP アドレス: 4 数字の 10 進数にて '.'(ドット)を区切りとして入力します。各数字で有効な値は 0~255 です。この値は PC 側のテスト・アプリケーションで入力する FPGA 側の IP アドレス値となります。
- 3) FPGA 側ポート番号: 有効な数字は 0~65535 です。この値は PC 側のテスト・アプリケーションで入力する FPGA 側のポート番号値となります。
- 4) ターゲット IP アドレス: 4 数字の 10 進数にて '.'(ドット)を区切りとして入力します。各数字で有効な値は 0~255 です。この値は PC 側 10Gb ポートの IP アドレス値となります。
- 5) ターゲット側ポート番号(Target->FPGA): 有効な数字は 0~65535 です。この値は PC から FPGA へのデータ転送方向における PC 側のポート番号値となります。
- 6) ターゲット側ポート番号(FPGA->Target): 有効な数字は 0~65535 です。この値は FPGA から PC へのデータ転送方向における PC 側のポート番号値となります。

全てのパラメータ設定が終わったらコンソール上に新しいパラメータ値が表示されます。その後本 IP コアは設定されたパラメータの更新を行いリセットを実行します。本 IP コアが初期化を完了すると図 4-2 に示すように"IP initialization complete"が表示されます。

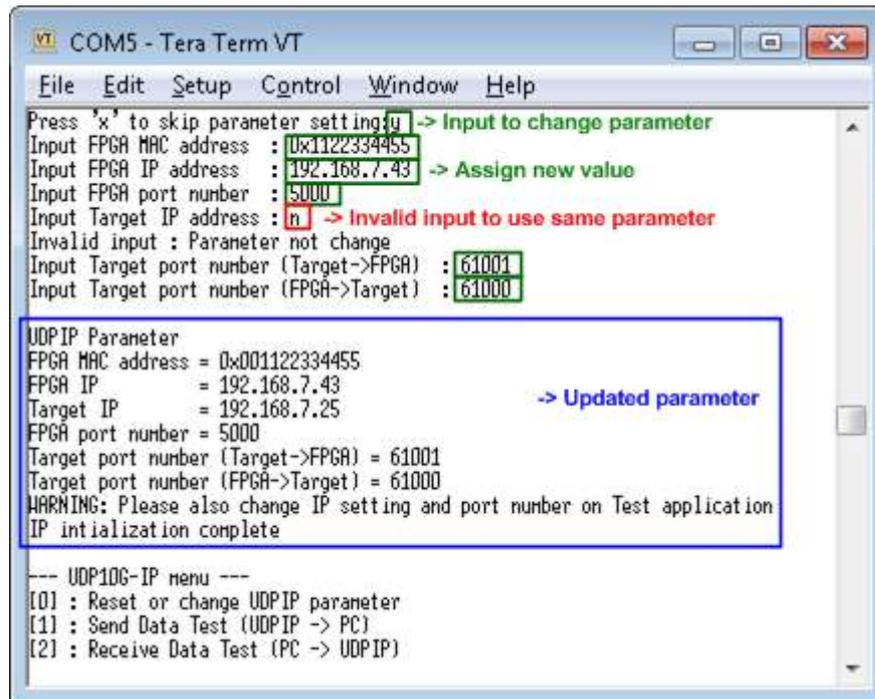


図 4-2: UDP10G-IP コアのパラメータ変更メニュー

## 4.2 送信テスト

シリアル・コンソールにて'1'をタイプすることで FPGA から PC への送信テストを実行できます。

図 4-3 に送信テストの実施例を示します。上側は FPGA 側のシリアル・コンソール画面で、下側は PC 側のコマンド・プロンプトにおけるテスト・アプリケーションの画面例です。

- 1) シリアル・コンソールにて総転送サイズをバイト単位で入力します。有効な値は 0x8~0FFFFFFF8 で、必ず 8 の倍数とする必要があります。
- 2) シリアル・コンソールにてパケット・サイズをバイト単位で入力します。有効な値は 8~8968 です。パケット・サイズが 1472 以上の場合、テスト PC はジャンボ・フレームをサポートする必要があります。この値は必ず 8 の倍数とする必要があります。
- 3) 上記両者の値を入力すると"Run updatatest application..."のメッセージが表示され、PC 側のテスト・アプリケーションで推奨するパラメータが合わせて表示されます。
- 4) PC 側では DOS プロンプトを開き、"UDPDatetest"アプリケーションを起動する必要があります。5つの引数が必要となりますがそれらは、転送方向、FPGA 側 IP アドレス、FPGA 側ポート番号、PC 側ポート番号、総転送サイズで以下のコマンド・ラインとなります。  
 >> updatatest <方向> <FPGA IP> <FPGA ポート番号> <PC ポート番号> <転送バイト数>  
 シリアル・コンソールの画面からパラメータをコピーし PC 側コマンド・プロンプトでペーストしてください。
- 5) FPGA からデータを受信する前に設定したパラメータが表示されます。PC はシリアル・コンソールで何かキーが押されるのを待ちます。
- 6) シリアル・コンソールではユーザが何かのキーを押してデータ送信を開始します。実行中は転送済みデータ数がリアルタイムで表示されます。FPGA が全データを送信し終わると転送パフォーマンスを表示します。一方 PC 側では転送中受信データ数が表示されます。PC 側では全データを受信するか、あるいは 100msec のタイムアウトで転送パフォーマンスを表示します。

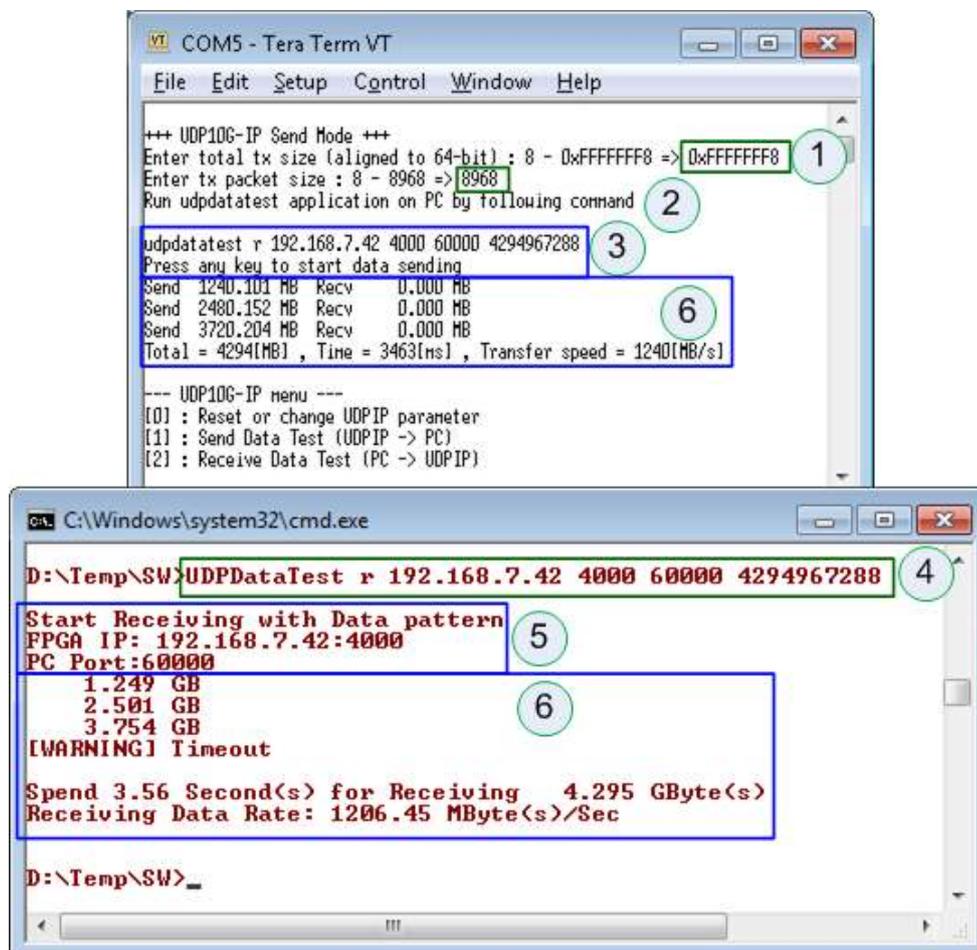


図 4-3: 送信テスト

### 4.3 受信テスト

シリアル・コンソールにて'2'をタイプすることで PC から FPGA への受信テストを実行できます。受信テストではデータのベリファイありなしを選択できます。

#### 4.3.1 ベリファイありモード

図 4-4 にベリファイありのデータ受信テスト実施例を示します。上側は FPGA 側のシリアル・コンソール画面で、下側は PC 側のコマンド・プロンプトにおけるテスト・アプリケーションの画面例です。

- 1) シリアル・コンソールにて'1'を入力しデータのベリファイ機能を有効にします。PC からインクリメンタル・データが送信され FPGA にてベリファイします。“Wait data from PC” メッセージが表示され、PC 側のテスト・アプリケーションで推奨するパラメータが合わせて表示されます。
- 2) PC 側では DOS プロンプトを開き、“UDPDataTest”アプリケーションを起動する必要があります。5つの引数が必要となりますがそれらは、転送方向、FPGA 側 IP アドレス、FPGA 側ポート番号、PC 側ポート番号、総転送サイズで以下のコマンド・ラインとなります。  
 >> udpdatatest <方向> <FPGA IP> <FPGA ポート番号> <PC ポート番号> <転送バイト数>
- 3) PC 側にてテスト・アプリケーションが実行されると PC からデータ送信を開始します。実行中は転送済みデータ数がリアルタイムで表示され全データを送信し終わると転送パフォーマンスを表示します。一方 FPGA 側では転送中受信データ数が表示されます。FPGA 側で全データを受信するか、あるいは 100msec のタイムアウトで転送パフォーマンスを表示します。

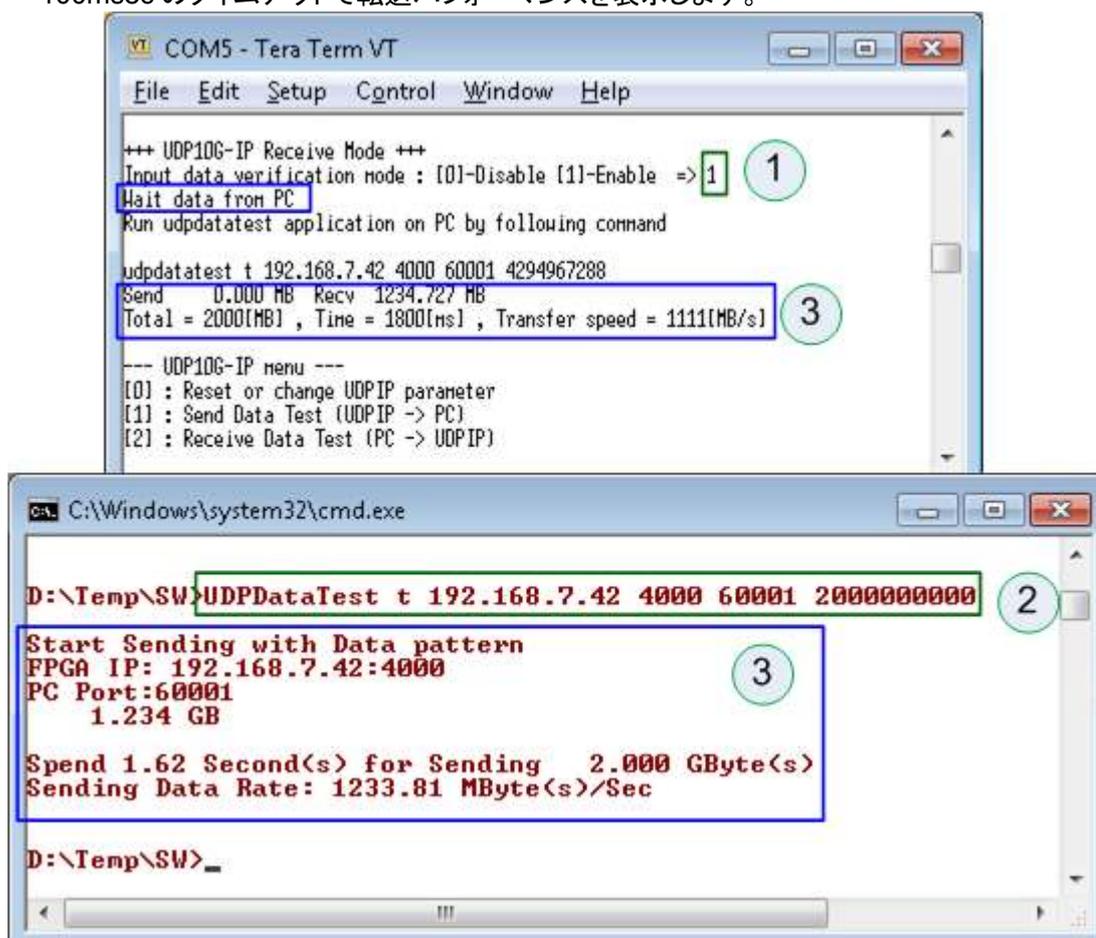


図 4-4: 受信テスト (ベリファイにパスした場合)

UDPプロトコルはハンドシェイク・「パケットがないためネットワーク転送中にデータをロストすることがあります。図 4-5に大量のデータを受信しロストが発生した場合の結果例を示します。シリアル・コンソールはベリファイでエラーを検出した場合、「ERROR:: Verify data」のエラー・メッセージを表示します。PC 側テスト・アプリケーションは全データの送信が完了するまで動作を継続します。

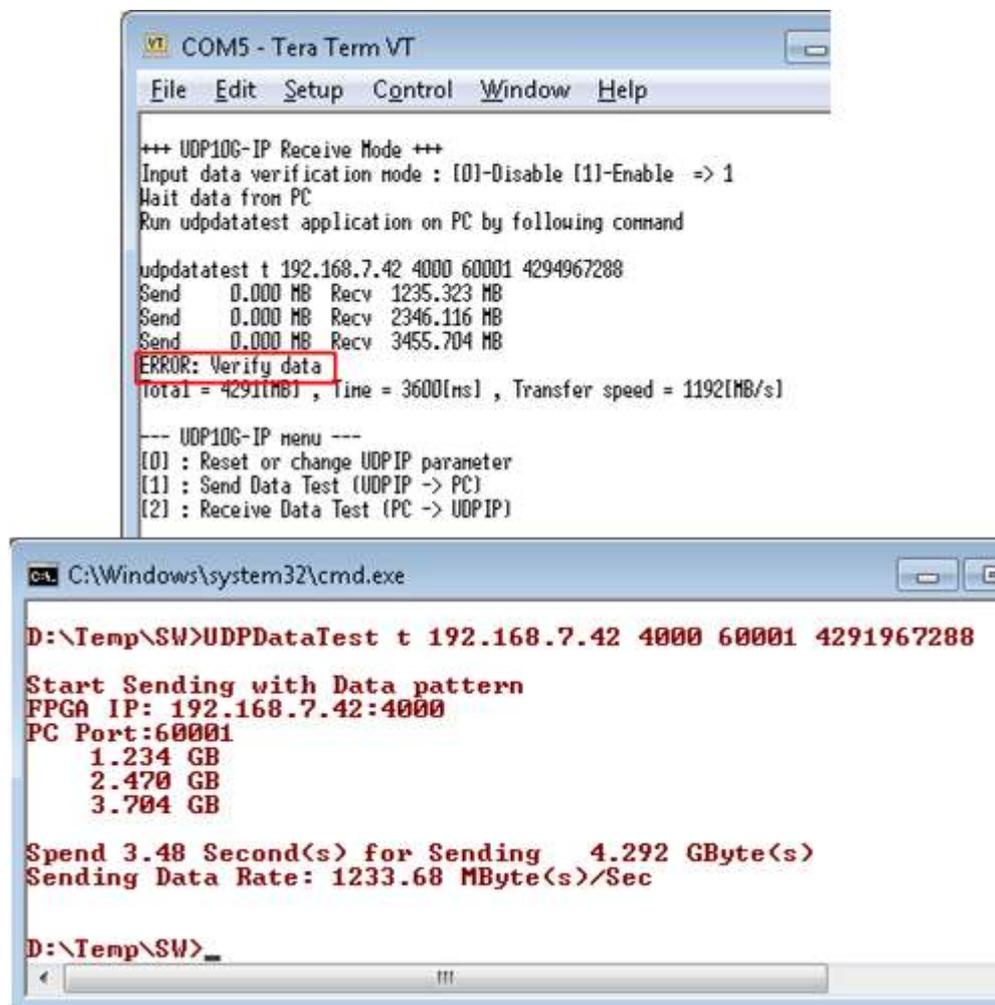


図 4-5: 受信テスト (ベリファイでエラーを検出した場合)

### 4.3.2 ベリファイなしモード

図 4-6 にベリファイなしのデータ受信テスト実施例を示します。上側は FPGA 側のシリアル・コンソール画面で、下側は PC 側のコマンド・プロンプトにおけるテスト・アプリケーションの画面例です。シリアル・コンソールで [0]-Disable を選択することでベリファイなしでのデータ受信テストが可能です。

ベリファイありのモードと同様、転送数がシリアル・コンソールと PC 側テスト・アプリケーションの両方にリアルタイムで表示されます。テスト完了時にトータルでの転送パフォーマンスが表示されます。

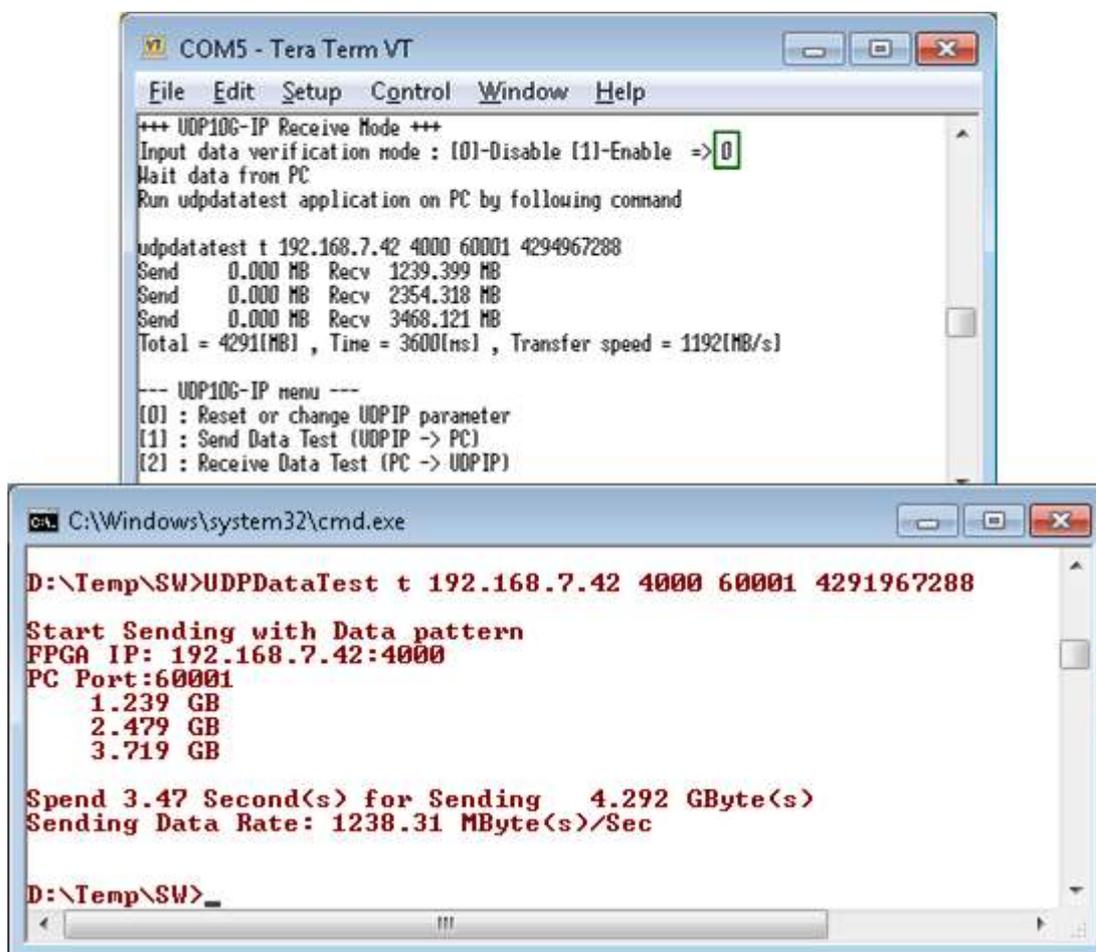


図 4-6: 受信テスト (ベリファイなしの場合)

#### 4.4 入力エラーの例

ここではパラメータの入力エラー例を示します。

図 4-7 および図 4-8 は無効な入力値を検出した場合に”Out-of-range input”のエラー・メッセージが表示されるケースを示します。

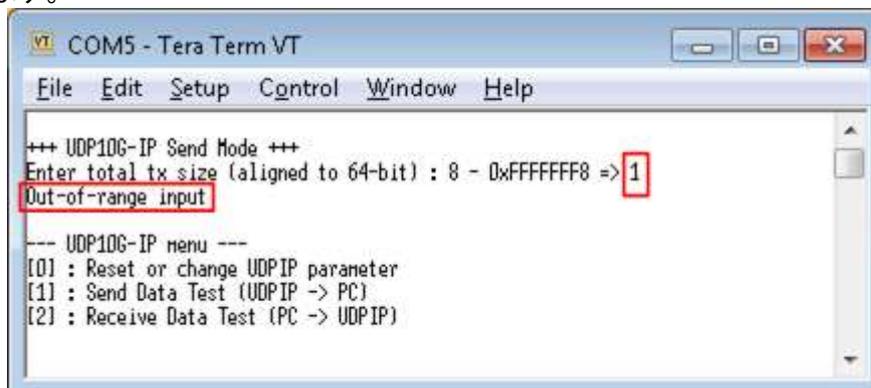


図 4-7: 送信データ・サイズが無効な場合

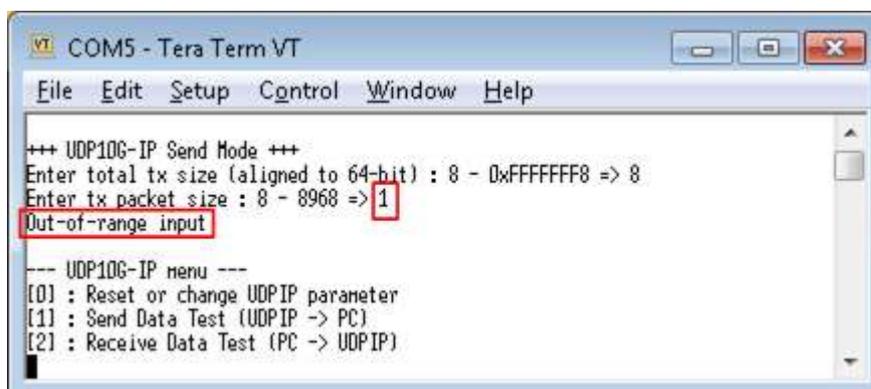


図 4-8: 送信パケット・サイズが無効な場合

## 5 改版履歴

リビジョン	日付	内容
1.0	15-Sep-17	Initial version release
1.0J	2017/11/15	日本語版の初期バージョン作成

Copyright: 2017 Design Gateway Co.,Ltd.