

USB-IP コアのご紹介

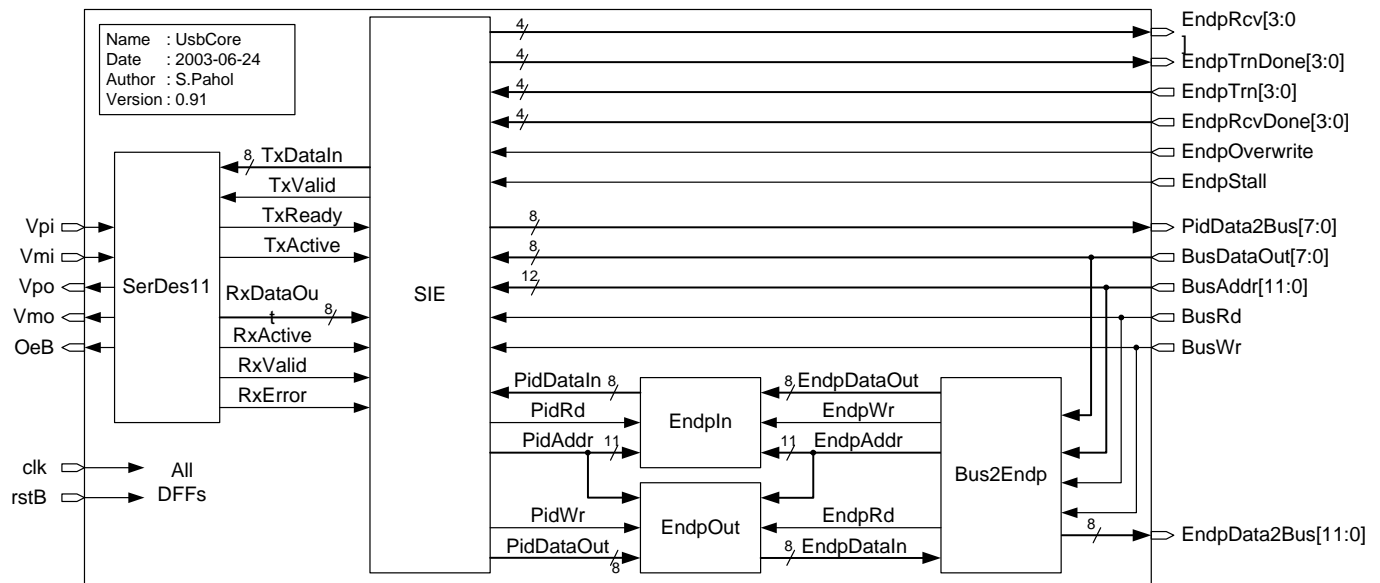
IP コア概略

DesignGateway 社の USB-IP コアは USB1.1 規格に対応したデバイスコントローラの IP コアです。本 IP コアは現在の Version においては基本的なコントロール転送とバルク転送のみサポートしております。本 IP コアの USB バス側は外部の USB トランシーバ PHY チップと接続し、ユーザロジック側は内部 SIE または EndPoint と接続します。なお、USB として機能するために必要な 8051 プロセッサ・コアを合わせてご提供することも可能です。

特長

- シリアル・インタフェース・エンジン (SIE: Serial Interface Engine)内蔵
- コントロール転送とバルク転送に対応
- エンドポイント数の変更が可能
- 外部トランシーバ(PHY チップ)へ直接インタフェース
- 12Mbps(Full-Speed モード)対応
- デジタル PLL 内蔵 48MHz クロック入力.
- ソースコードは VHDL 記述
- オプションで別途 8051 コアや制御ファームウェアのご提供も可

ブロック図



使用リソース

本 IP を単体で Altera 製 Stratix に実装した場合、以下のリソースを必要とします。

(エンドポイント = 2 x (256 x 8) デュアルポート RAM)

LE 数: 約 650

メモリビット数: 4096bit