

USB3.0-IP デバイス側・デモ手順書

Rev 1.2J 2015/05/26

本ドキュメントは USB3.0-IP デバイス側コアのリファレンス・デザインにおいて、Altera 製あるいは Xilinx 製評価ボードと USB3.0-IP デモ基板を使って実機動作を検証するための評価手順を示したものです。リファレンス・デザインの詳細については以下の USB3.0-IP コア専用 Web ページを参照してください。

Altera 版 USB3.0-IP コア専用 Web サイト: http://www.dgway.com/USB3-IP_A.html

Xilinx 版 USB3.0-IP コア専用 Web サイト: http://www.dgway.com/USB3-IP_X.html

なお、本ドキュメントにおいて Altera 版は Cyclone IV GX FPGA 開発キット用デザインで、Xilinx 版は Spartan-6 FPGA SP605 評価キット用デザインで説明していますが、それらを含め現在以下の評価ボードでの実機評価が可能となっています。

デバイス・ファミリ	評価ボード名	型番
Cyclone IV	Cyclone IV GX FPGA 開発キット	DK-DEV-4CGX150N
Cyclone V	Cyclone V E FPGA 開発キット	DK-DEV-5CEA7N
Arria V	Arria V GX スタータ開発キット	DK-START-5AGXB3N

表 1: USB3.0-IP ホスト側コアの実機評価が可能な Altera 製評価ボード・リスト

デバイス・ファミリ	評価ボード名	型番
Spartan-6	Spartan-6 FPGA SP605 評価キット	EK-S6-SP605-G
Virtex-6	Virtex-6 FPGA ML605 評価キット	EK-V6-ML605-G
Kintex-7	Kintex-7 FPGA KC705 評価キット	EK-K7-KC705-G
Zynq-7000	Zybo-7000 All Programmable SoC ZC706 評価キット	EK-Z7-ZC706-G

表 2: USB3.0-IP ホスト側コアの実機評価が可能な Xilinx 製評価ボード・リスト

各評価ボード向けの評価用 sof/bit ファイル(評価デモファイル)については USB3.0-IP コア Web サイトからリクエスト登録してください。

1. 評価環境

1-1 Altera 版の評価環境

Altera 版 USB3.0-IP デバイス側コアの実機評価には以下の環境を必要とします。

- 表1のリストにある Altera 製評価ボード
- Design Gateway 製の USB3.0-IP デモ・ボード [型番: AB08-USB3HSMC]
- USB3.0-IP デモ・ボード付属の USB A to A ケーブル(VBUS 接続がされているケーブル)
- ALTERA sof ファイルのダウンロードツール(programmer) および、ALTERA NIOS2 コンソール
- USB3.0 ポートを持った PC (PCIe 増設ボードでも可能。ただし USB3.0 の PCIe 増設ボードは装着する PCIe スロット位置によってはエラーが多発するなどアナログ特性的に敏感であり注意が必要。また増設ボードが 1Lane の PCIe 対応でマザボード側 PCIe 自体が GEN2 でなく GEN1 の場合は全体の転送パフォーマンスは理論上 2.5Gbps=200Mbyte/sec 以下となる。)

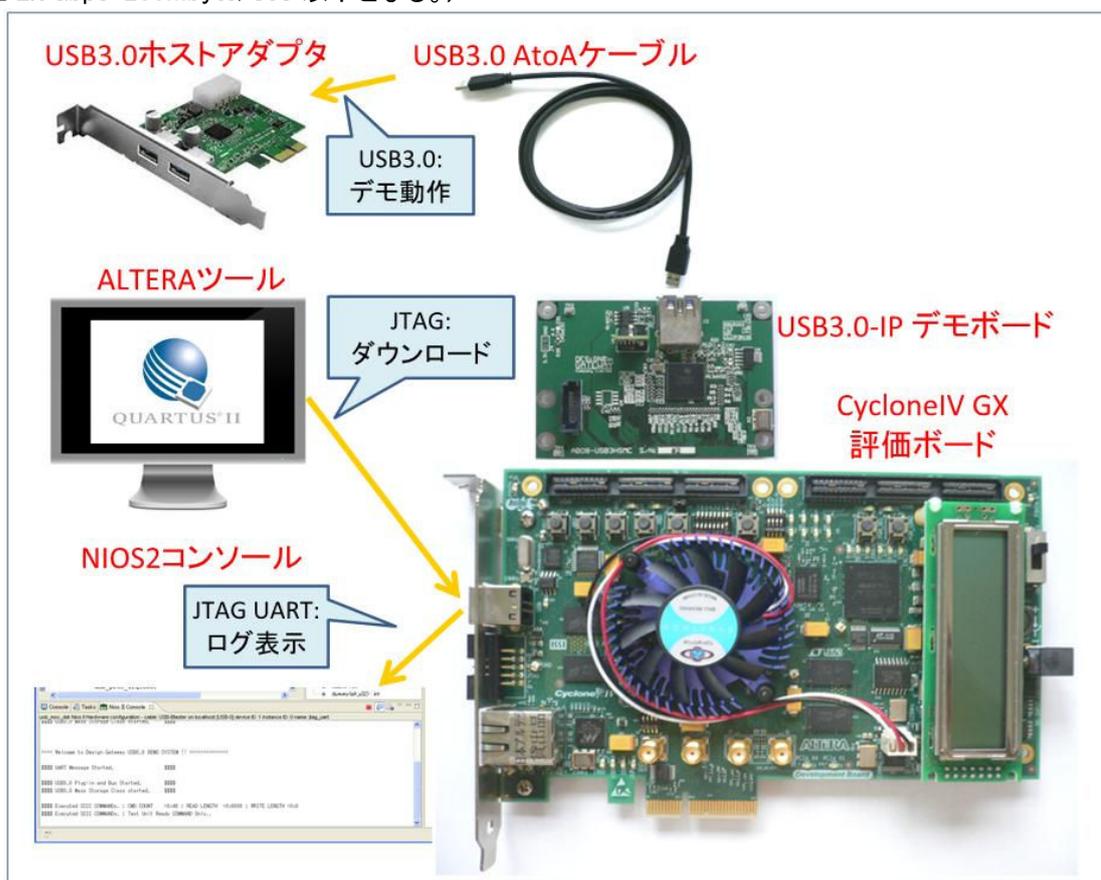


図 1: Altera 版 USB3.0-IP デバイス側コアの実機評価環境

1-2 Xilinx 版の評価環境

Xilinx 版 USB3.0-IP デバイス側コアの実機評価には以下の環境を必要とします。

- 表 2 のリストにある Xilinx 製評価ボード
- Design Gateway 製の USB3.0-IP デモ・ボード [型番: AB07-USB3FMC]
- USB3.0-IP デモ・ボード付属の SB A to A ケーブル(VBUS 接続がされているケーブル)
- iMPACT 等 Xilinx ビットファイルのダウンロードツール
- USB3.0 ポートを持った PC (PCIe 増設ボードでも可能。ただし USB3.0 の PCIe 増設ボードは装着する PCIe スロット位置によってはエラーが多発するなどアナログ特性的に敏感であり注意が必要。また増設ボードが 1Lane の PCIe 対応でマザボード側 PCIe 自体が GEN2 でなく GEN1 の場合は全体の転送パフォーマンスは理論上 2.5Gbps=200Mbyte/sec 以下となる。)

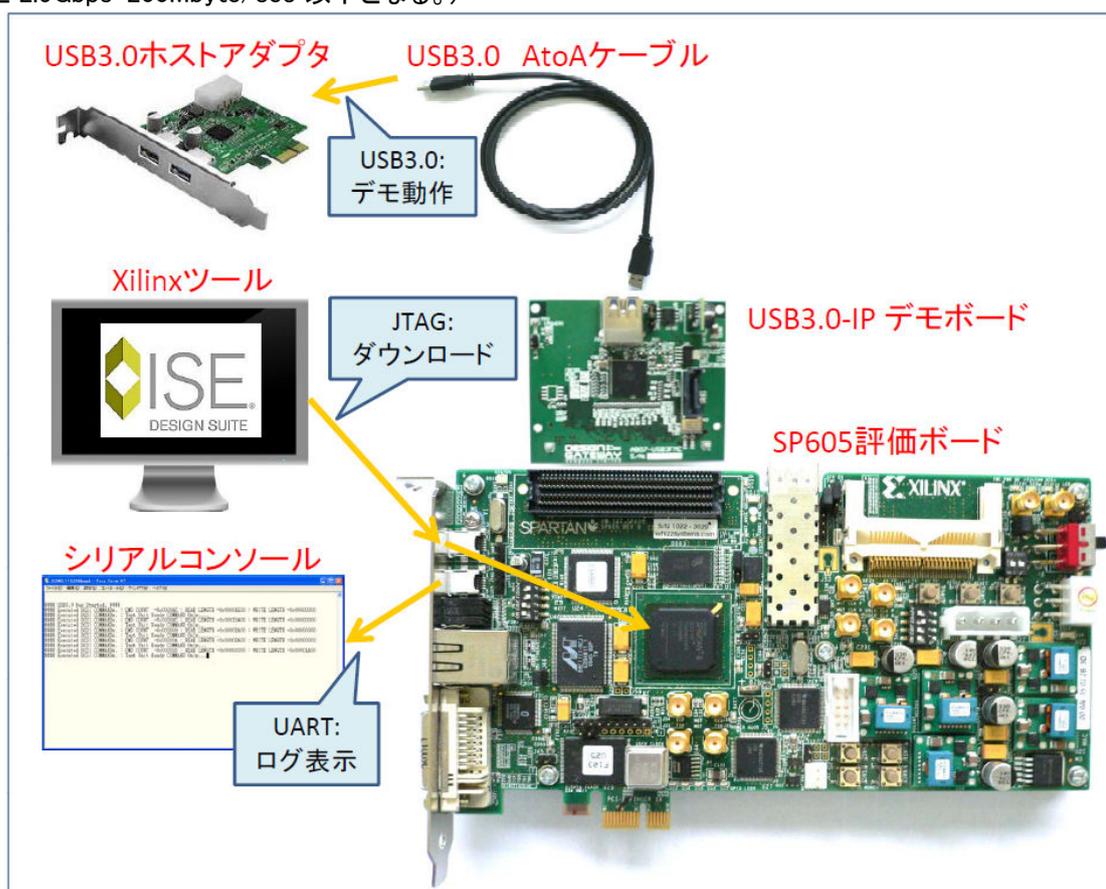


図 2: Xilinx 版 USB3.0-IP デバイス側コアの実機評価環境

2. 評価手順

2-1 Altera 版の評価手順

- 全ての電源が OFF となっていることを確認します。
- PC からの JTAG プログラミング用および JTAG UART 通信用として USB ケーブルを評価ボードの USB コネクタに接続します。
- FPGA 評価ボードの HSMC インターフェース電圧を 2.5V とします。(HSMC の I/O 電圧設定方法については各評価ボードのマニュアルを参照してください。)
- USB3.0-IP デモ・ボード(AB07-USB3HSMC)を HSMC コネクタへ接続します。
- USB3.0-IP デモ・ボードの JP1 は OFF(非接続)を確認します。
- デモ・ボード添付の USB3.0 用 A to A ケーブルを USB コネクタへ接続します。
- 上記の USB3.0 用 A to A ケーブルの反対側を PC の USB3.0 コネクタへ接続します。



図 3: Altera 版デモ・デザインの実機接続の様子

- 全ての電源を ON とし、PC にて ALTERA Programmer を立ち上げ、Cyclone IV GX ボードの Cyclone IV GX デバイスへ評価用 sof ファイルをダウンロードします。ダウンロードが完了したら Programmer を終了します。(FPGA の動作は開始しており、内部では、下記 JTAG UART の出力待ちで停止しています。)
- ALTERA NIOS2 Command Shell より、nios2-terminal を起動します。(図 4)

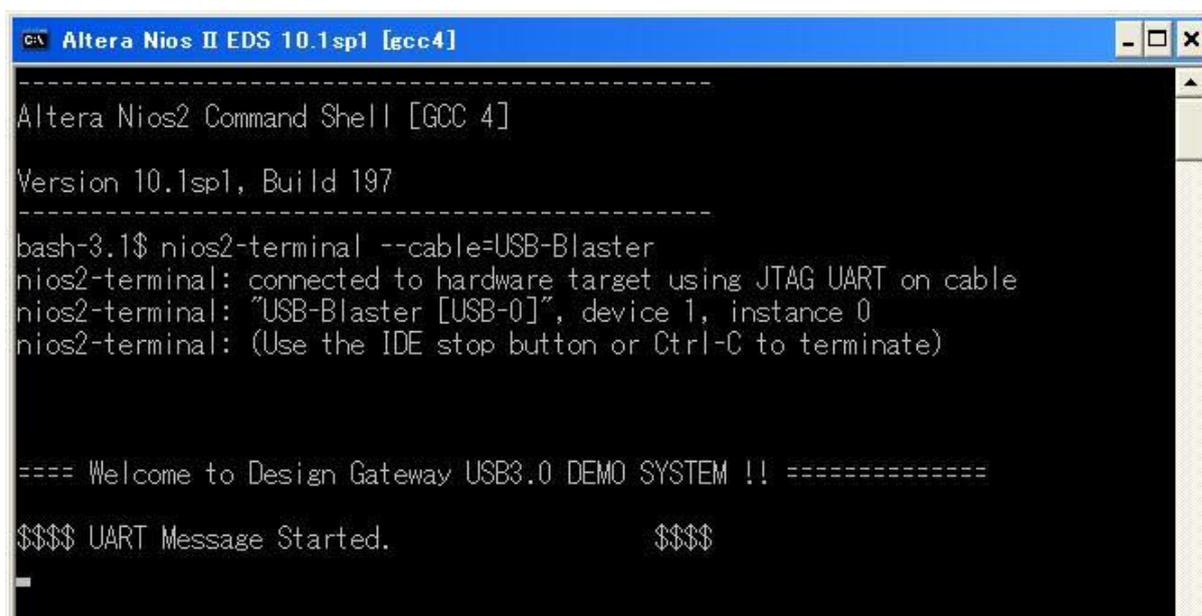


```

C:\ Altera Nios II EDS 10.1sp1 [gcc4]
-----
Altera Nios2 Command Shell [GCC 4]
Version 10.1sp1, Build 197
-----
bash-3.1$ nios2-terminal --cable=USB-Blaster
  
```

図 4: nios2-terminal の起動例

- JTAG UART の出力動作が開始されると、少なくとも図 5 のようなメッセージが表示されます。nios2-terminal が起動しない、あるいは、このメッセージが表示されない場合、USB ケーブルの接続や Programmer のダウンロード設定を確認してください。



```

C:\ Altera Nios II EDS 10.1sp1 [gcc4]
-----
Altera Nios2 Command Shell [GCC 4]
Version 10.1sp1, Build 197
-----
bash-3.1$ nios2-terminal --cable=USB-Blaster
nios2-terminal: connected to hardware target using JTAG UART on cable
nios2-terminal: "USB-Blaster [USB-0]", device 1, instance 0
nios2-terminal: (Use the IDE stop button or Ctrl-C to terminate)

==== Welcome to Design Gateway USB3.0 DEMO SYSTEM !! =====
$$$$ UART Message Started.          $$$$
  
```

図 5: Mass Storage Class 動作開始メッセージ

- sof ファイルのダウンロードおよび JTAG UART の出力動作が開始したら FPGA 評価ボード上の LED0-3 の発光パターンが図 6 の状態であるかを確認します。各 LED の意味は下表 3 を参照してください。なお、USB ケーブルを外すと LED0 が点滅し、その他の LED は消灯します。再挿入すると状態に応じた点灯状態となります。

LED	状態	説明
LED0	OFF	FPGA コンフィグレーションが完了していません。
	点滅	USB ケーブルが正しく接続されていないなど VBUS に電源が供給されていません。
	ON	USB ケーブルが接続され VBUS を正しく検出しています。
LED1	OFF	USB3.0 の Mass Storage Class の動作が開始していません。 FPGA がメモリの初期化を完了できないなど、評価ボードに問題があります。
	ON	USB3.0 の Mass Storage Class 動作が正常に開始しています。
LED2	OFF	USB3.0 の LINK 初期化ができません。 デモボードの HSMC コネクタの接続を確認ください。また、USB ケーブルが USB3.0 規格に対応していないことも考えられます(必ず付属のケーブルを使用ください)。
	ON	USB3.0 の LINK の初期化が正常に完了しました。
LED3	OFF	USB3.0 の Mass Storage Class 起動が完了しません。 ホスト側アダプタの信号品質や、デバイス・ドライバの原因が考えられます。
	ON	USB3.0 の Mass Storage Class 起動が正しく完了しました。

表 3: 各 LED の意味

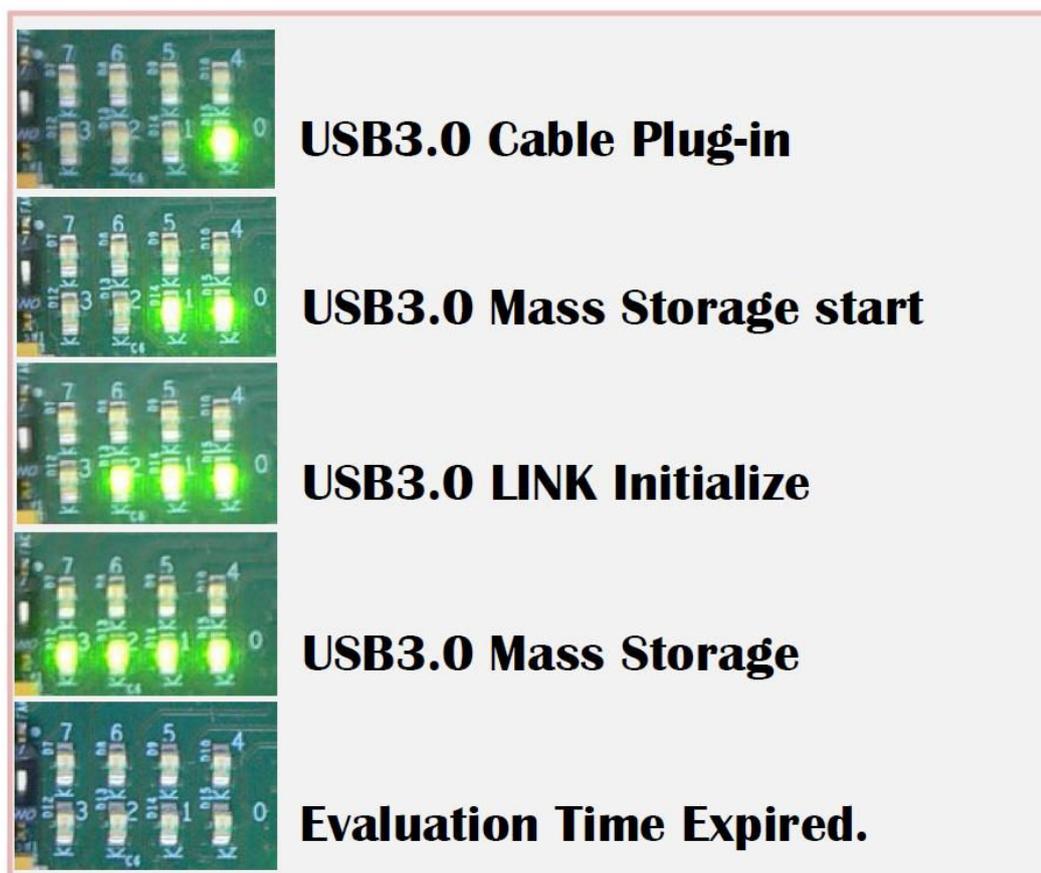
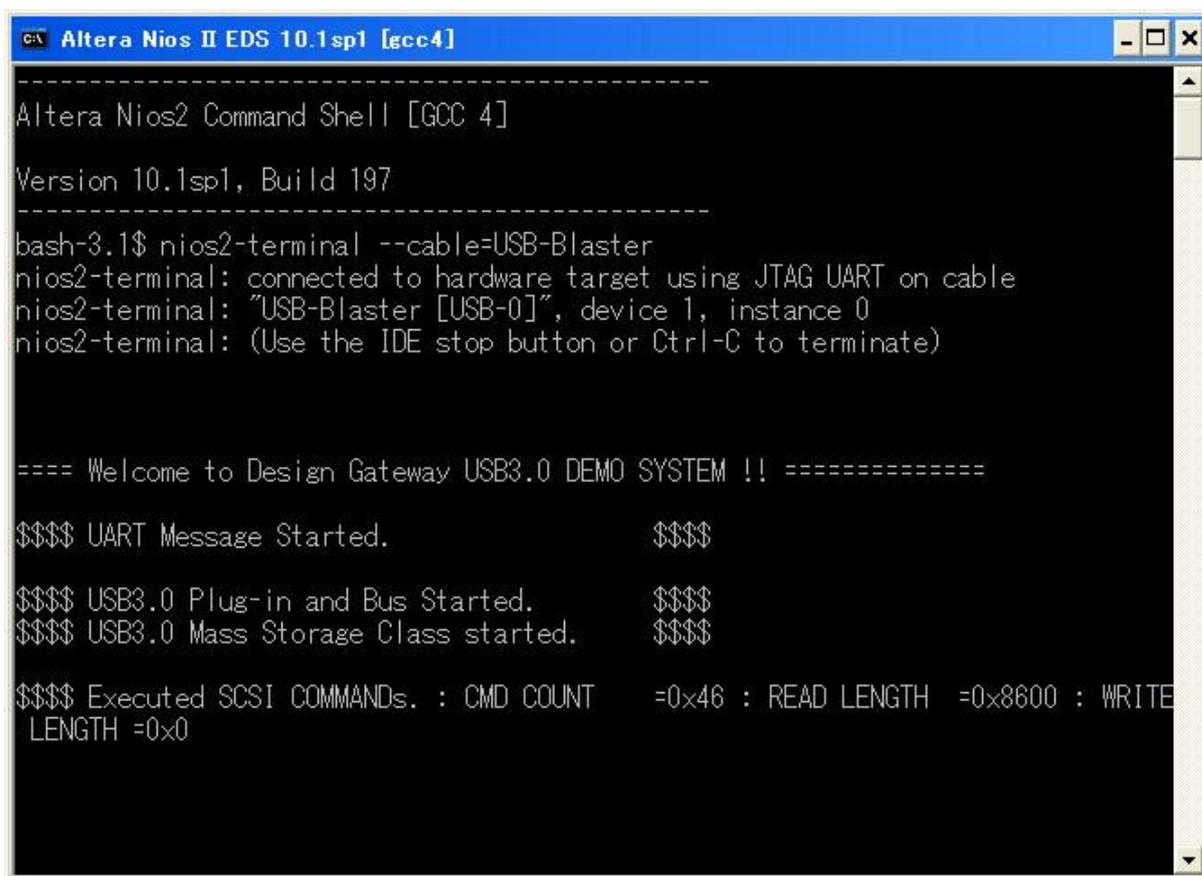


図 6: Mass Storage Class 正常起動時の LED 点灯状態

※ 評価用 sof ファイルは、動作時間制限の1時間が経過すると全ての LED は消灯します。

- 正常に動作を開始した場合は、図 7 のようなメッセージが表示されます(LED2 点灯以降)。



```

C:\ Altera Nios II EDS 10.1sp1 [gcc4]
-----
Altera Nios2 Command Shell [GCC 4]
Version 10.1sp1, Build 197
-----
bash-3.1$ nios2-terminal --cable=USB-Blaster
nios2-terminal: connected to hardware target using JTAG UART on cable
nios2-terminal: "USB-Blaster [USB-0]", device 1, instance 0
nios2-terminal: (Use the IDE stop button or Ctrl-C to terminate)

==== Welcome to Design Gateway USB3.0 DEMO SYSTEM !! =====
$$$$ UART Message Started.          $$$$
$$$$ USB3.0 Plug-in and Bus Started.  $$$$
$$$$ USB3.0 Mass Storage Class started. $$$$
$$$$ Executed SCSI COMMANDs. : CMD COUNT    =0x46 : READ LENGTH  =0x8600 : WRITE
LENGTH =0x0
  
```

図 7: Mass Storage Class 正常起動後のメッセージ

2-2 Xilinx 版の評価手順

- 全ての電源が OFF となっていることを確認します。
- JTAG プログラミング用として USB ケーブル 1 を FPGA 評価ボードの JTAG 用 USB コネクタに接続します。
- シリアル通信用として USB ケーブル 2 を FPGA 評価ボードのシリアル用 USB コネクタに接続します。
- FPGA 評価ボードの FMC I/O 電圧が 2.5V であることを確認します。(2.5V 以外では動作しません。)
- USB3.0-IP デモ・ボード(AB07-USB3FMC)を FPGA 評価ボードの FMC コネクタへ接続します。
- USB3.0-IP デモ・ボードの JP1 は OFF(非接続)を確認します。
- デモ・ボード添付の USB3.0 用 A to A ケーブルを USB コネクタへ接続します。
- 上記の USB3.0 用 A to A ケーブルの反対側を PC の USB3.0 コネクタへ接続します。

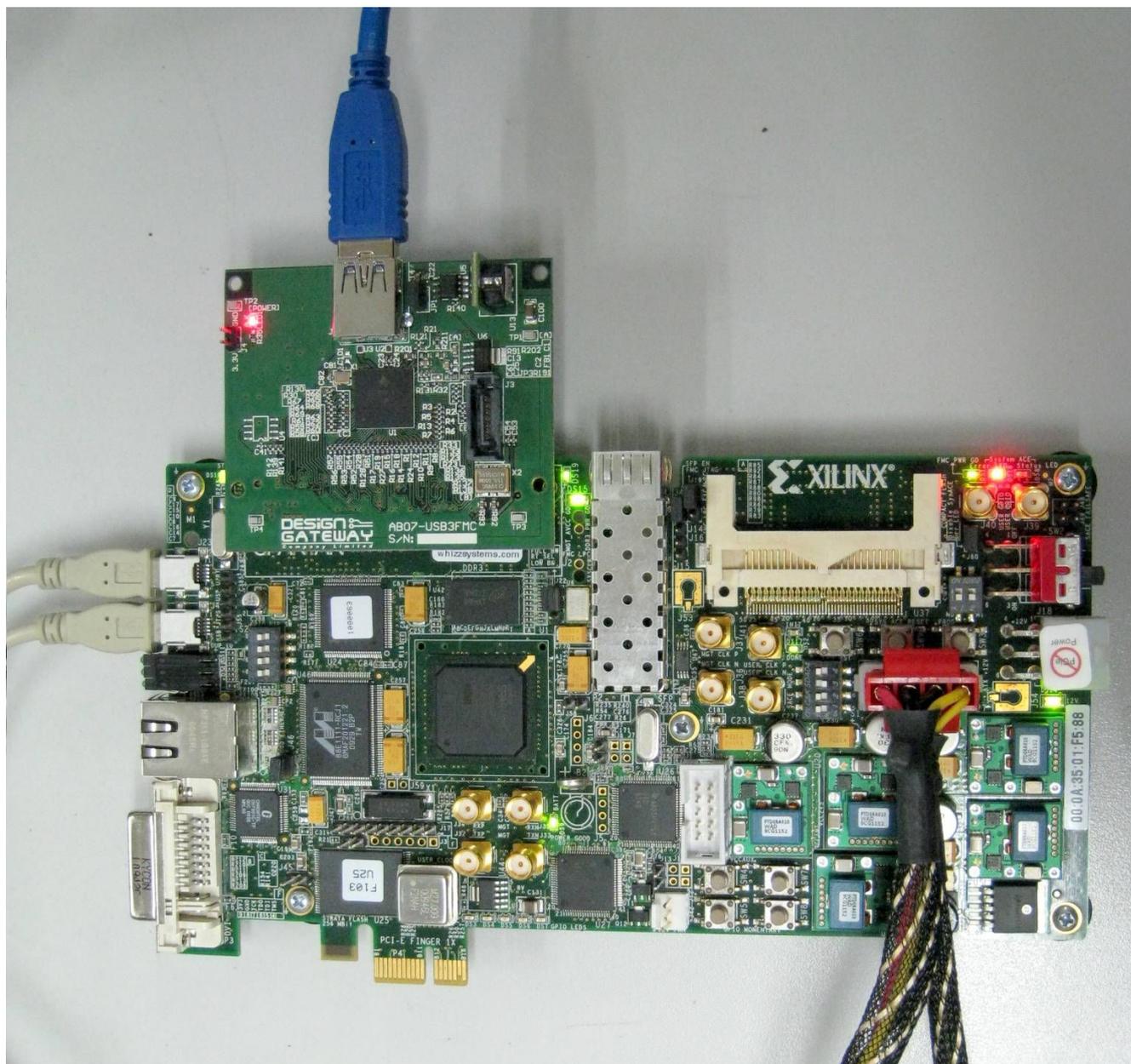


図 8: Xilinx 版デモ・デザインの実機接続の様子

- PCにてシリアル通信ソフトウェアを起動します。シリアル通信の設定は以下として下さい。
 ボーレート = 115,200
 データ = 8bit
 Stopビット = 1
 パリティ = なし
- ZC706 以外の場合全ての電源を ON とし、PC で iMPACT などを持ち上げ、評価用ビットファイルを FPGA ヘダウンロードします。
- ZC706 の場合は先に図 9 のように SW11 を”00000”にセットして JTAG からの PS コンフィグ・モードとし、更に図 10 のように SW4 を”01”として JTAG を USB-JTAG 接続モードとしてから全ての電源を ON とします。そして PC で ISE コマンド・プロンプトを起動し、図 11 のバッチ・ファイルを実行することで bit ファイルと elf ファイルを FPGA ヘダウンロードします。

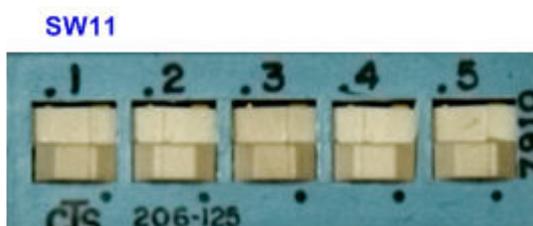


図 9: ZC706 の場合 SW11 を”00000”にセット



図 10: ZC706 の場合 SW4 を”01”にセット

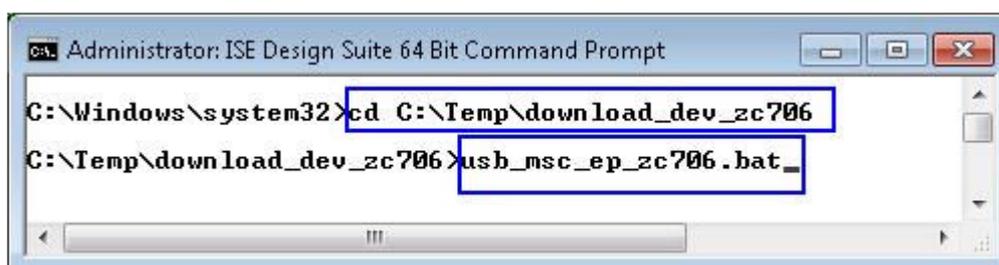


図 11: ZC706 の場合 ISE コマンド・プロンプトからバッチ・ファイルを実行する

- FPGA の動作が開始したら FPGA 評価ボード上の LED0-3 の発光パターンが図 12 の状態であるかを確認します。各 LED の意味は下表 4 を参照してください。なお、USB ケーブルを外すと LED0 が点滅し、その他の LED は消灯します。再挿入すると状態に応じた点灯状態となります。

LED	状態	説明
DS3/ LED0	OFF	FPGA コンフィグレーションが完了していません。
	点滅	USB ケーブルが正しく接続されていないなど VBUS に電源が供給されていません。
	ON	USB ケーブルが接続され VBUS を正しく検出しています。
DS4/ LED1/R	OFF	USB3.0 の Mass Storage Class の動作が開始していません。 FPGA がメモリの初期化を完了できないなど、評価ボードに問題があります。
	ON	USB3.0 の Mass Storage Class 動作が正常に開始しています。
DS5/ LED2/C	OFF	USB3.0 の LINK 初期化ができません。 デモボードの FMC コネクタの接続を確認ください。また、USB ケーブルが USB3.0 規格に対応していないことも考えられます(必ず付属のケーブルを使用ください)。
	ON	USB3.0 の LINK の初期化が正常に完了しました。
DS6/ LED3/L	OFF	USB3.0 の Mass Storage Class 起動が完了しません。 ホスト側アダプタの信号品質や、デバイス・ドライバの原因が考えられます。
	ON	USB3.0 の Mass Storage Class 起動が正しく完了しました。

表 4: 各 LED の意味



図 12: Mass Storage Class 正常起動時の LED 点灯状態

※ 評価用ビットファイルは、動作時間制限の1時間が経過すると全ての LED は消灯します。

- 正常に動作を開始した場合は、図 13 のようなメッセージが表示されます(LED1 点灯と同等の意味)。このメッセージが表示されない場合、シリアルケーブル(USB ミニ・ケーブル)の接続やシリアルターミナル通信条件の設定を確認してください。



図 13: Mass Storage Class 動作開始メッセージ

- 正常に動作を開始した場合は、図 14 のようなメッセージが表示されます(LED2 点灯以降)。

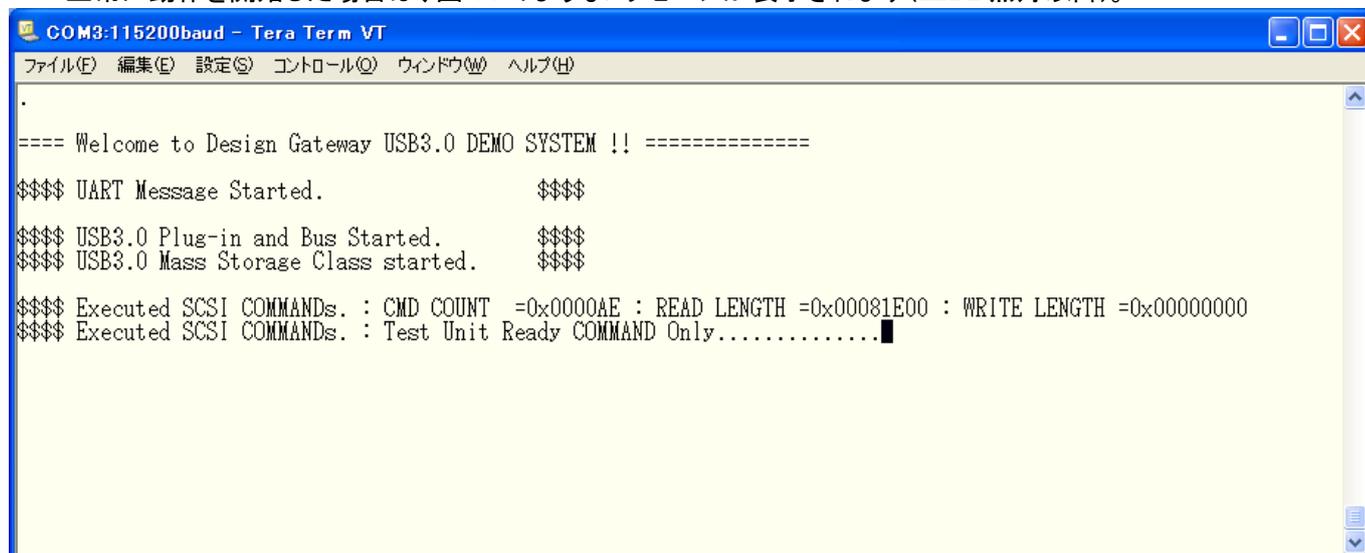


図 14: Mass Storage Class 正常起動後のメッセージ

3. 動作の確認

本デモ・デザインは通常の USB のリムーバブル・ディスクとして動作しますので、それと同等の操作を確認できます。

ただし、以下の制限事項があります。

- 記憶デバイスとしては、FPGA ボード上の DDR メモリ(全容量 128MByte)を使用しています。その内 127MB をストレージとして使用しております。
- したがって、FPGA ボードの電源を OFF したり、DDR メモリの内容を破壊する動作をすると記憶内容は失われます。また、電源の投入毎にフォーマットが必要です。

1. 最初のフォーマット

電源投入後に最初に起動すると、フォーマットを求められます。

普通にフォーマットを行います。

なお、Windows 等の状態によってはフォーマットを求められない場合があるようですので、その場合は、右ボタンメニュー等でフォーマットを行います。(誤って、他のドライブのフォーマットをしないように注意して下さい。)

他ドライブの誤フォーマット等ユーザの操作ミスによる損害に関して DesignGateway 社では一切の責任を負いません。

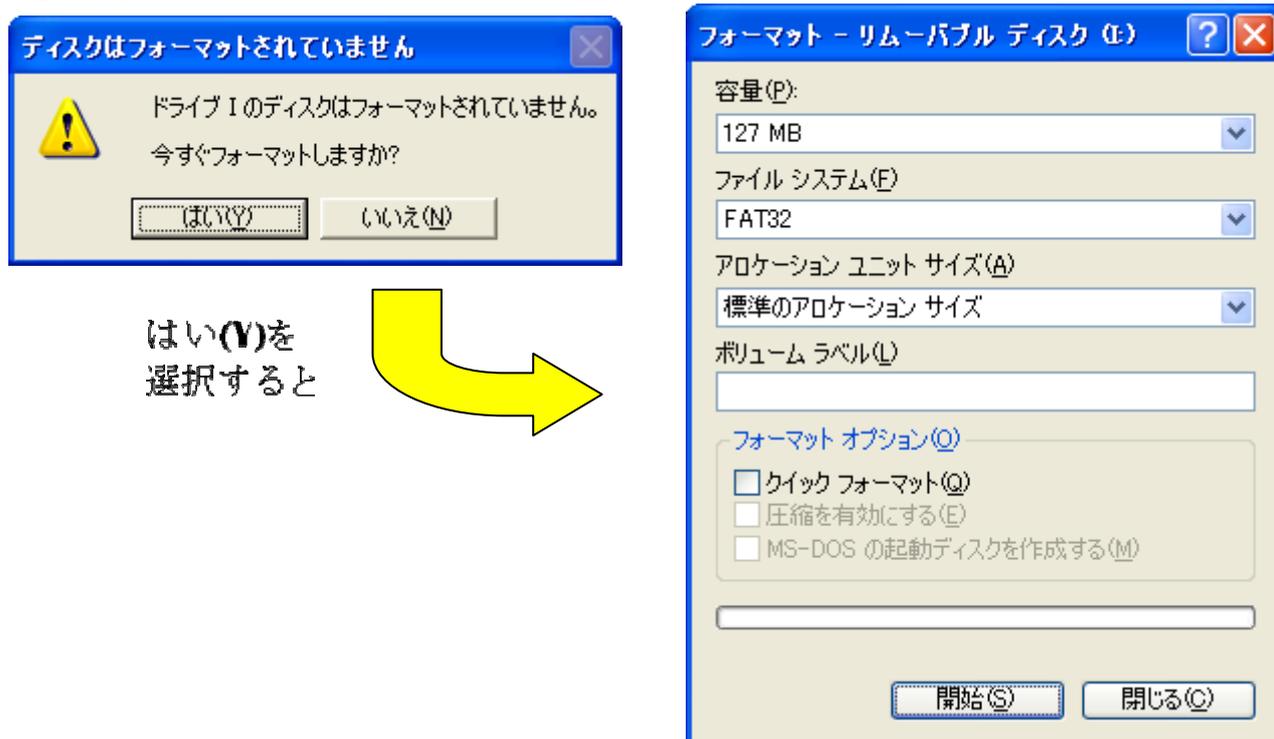


図 15: フォーマットの開始

2. デバイスマネージャ

デバイスマネージャにより、USB マスストレージとして認識されていることが分かります。

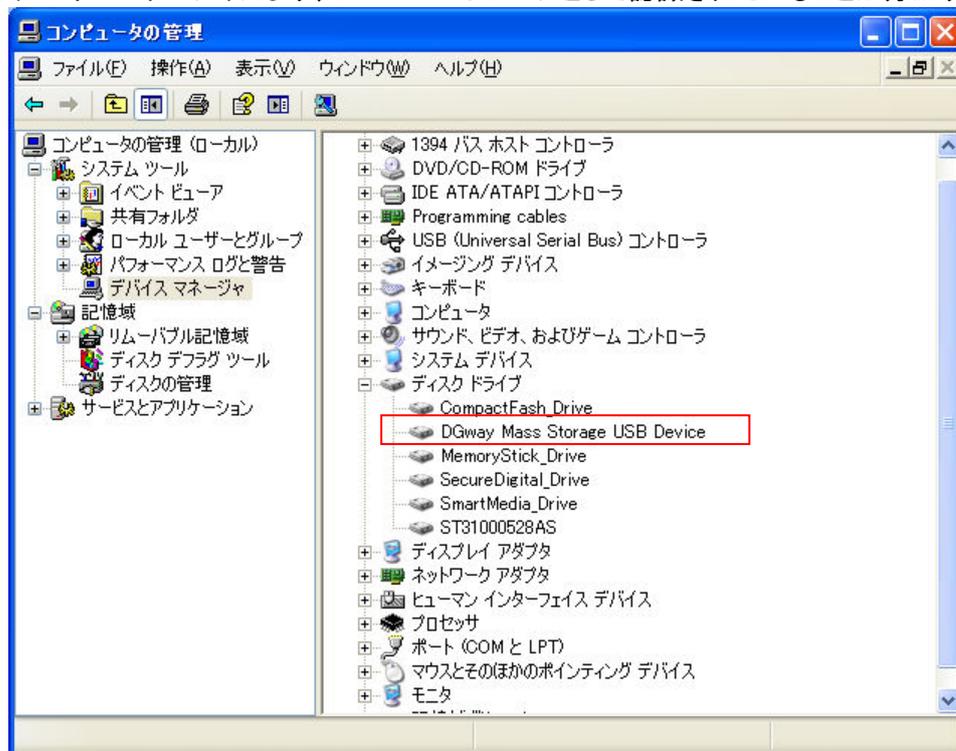


図 16: デバイスマネージャでの認識

3. コピー & ペースト

たとえば、ファイルまたはディレクトリをコピー & ペーストできます。

ただし、容量は 127MB です、サイズに制限があることにご注意ください。

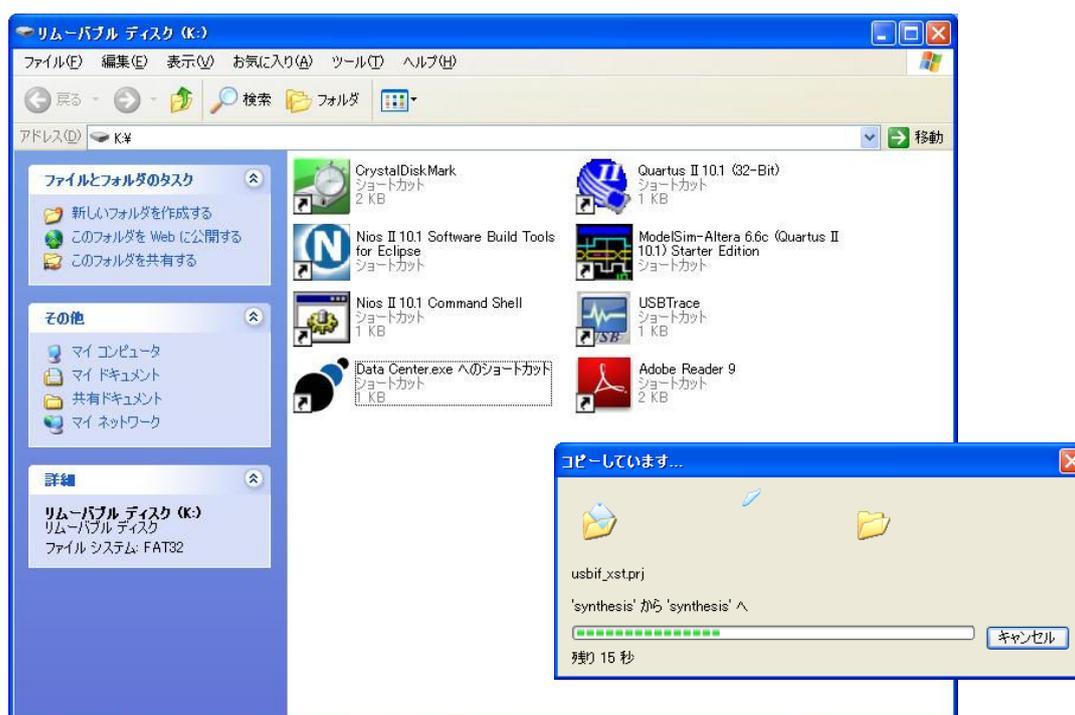


図 17: コピー & ペースト

4. ベンチ・マークテスト

ベンチマークテストを走らせることができます。

なお、ホスト側が低速な場合 (例えば 1 レーンの PCIe やマザボード側 PCIe 自体が GEN1 の場合) は USB3.0 本来の転送性能は出ない場合があります。転送性能は HostPC の OS、CPU パフォーマンス、Host 側 USB コントローラの PCIe バス帯域等に大きく左右されますのでご注意ください。

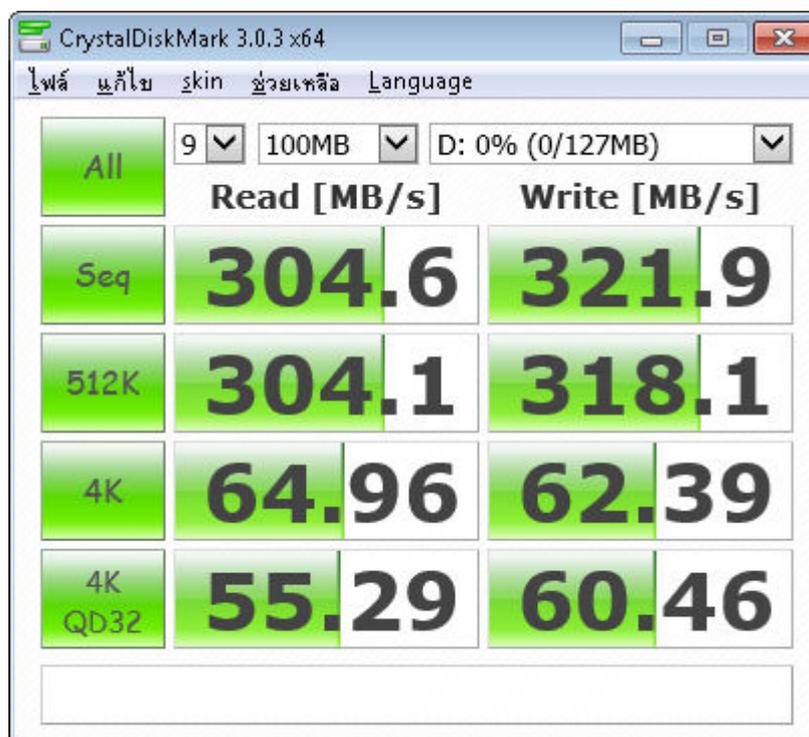


図 18: ベンチマークテスト(例)

5. プラグ・アウトとプラグ・イン

リムーバブル・ディスクとしてプラグ・アウト&プラグ・インが可能です。

なお、プラグ・アウトとプラグ・インは十分に間隔をあけて実行してください。

ケーブルを抜去した直後に再挿入した場合、HostPC から USB3.0 デバイスを正しく認識できないことがあります。

4. 改版履歴

リビジョン	日付	内容
1.0	2011/09/12	日本語版の初版発行
1.1J	2015/05/14	Altera 版と Xilinx 版を同一ドキュメントに統合
1.2J	2015/05/26	Altera/Xilinx の最新評価ボードの説明を追加