

# IPLock デザインの ISE から Vivado への移行方法

(株)デザイン・ゲートウェイ 2022 年 4 月 7 日

#### はじめに

本ドキュメントでは IPLock を使った ISE デザイン・プロジェクトを Vivado プロジェクトに移 行する手順について説明します。 移行するには 3 つのステップが必要となります。

- ステップ1: IPLock のネットリストを iplock.ngc から iplock.vhd に変更する必要があるため、必要な情報を添えてデザイン・ゲートウェイ社(以下弊社)までメールでご連絡ください。
- ステップ2: Vivado プロジェクト内で iplock.vhd モジュールをインスタンスしてください。
- ステップ3: 弊社からお送りする IPLock 合成用のライセンス・ファイルを Vivado ライセンス・マ ネージャにて設定してください。

Vivado ツールでは iplock.ngc のかわりに iplock.vhd を使って頂く必要がありますが、Vivado ツールでの IPLock モジュール合成にはライセンス・ファイルが必要となります。 お客様からご連絡頂く情報 をもとに、弊社からお送りするライセンス・ファイルと iplock.vhd モジュールをデザイン内にてお使 いください。

本ドキュメントではカウンター・プロジェクトのサンプル例で具体的な手順を説明します。 このサ ンプル・プロジェクトは納品物 CD-ROM 内に含まれています。 "Counter.vhd"は最上位層で、 "Counter32Bits.vhd" および "TopIPLock.vhd" の 2 つのコンポーネントを含みます。そして "TopIPLock.vhd" はネットリスト(暗号化 VHDL 形式)の"IPLock.vhd"を含みます。



### "iplock.vhd"モジュールおよび IPLock 用ライセンス・ファイルの請求方法

- 弊社 IPLock 対応メールアドレスまで以下の情報を含めてご請求ください。
   mailto: <u>iplock@design-gateway.com</u>
  - お客様の担当者名、会社名、会社住所、連絡先電話番号
  - IPLock のシリアル番号 (IPLock パッケージを確認してください)
  - Vivado で使われるパソコンの MAC アドレス (NIC-ID)
  - FPGA デバイス型番または FPGA デバイスファミリ名
- 2. 弊社にて頂いた情報を確認させて頂きます。
- 3. 弊社より、Vivado 合成に必要なライセンス・ファイルおよび "iplock.vhd" ファイルをお送りし ます。

### Vivado ツールへの iplock.vhd の実装手順

"Iplock.vhd"モジュールを使うサンプル・プロジェクトをもとに実装手順を説明します。 この プロジェクトはカウンタのイネーブルを iplock により制御するデザインです。 ソースコードは全て 納品 CD-ROM 内にあります。

1. "ip", "source", "vivado", "xdc" の4つのサブホルダを含むプロジェクト・ホルダを作成します。



図1プロジェクト・ホルダ



- ip ホルダには"IPLock.vhd" (暗号化ファイル)を配置。
- source ホルダには"Counter.vhd", "Counter32Bits.vhd", "TopIPLock.vhd"を配置。
- vivado ホルダはプロジェクト・ホルダです。
- xdc ホルダは"counter.xdc"を配置。

"counter.xdc"ファイルは制約ファイルです。このプロジェクトでは以下(図 2)に示すようにタイ ミング制約を設定する必要があります。

File Edit Format \	View Help
### pin constraints #	###
set_property PACKAG	E_PIN H4 [get_ports SysClk]
set_property IOSTAN	DARD LVCMOS25 [get_ports SysClk]
set_property PACKAG	E_PIN K4 [get_ports SysRstB]
set_property IOSTAN	DARD LVCMOS25 [get_ports SysRstB]
# I/O #	
set property PACKAG	E PIN H2 [get ports {LED[0]}]
set_property IOSTAN	DARD LVCMOS25 [get_ports {LED[0]}]
set_property PACKAG	E_PIN H1 [get_ports {LED[1]}]
set_property IOSTAN	DARD LVCMOS25 [get_ports {LED[1]}]
set_property PACKAG	E_PIN J2 [get_ports {LED[2]}]
set_property IOSTAN	DARD LVCMOS25 [get_ports {LED[2]}]
set_property PACKAG	E_PIN J1 [get_ports {LED[3]}]
set_property IOSTAN	DARD LVCMOS25 [get_ports {LED[3]}]
set_property LOC H13	3 [get_ports DD0]
set_property IOSTAN	DARD LVCMOS25 [get_ports DD0]
set property LOC H12	2 [get ports DC0]
set_property IOSTAN	DARD LVCMOS25 [get_ports DC0]
### timing constrain	its ###
create_clock -name S	SysClk -period 200.0 [get_ports SysClk]
set_false_path -from	[get_pins */u_IPLock/uLAT*/u_Latch/D]



### pin constraints ### set\_property PACKAGE\_PIN H4 [get\_ports SysClk] set\_property IOSTANDARD LVCMOS25 [get\_ports SysClk]

set\_property PACKAGE\_PIN K4 [get\_ports SysRstB] set\_property IOSTANDARD LVCMOS25 [get\_ports SysRstB]

# I/O # set\_property PACKAGE\_PIN H2 [get\_ports {LED[0]}] set\_property IOSTANDARD LVCMOS25 [get\_ports {LED[0]}]

set\_property PACKAGE\_PIN H1 [get\_ports {LED[1]}] set\_property IOSTANDARD LVCMOS25 [get\_ports {LED[1]}]

set\_property PACKAGE\_PIN J2 [get\_ports {LED[2]}]
set\_property IOSTANDARD LVCMOS25 [get\_ports {LED[2]}]

set\_property PACKAGE\_PIN J1 [get\_ports {LED[3]}]
set\_property IOSTANDARD LVCMOS25 [get\_ports {LED[3]}]

set\_property LOC H13 [get\_ports DD0] set\_property IOSTANDARD LVCMOS25 [get\_ports DD0]

set\_property LOC H12 [get\_ports DC0] set\_property IOSTANDARD LVCMOS25 [get\_ports DC0]

### timing constraints ### create\_clock -name SysClk -period 200.0 [get\_ports SysClk] set\_false\_path -from [get\_pins \*/u\_IPLock/uLAT\*/u\_Latch/D] -to \*

制約ファイルでは出力ピンやピン位置などを設定する必要があります、選択したターゲット・デバ イス/ボードに依存します。



- 2. Vivado ツールを開いてプロジェクトを作成します。
- 3. プロジェクト名とホルダ位置を設定し"next"をクリックします。

roiect Name		
nter a name for yo	ur project and specify a directory where the project data files will be stored.	1
<u>P</u> roject name:	counter	0
Project <u>location</u> :	D:/IPLock/counter/vivado	⊗
Create projec	t subdirectory	
Project will be cr	eated at: D:/IPLock/counter/vivado	
2)	- Pook Next > Fig	ish Cancel

図3プロジェクト名とホルダ位置を設定

- 4. RTL プロジェクトを選択し"next"をクリックします。
- 5. "Add sources"にて、プロジェクト・ファイルとして"Counter.vhd", "Counter32Bits.vhd", "TopIPLock.vhd", "IPLock.vhd"を追加します。

on disk an	netlist, Block I Id add it to you	Design, and IP files, or di Ir project. You can also a	rectories contai dd and create s	ning those file ources later.	s, to add to your p	project. Create a new source
+,   -	+ +					
	Index	Name	Library	HDL Source	For	Location
•	1	Counter.vhd	xil_defaultlib	Synthesis &	Simulation 👻	D:/IPLock/counter/source
•	2	Counter32Bits.vhd	xil_defaultlib	Synthesis &	Simulation 🔻	D:/IPLock/counter/source
•	3	TopIPLock.vhd	xil_defaultlib	Synthesis &	Simulation 🔹	D:/IPLock/counter/source
•	4	IPLock.vhd	xil_defaultlib	Synthesis &	Simulation 🔹	D:/IPLock/counter/ip
		Add Files	A <u>d</u> d D	irectories	<u>C</u> reate File	
Scan an Copy <u>s</u> o Add sou	nd add RTL <u>i</u> n ources into pro urces from su	clude files into project oject bdirectories				
Target land	wage: Veril	og 🗸 Simulator	language: Mi	xed 🗸		

図4プロジェクトにソース・ファイルを追加



6. プロジェクトに制約ファイル"counter.xdc"を追加し、"next"をクリックします。

cify or create cor	nstraint files for physical and	timing constraints.			1
+_  -   +	ŧ				
Constraint File	Location				
counter.xdc	D:\IPLock\counter\xdc				
	nts files into project	Add Files	<u>Create</u> File		
J COBY CONSULAN	na mea mio project				

7. ターゲット・デバイス(またはボード)を選択し"next"をクリック

noose a de	fault Xilinx p	art or board for you	r project.						1
Parts	Boards								
Reset All	Filters								
Category:	All			Package:	All	✓ Tem;	erature:	All	v
Family:	All	~			All	✓ Static	power:	All	~
Search:	Q-XC7S6F	TGB196-1	Ø ¥	(3 matches)					
Part		I/O Pin Count	Available IOBs	LUT Elements	FlipFlops	Block RAMs	Ultra RAI	Ms DSPs	Gt
xc7s6ftg	b196-1	196	100	3750	7500	5	0	10	0
xc7s6ftg	b196-1IL	196	100	3750	7500	5	0	10	0
xc7s6ftg	b196-1Q	196	100	3750	7500	5	0	10	0
<									>

図 6 デバイスまたはボードを選択

8. クリックしプロジェクトを作成します。



9. ソース・ファイルと制約ファイル追加後の Vivado プロジェクトを図 7 に示します。



図 7 Vivado プロジェクト

10. 図8にソース・ファイル構造を示します。



図 8 ソース・ファイルの構造



- 11. "Generate Bitstream"をクロックし、Vivado コンパイル完了を待ちます。
- 12. Vivado 合成と実装が完了した後の Vivado 画面を図 9 に示します。

Sources			?.	. 🗆 🖸	i ×	Proje	ect Sur	mmary				
Q	+ 2	0			•	Ove	rview	Dasht	oard			
<ul> <li>✓ ■ Design Sou</li> <li>✓ ● ♣ Coun</li> <li>✓ ● ₦ 1</li> <li>✓ ● ₦ 1</li> <li>✓ ● ₦ 1</li> <li>✓ ● ■ 02</li> <li>✓ ■ Constraints</li> <li>✓ ■ constrs</li> <li>● coustrs</li> </ul>	irces (1) iter(Behavioral) TopIPLOCK : T u_IPLock : IPLo Counter32Bits (1) _1 (1) inter.xdc	(Counter.vhd) (2) opIPLock(Behavioral) (TopIPLoc ock(Behavioral) (IPLock.vhd) (63) : Counter32Bits(rtl) (Counter32B	k.vhd) (1) ) its.vhd)			Set Pro Pro Pro Top Tan	tings bject na bject lo bject pa bject pa p modi rget lar	Edit ame: cation: amily: art: ule name nguage:	c D S X X X X V	ounter :/IPLock partan-7 c7s6ftgb counter erilog	/counter/ , 196-1	vivado
Hierarchy Lib	oraries Com	pile Order				Sin	nulato	r languag	e: M	lixed		
						Sta Me Pa Str Re Inc DRO Su	atus: ssage rt: ategy: port St cremen C Viola mmary	s: trategy: tal synthe tions r: 0 1 v	varning	Comple 8 warnii xc7s6ft <u>c</u> Vivado 9 Vivado 9 None	ngs ngs gb196-1 Synthesis Synthesis	: Defaults : Default Re
Name	Constraints	Status	WNS	TNS	WHS	LUT	FE	RPAM	ПРАМ	DSP	Start	Flansed
✓ ✓ svnth 1	constrs 1	synth design Complete!	muu	1140	mio	582	859	10	0	0	3/31/2	00:01:13
	CONTROLOGICAL CONTROL					OOL	000		0		SIG IL	

図9合成と実装が終わった後の Vivado 画面例(抜粋)



## Vivado ソフトウエアの IPLock ライセンス・ファイル導入方法

IPLock モジュール"IPLock.vhd"を Vivado 上で合成するためにはライセンス・ファイルが必要となりま す。 ライセンス・ファイルはお客様の Vivado ツールを導入した PC の NIC-ID (MAC アドレス)情報 を添えて <u>iplock@design-gateway.com</u> 宛にご請求ください。

- 1. Vivado ソフトウエアを開きます。
- 2. Vivado ツール・バーの"Help"にて"Manage License…"を選択します。
- 3. Vivado ライセンス・マネージャ画面にて図 10 のように"Load License"を選択してください。

File Help	×
VIVAD	O. License Manager
Get License     Set Proxy     Obtain License     Jod License     Manage License     Manage License     Manage License Search Paths	Certificate Based Licenses Click the 'Copy License' button to copy a applications automatically detect valid, n
View License Status View System Information View Host Information	Copy License

4. IPLock ライセンス・ファイルを選択してください。

VIVA	DO, <sup>f</sup> Licen	se Manager		
Get License Get Proxy Get Obtain License	Certificate Based	l Licenses	Load License	
Coad License     Manage License     Manage License     View License Status     View System Information     View Host Information	Select License File Look in: Recent Items	censes plock_v1_0_0_flexIm.lic	• 🦻 📂 🖽 •	
	File name:	ipdg_iplock_v1_0_0_flexIm.lic		Open
	Network Files of typ	e: License files (*.lic)	▼]	Cancel

図 11 ライセンス・ファイルの選択



5. ライセンス・ファイルの導入が完了したメッセージ画面を図 12 に示します。



6. iplock ライセンス・ファイルが Vivado ライセンス・マネージャ内に表示されます。

Vivado License Manager 2019.2							0 8
VIVADO.	License	Manager				<b>8</b> XIL	.INX
▲ Get License			View	v License Status			
Obtain License     Load License     Manage License     Manage License	Certificate Based Licen	ses:			Filte	er: 👿 Hide Free Built-in I	licenses
View License Status	License Name	Tools/IP	Expiration Date	Version Limit	License Type	Location	# of
Wiew Host Information	ipdg_iplock_v1_0_0	IP:Bought	Permanent	1.0	Nodelocked	C:\Users\Pook\AppDat	t Uncou

7. 以上でライセンス・ファイルの導入が完了します。