



JL-AN01-V1.0



JtagLink 向けのユーザ基板デザイン

Ver1.0 Sep/13/2003

本アプリケーション・ノートにおいて、JtagLink モジュールを使うユーザ基板に関しての設計上の注意事項を説明します。

[目次]

1: JTAG 基板パターンの影響.....	2
2: JTAG パターン設計上のご注意	3
3: ボード上にコンフィグレーション ROM がある場合のご注意.....	4
4: 結論	4

1: JTAG 基板パターンの影響

JtagLink はユーザ基板の JTAG チェーンを使って FPGA のコンフィグレーションを実行します。ユーザ基板の JTAG チェーンは通常、ホスト PC 上の FPGA ベンダ・ソフトウェアによるプログラミング・ツールから、ダウンロード・ケーブルを介してアクセスされます。例えば Altera 社の場合 Quartus2/Max+Plus2 の Programmer 機能と ByteBlasterMV/2 により、また Xilinx 社の場合 iMPACT と ParallelCable3/4 により JTAG へのアクセスがなされます。

ホスト PC からの JTAG コンフィグレーションの場合、パラレルポートをホスト PC 上のソフトウェアが直接制御するため、各 JTAG 信号の信号遷移速度は非常に遅く、例えば TCK のトグル周波数も数百 KHz 程度以下となります。

一方 JtagLink の場合、モジュール上に搭載された制御 LSI のハードウェアにより JTAG 信号が制御されるため、信号遷移速度は高速であり、TCK のトグル周波数は約 8MHz となります。(32Mbit 版 JtagLink の全容量を使った場合、コンフィグレーション時間は約 4 秒です。)

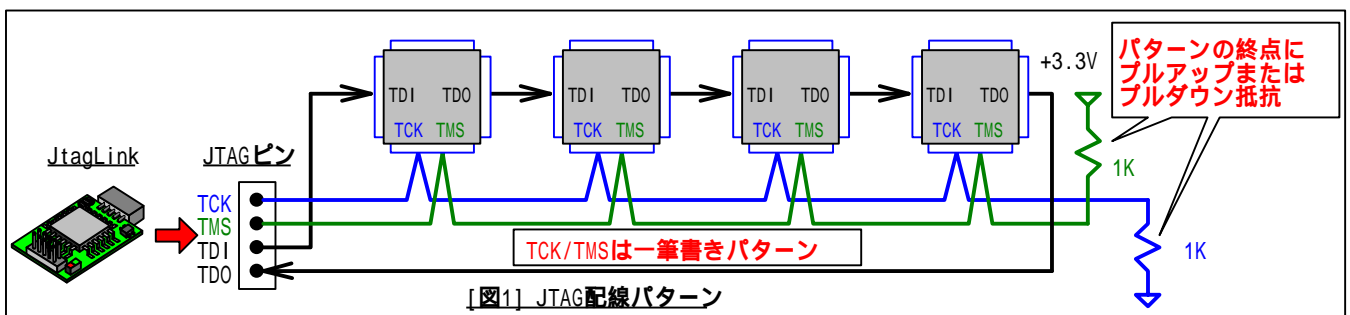
このため、JtagLink を使ってコンフィグレーションを行う場合、ホスト PC のソフトウェアによるコンフィグレーションより一桁以上 JTAG 信号が高速に遷移するため、ユーザ基板の JTAG 配線パターンによっては問題が生じることがあります。

2: JTAG パターン設計上のご注意

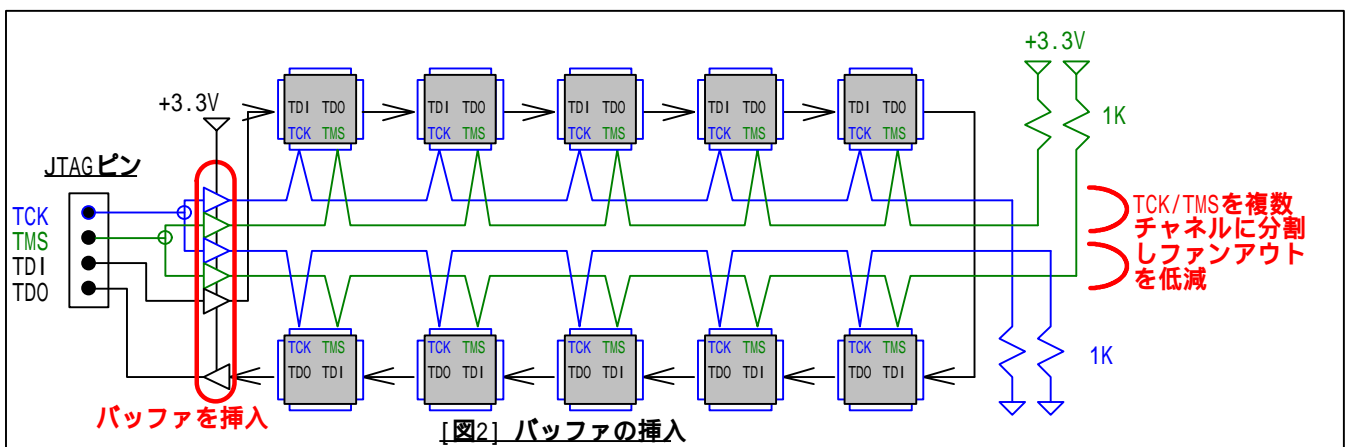
JTAG 信号において、全 JTAG デバイスと接続されるパターン全長が長くなる TCK および TMS の配線パターン設計には配慮が必要です。特に TCK については、JTAG のクロック信号でありこの信号品質が損なわれた場合、JTAG が正しく機能しなくなります。そこで TCK の基板パターンの設計時に、以下の配慮を必要とします。TMS についても TCK に準じた配慮が望まれます。

- [1] TCK(および TMS)は図 1 のように JtagLink が接続される JTAG ピンを起点とし、プルアップ抵抗またはプルダウン抵抗を終点とする一筆書きのパターンとします。一筆書きの終点にプルアップ/プルダウン抵抗を設けることで、終端効果により反射ノイズが低減します。

TCK はプルダウン、TMS にはプルアップを、また抵抗値は 1K 程度を推奨します。



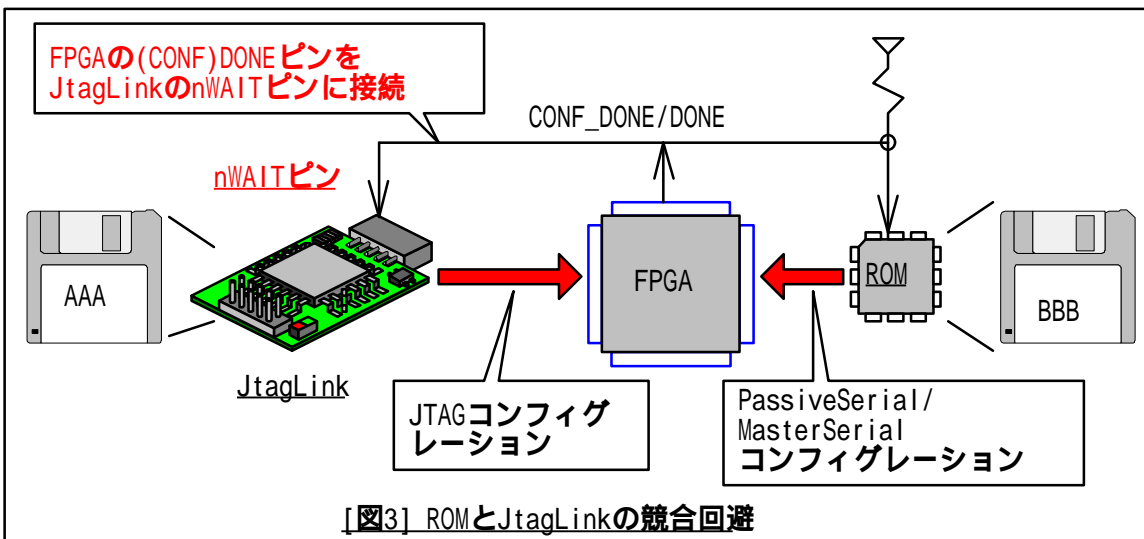
- [2] 接続する JTAG デバイス数が増える場合 (5 デバイス程度以上の場合) (3.3V 電源の)バッファを設け JTAG ピンにおける各信号の駆動能力を補強します。また特に JTAG チェーンの接続デバイス数が多い場合、図 2 のように TCK/TMS を複数のチャンネルに分割し、各チャンネルでの接続デバイス数を減らすのが効果的です。これにより、各チャンネルでの TCK/TMS の配線長を短くできるので、パターン長や負荷による影響を極力小さくすることができます。JTAG チェーン中の TDI/TDO は 1 対 1 接続なのであまり問題にはなりません。全デバイスに接続される TCK/TMS においては、このような配慮を必要とします。



3: ボード上にコンフィグレーションROMがある場合のご注意

ユーザ基板上に EPC2 や XC18V02 等 FPGA コンフィグレーション ROM が搭載されており、PowerOn 時に ROM により自動コンフィグレーションが行われる場合、JtagLink と ROM の同時コンフィグレーションの競合を避ける必要があります。

このような場合、下図 3 に示すように JtagLink の nWAIT ピン(Pin#7)と(CONF)DONE ピンを接続し、ROM によるコンフィグレーションが完了した後で JtagLink によるコンフィグレーションを実行します。nWAIT が LOW レベルの場合 JtagLink は待機状態を維持し、ROM によるコンフィグレーション終了で nWAIT すなわち(CONF)DONE ピンが High になってはじめて JTAG コンフィグレーションを開始します。



上図 3 の場合、PowerOn 直後に、まず ROM 内の回路データ BBB により一旦 FPGA がコンフィグレーションされ、それが終わった後で JtagLink 内の回路データ AAA で FPGA を再コンフィグレーションします。

ただし ROM がブランクであったり、あるいは正しい回路データでなく(CONF)DONE が High にならない場合、JtagLink は(nWAIT ピン=Low による)待機状態が継続されるためコンフィグレーションを開始することができませんのでご注意ください。

4: 結論

ユーザ基板の JTAG 信号配線パターンを最適化することにより、JtagLink と FPGA ベンダツールのソフトウェアのどちらによる方法でも安定した JTAG コンフィグレーションが可能となります。