

## SDLink データシート

Rev. 2.0J 2018/11/20

本ドキュメントは SDLink の仕様を記したデータシートです。SDLink は microSDHC カードを使用します。SDLink シリアル番号は”SH123”のように先頭文字’SH’と 3 桁の数字で表します。

### [目次]

1. DC 電気特性.....	1
2. SDLink モジュール外観図.....	2
3. 機構寸法図.....	3
4. ユーザ基板推奨パターン.....	4
5. ユーザ基板との接続図およびピンの説明.....	5
6. タイミング仕様.....	8

# 1. DC 電気特性

[表 1-1] 最大絶対定格

記号	内容	Min	Max	単位
Vcc1	microSDHC 供給電源電圧	-0.5	+4.3	V
Vcc2	Configuration 電源電圧	-0.5	+4.3	V
Tstg	保存環境温度	-40	+85	° C
Topr	動作環境温度	-20	+85	° C
Vin	DC 入力電圧	-2.0	+4.3	V
Iout	DC 出力電流	-25	+25	mA

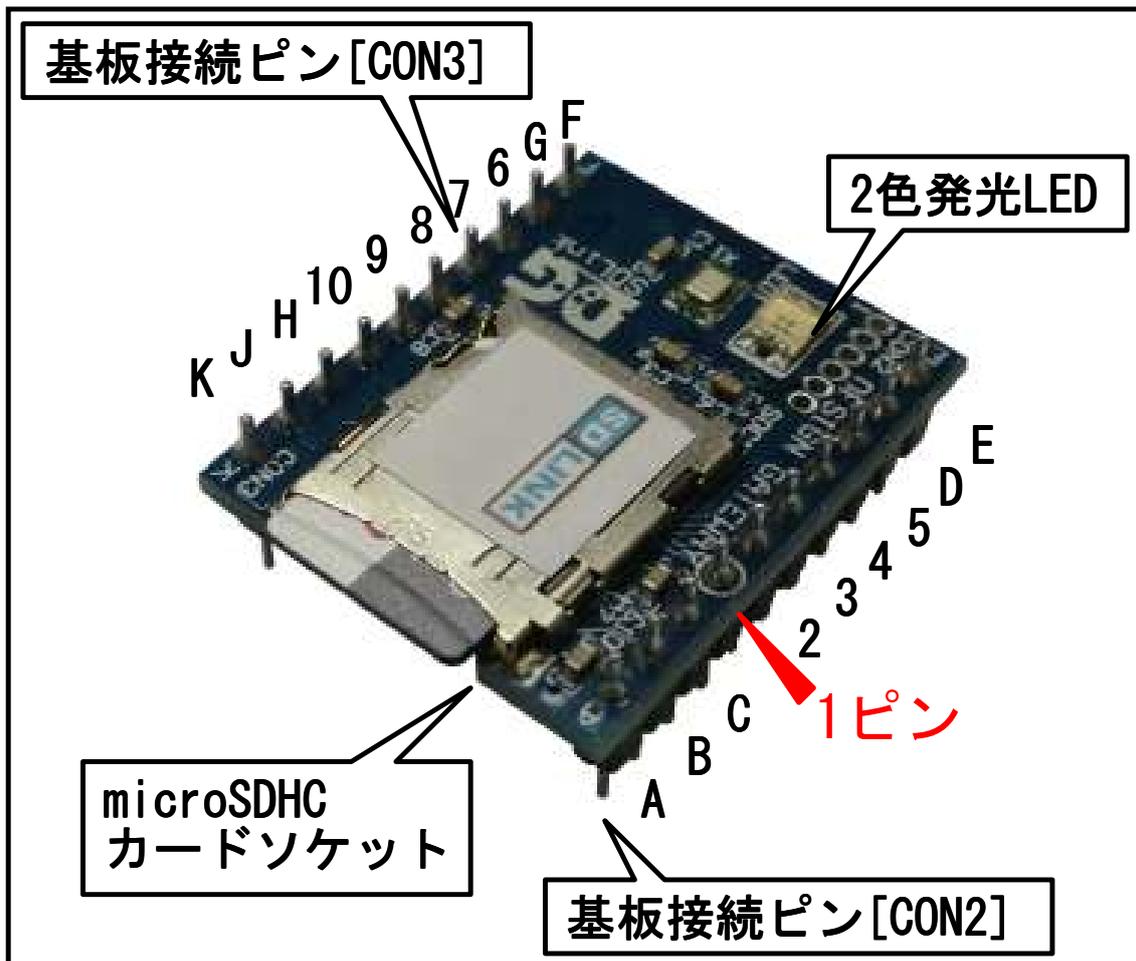
[表 1-2] 推奨動作環境

記号	内容	Min	Max	単位
Vcc1	microSDHC 供給電源電圧	+3.0	+3.6	V
Vcc2	Configuration 電源電圧(3.3V 時)	+3.0	+3.6	V
	Configuration 電源電圧(3.0V 時) <sup>(*)</sup>	+2.85	+3.15	V
	Configuration 電源電圧(2.5V 時)	+2.375	+2.625	V
	Configuration 電源電圧(1.8V 時)	+1.7	+1.9	V
Topr	動作環境温度	0	+70	° C
Vih	High レベル入力電圧(Vcc2=3.3V)	+1.7	+3.6	V
	High レベル入力電圧(Vcc2=3.0V) <sup>(*)</sup>	+1.7	+3.15	V
	High レベル入力電圧(Vcc2=2.5V)	+1.7	+2.625	V
	High レベル入力電圧(Vcc2=1.8V)	+1.25	+1.9	V
Vil	Low レベル入力電圧(Vcc2=3.3V)	-0.5	+0.8	V
	Low レベル入力電圧(Vcc2=3.0V) <sup>(*)</sup>	-0.3	+0.8	V
	Low レベル入力電圧(Vcc2=2.5V)	-0.5	+0.7	V
	Low レベル入力電圧(Vcc2=1.8V)	-0.5	+0.7	V
Voh	High レベル出力電圧(Vcc2=3.3V)	+2.4		V
	High レベル出力電圧(Vcc2=3.0V) <sup>(*)</sup>	+2.4		V
	High レベル出力電圧(Vcc2=2.5V)	+2.0		V
	High レベル出力電圧(Vcc2=1.8V)	+1.35		V
Vol	Low レベル出力電圧(Vcc2=3.3V)		+0.45	V
	Low レベル出力電圧(Vcc2=3.0V) <sup>(*)</sup>		+0.45	V
	Low レベル出力電圧(Vcc2=2.5V)		+0.45	V
	Low レベル出力電圧(Vcc2=1.8V)		+0.45	V

注:

(\*) Configuration 電圧(Vcc2) = 3.0V のコンフィグレーション動作は、Stratix4 のみ有効。

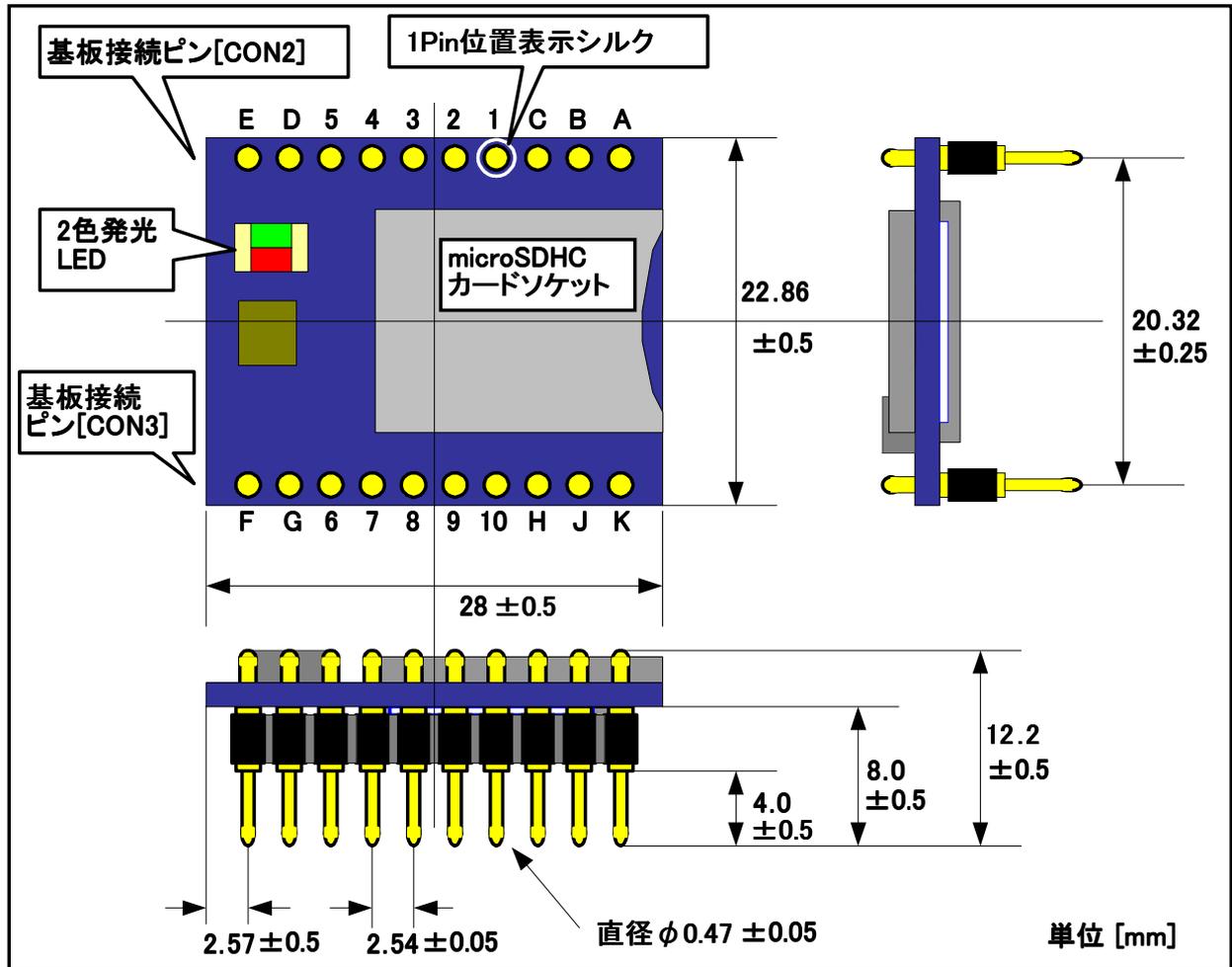
## 2. SDLink モジュール外観図



[図 2-1] SDLink モジュール外観図

- 基板接続ピンはユーザ基板と接続する DIP タイプの2列ピンとなっております。
- ピン番号 A,B,C,1~5,D,E 側の 10 ピンは[CON2]で、ピン番号 F,G,6~10,H,J,K 側の 10 ピンは [CON3]です。
- [CON2]側の 1 ピン該当部分には白丸のシルクによるマークがあります。
- microSDHC カードソケットはプッシュロック式のソケットとなっているため、ユーザ基板のソケット開口部側は、microSDHC を挿抜するために十分なスペースを確保してください。
- 2色発光 LED はコンフィグレーション状況を表示します。

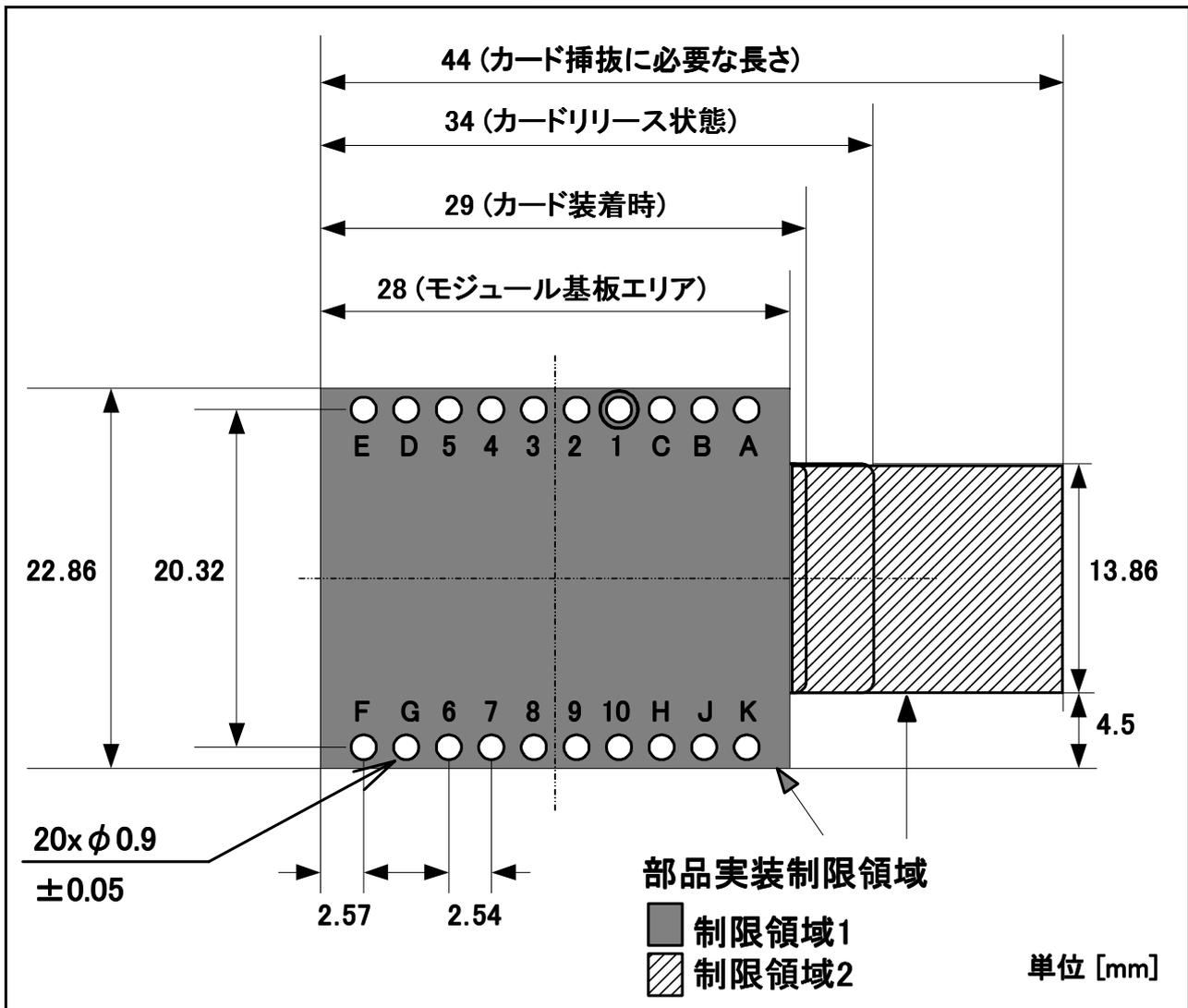
### 3. 機構寸法図



[図 3-1] SDLink 機構寸法図

- SDLink モジュールの基板サイズは長さ 28mm、幅 22.86mm、高さは 12.2mm です。
- ユーザ基板に直接はんだ実装した場合のモジュール高さはユーザ基板面から約 8.5mm です。
- 基板接続ピンはピン列間距離 20.32mm(800mil)、ピンピッチ 2.54mm(100mil)となります。

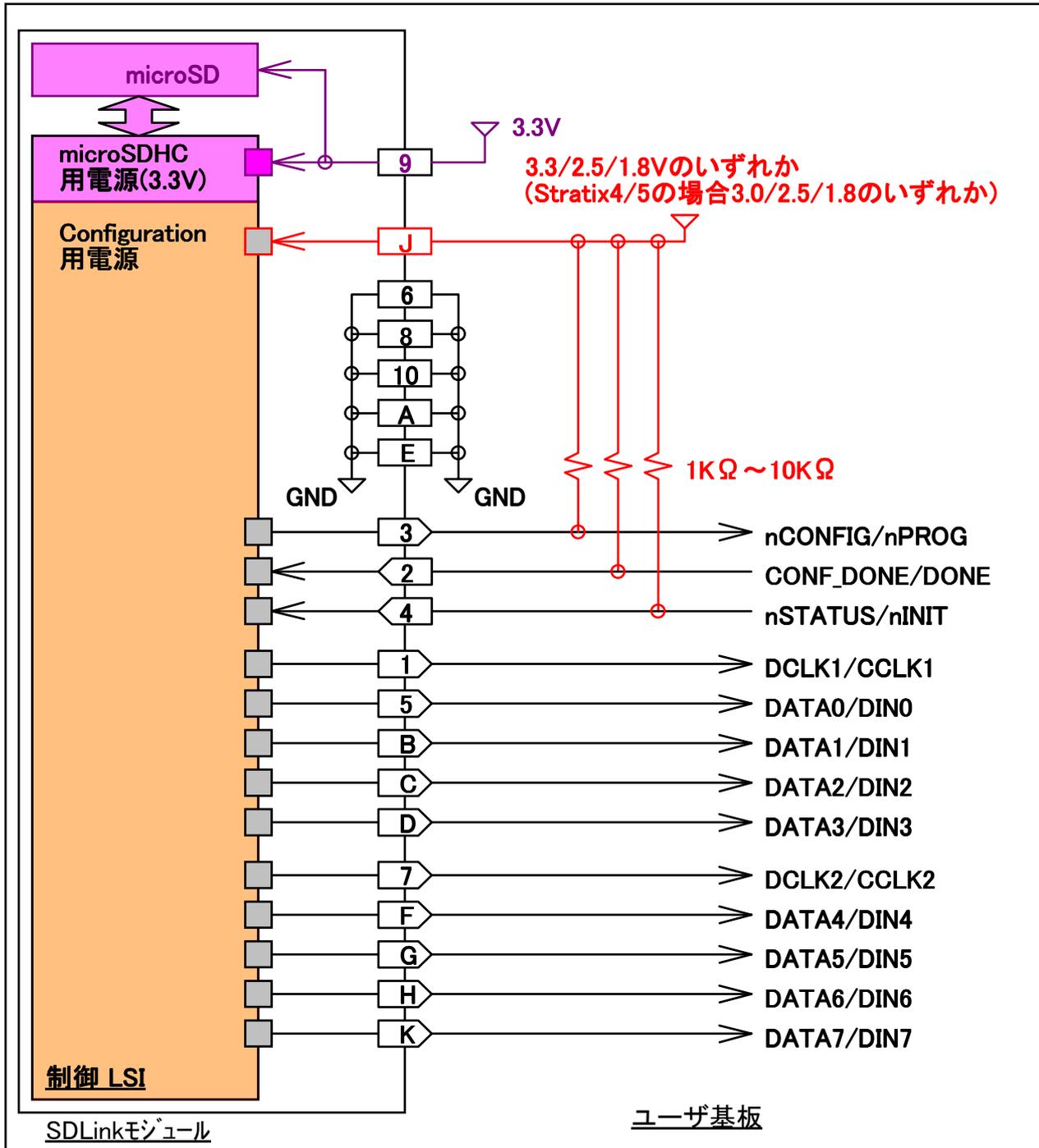
## 4. ユーザ基板推奨パターン



[図 4-1] ユーザ基板推奨パターン

- ユーザ基板においては図 4-1 に示す部品実装制限領域を守ってください。
- 灰色の制限領域1は SDLink モジュールを実装するエリアであり、斜線の制限領域2は microSDHC カードの挿抜に必要なエリアとなります。
- 灰色の制限領域1においては、パターンのみとし部品は実装しないでください。
- 斜線の制限領域2においては、実装時高さ3mm 以内の部品のみ実装可能です。
- SDLink 基板接続ピン用の穴径は直径 0.9mm(±0.05mm)としてください。

## 5. ユーザ基板との接続図およびピンの説明



[図 5-1] ユーザ基板接続図

- ユーザ基板の具体的な回路については、資料番号 SL-AN01「SDLink ユーザ基板設計ガイド」を参照してください。

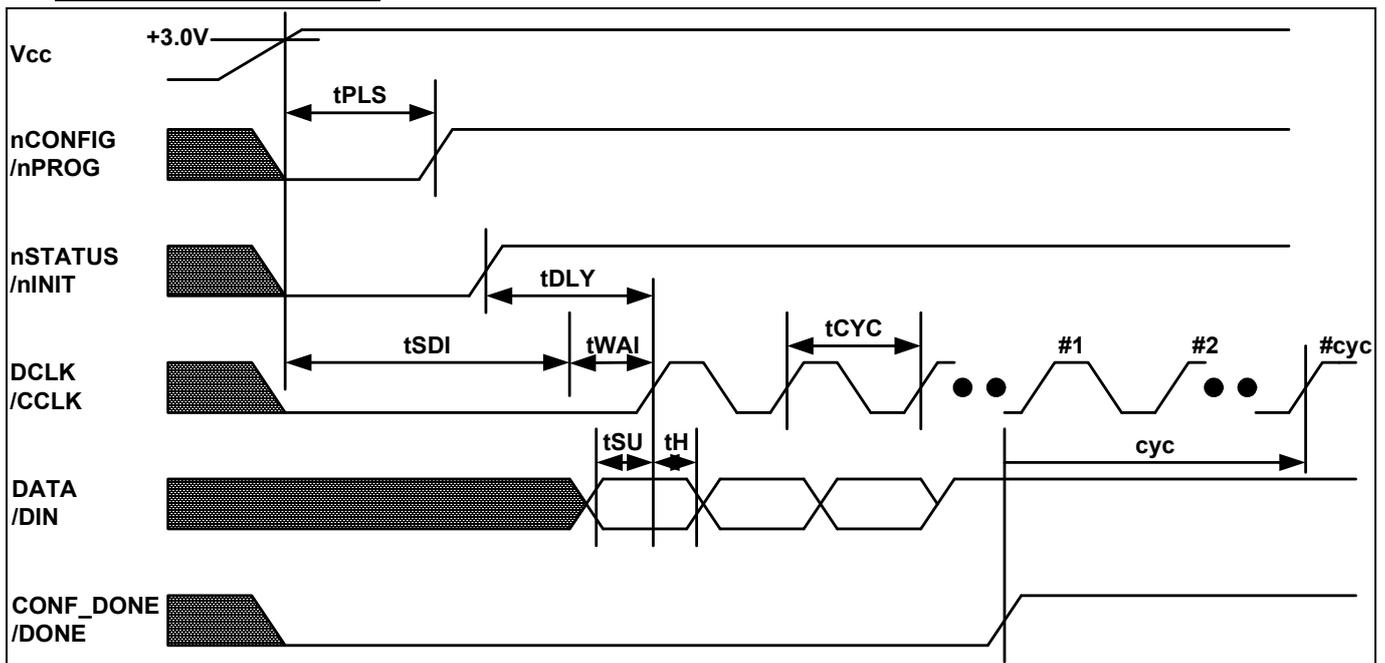
[表 5-1]接続ピンの説明 (CON2)

#	信号名	I/O	論理	説明
A	GND	Power	-	・グラウンド
B	DATA1 /DIN1	出力	正	・ Configuration データ・ビット#1
C	DATA2 /DIN2	出力	正	・ Configuration データ・ビット#2
1	DCLK1 /CCLK1	出力	正	<ul style="list-style-type: none"> <li>・ Configuration クロック#1</li> <li>・ 本ピンと DCLK2/CCLK2 は全く同じクロック出力です</li> <li>・ クロック信号品質維持のため、両クロック出力の FanOut 数をなるべく同じにしてください</li> <li>・ 330~1K<math>\Omega</math> 程度のテブナン終端を実装してください</li> <li>・ 本クロック信号は SDLink を起点、終端抵抗を終点とする一筆書きのパターンとしてください</li> </ul>
2	CONF_DONE /DONE	入力	正	<ul style="list-style-type: none"> <li>・ Configuration 完了ステータス</li> <li>・ ユーザ基板上にてコンフィグ電源へ 1K<math>\Omega</math> ~ 10K<math>\Omega</math> 程度でプルアップしてください</li> <li>・ 本出力は VIO の電圧レベルにかかわらず 3.3V 耐圧があります</li> </ul>
3	nCONFIG /nPROG	出力	負	<ul style="list-style-type: none"> <li>・ Configuration 開始信号</li> <li>・ オープンドレイン出力のためユーザ基板上にてコンフィグ電源へ 1K<math>\Omega</math> ~ 10K<math>\Omega</math> 程度でプルアップしてください</li> <li>・ 外部より本信号を Low レベルにドライブすると再コンフィグレーションを実行します</li> <li>・ 本出力は VIO の電圧レベルにかかわらず 3.3V 耐圧があります</li> </ul>
4	nSTATUS /nINIT	入力	負	<ul style="list-style-type: none"> <li>・ Configuration エラー・ステータス</li> <li>・ ユーザ基板上にてコンフィグ電源へ 1K<math>\Omega</math> ~ 10K<math>\Omega</math> 程度でプルアップしてください</li> <li>・ 本出力は VIO の電圧レベルにかかわらず 3.3V 耐圧があります</li> </ul>
5	DATA0 /DIN0	出力	正	・ Configuration データ・ビット#0
D	DATA3 /DIN3	OUT	正	・ Configuration データ・ビット#3
E	GND	Power	-	・グラウンド

[表 5-2]接続ピンの説明 (CON3)

#	信号名	I/O	論理	説明
F	DATA4 /DIN4	OUT	正	・ Configuration データ・ビット#4
G	DATA5 /DIN5	OUT	正	・ Configuration データ・ビット#5
6	GND	Power	-	・ グラウンド
7	DCLK2 /CCLK2	OUT	正	<ul style="list-style-type: none"> <li>・ Configuration クロック#2</li> <li>・ 本ピンと DCLK1/CCLK1 は全く同じクロック出力です</li> <li>・ クロック信号品質維持のため、両クロック出力の FanOut 数をなるべく同じにしてください</li> <li>・ 330~1K<math>\Omega</math>程度のテブナン終端を実装してください</li> <li>・ 本クロック信号は SDLink を起点、終端抵抗を終点とする一筆書きのパターンとしてください</li> </ul>
8	GND	Power	-	・ グラウンド
9	+3.3V	Power	-	<ul style="list-style-type: none"> <li>・ microSDHC 用の 3.3V 電源</li> <li>・ このピンには必ず 3.3V を供給してください</li> <li>・ ユーザ基板上で本電源ピンの直近に 0.1<math>\mu</math>F 以上のバイパスコンデンサを実装してください</li> </ul>
10	GND	Power	-	・ グラウンド
H	DATA6 /DIN6	OUT	正	・ Configuration データ・ビット#6
J	VIO	Power	-	<ul style="list-style-type: none"> <li>・ コンフィグレーション電源</li> <li>・ FPGA 側のコンフィグレーション電源レベルに合わせて +3.3V(Stratix4 の場合+3.0V), +2.5V, あるいは+1.8V のいずれかを供給します</li> <li>・ 基本的には FPGA のコンフィグレーション・クロック入力の IO バンク電圧にあわせてください。</li> <li>・ ユーザ基板上で本電源ピンの直近に 0.1<math>\mu</math>F 以上のバイパスコンデンサを実装してください</li> </ul>
K	DATA7 /DIN7	OUT	正	・ Configuration データ・ビット#7

## 6. タイミング仕様



[図 6-1] タイミング・チャート

[表 6-1] タイミング仕様

記号	説明	最小	平均	最大	単位
tPLS	nCONFIG/nPROG low パルス幅		8		ms
tSDI	microSDHC のカード初期化待ち時間		300		ms
tWAI	ソフトウェア可変による Delay 待ち	0	0	2550	ms
tDLY	nSTATUS/nINIT High 解除から最初のデータ出力まで		250		ms
tSU	コンフィグレーション・データのセットアップ時間		12.5		ns
tH	コンフィグレーション・データのホールド時間		12.5		ns
tCYC	コンフィグレーション・クロックのサイクル時間	400	50	25	ns
cyc	コンフィグレーション終了以降の DCLK/CCLK 出力サイクル数		256	512	CLK (count)

### Note:

- タイミング仕様は暫定値で予告なく変更されることがあります。
- 平均値の条件は、1ビットのシリアル・モードにてソフトウェアで最高速度に設定した状態にて、(ハイスピードでない)ノーマルタイプの microSDHC を使った場合となります。
- tPLS に関して: nCONFIG/nPROG は SDLink 内部コントローラ回路により Low ドライブされますが、電源投入時のコンフィグレーションにおいてはコントローラ回路自体の起動時間も加算されるため tPLS の実測時間は非常に大きく(数百ミリ秒程度)になります。
- tDLY に関して: tDLY は接続対象の FPGA や SDLink に挿入した microSDHC のイニシャライズ時間のばらつきによって変動します。

## 改版履歴

版	日付	内容
1.0	2008/03/01	初期版発行
1.1	2008/03/13	タイミング仕様を修正
1.2	2008/04/01	表 1-1 の Vin (DC 入力電圧の絶対定格)を修正
1.3	2008/12/02	Stratix4 のサポート追加、タイミング仕様の注釈を追加
1.4	2012/05/08	SL001-FL 廃止に伴い記述を削除
1.5	2012/11/16	ユーザ基板推奨パターンの穴径情報を追加
1.6J	2017/3/9	microSDHC 対応版の記述を追加
2.0J	2018/11/20	新ボード改版に伴う修正

© 2008 Design Gateway Co.,Ltd.