

ニュースリリース

AES 暗号処理方式 IP セキュリティ・システム「IP Lock」 発売の件

株式会社デザイン・ゲートウェイ(東京都:代表取締役 篠原 秀和)は、信頼性の極めて高いAES暗号技術を採用した、FPGA ロジックセキュリティ・システム「IP Lock」の発売を下記の通り発表します。

記

はじめに

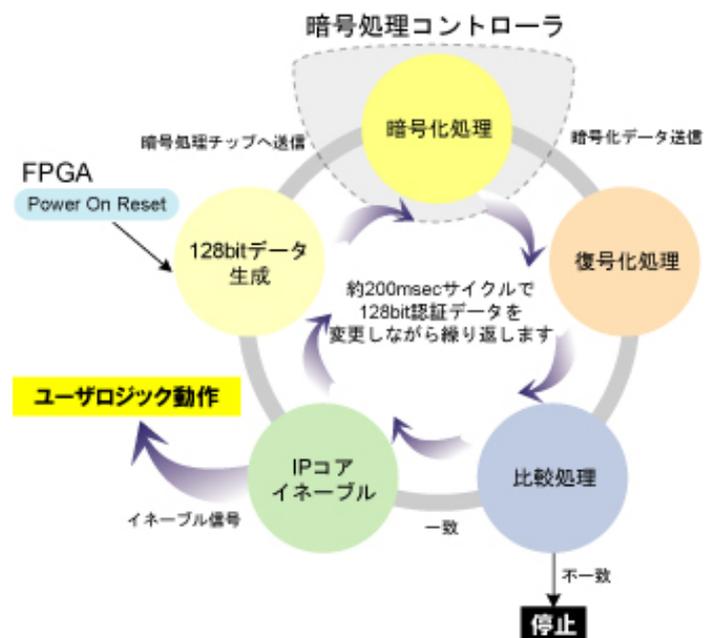
近年、エレクトロニクス製品の開発期間を短縮化するため FPGA が頻繁に採用されるようになりました。年々進むFPGAの大規模化・高機能化に伴い、内部にプログラムされる回路データの価値も飛躍的に高まっており、その設計資産(IP: Intellectual property)の保護が大きな課題となっております。

今回デザイン・ゲートウェイ社では、FPGAに組み込まれるIP資産を保護するためのIPコア&暗号処理チップを開発、「IP Lock」として製品化いたしました。

「IP Lock」では、米国標準技術局により選定された共通暗号化方式の暗号化技術 AES (Advanced Encryption Standard)暗号方式を採用しております。AESは暗号化・復号化が高速、またトリプルDESより強固であり、DESに代わる次世代の暗号処理標準として金融関係、LANセキュリティにおいて採用が増加している暗号方式です。

「IP Lock」はFPGA内に共に組み込むIPコアとそのFPGAに外部接続される暗号処理チップのセットで提供されます。

仕組みとしましては、任意の暗号キーを持つIPコアをFPGA内にユーザロジックと共に組み、128bitデータを生成、暗号処理チップへ送信します。暗号処理チップは暗号化処理しFPGAへ認証データを返します。比較処理で一致した場合にのみ、ユーザロジックへイネーブル信号を出力、ユーザロジックが動作いたします。そして「IP Lock」では約200ミリ秒周期で認証データを変更・暗号化させることにより一層セキュリティを高め、スキミングによる解析も事実上不可能としております(右図参照)。



今回デザイン・ゲートウェイ社では、「IP Lock」を幅広い用途でご使用頂くために、ユーザ ID をあらかじめ出荷時に書き込んだ暗号処理チップを 10 個または 30 個セットにした「ラボラトリーズパック」、ユーザが手でユーザIDを書き込むことが可能な「IP Lock ライタ」と ID 未書き込みの「ブランクチップ」をご用意いたします。尚、現在、IP Lock コアは ALTERA 社と Xilinx 社の FPGA に対応しております。

特長:

- 暗号方式: AES-128 暗号方式
- セキュリティ: 約 200msec 周期で認証データを変更・暗号化
暗号処理チップを外すとロジックの一部あるいはすべての機能が停止
- 暗号処理チップ: SOP8 ピンパッケージ
FPGA との接続 I/O は 3 ピンのみ
- IP Lock コア: 消費リソース
LE 約 1200, メモリビット約 24,500 (ALTERA 社 FPGA 使用時)
約 400 スライス/1 ブロック RAM (Xilinx 社 FPGA 使用時)
クロック入力不要
- 製品ラインナップ: ラボラトリーズパック(IP Lock コアと ID 書き込み済みチップのセット)
IPL-010L (暗号処理チップ 10 個)
IPL-030L (暗号処理チップ 30 個)
IP Lock ライタ
IPL-003WR
ブランクチップ(ID 未書き込みのブランクチップ)
IPL-CHP

記載されている製品名は各社の登録商標または商標です。

商品名: IP Lock (アイビーロック)

ロゴ: 

出荷時期: 2006年7月より

開発/販売元: 株式会社デザイン・ゲートウェイ



株式会社デザイン・ゲートウェイの紹介:

株式会社デザイン・ゲートウェイ(代表取締役:篠原 秀和、資本金 10,000,000 円)は、2001 年 11 月に設立されたシステム提案型の設計会社、次世代を担う先進のハードウェア設計を中心に設計開発業務を行っている。詳細については、www.dgway.com/を参照。

所在地

本社 〒184-0012 東京都小金井市中町 3 丁目 23 番地 17 号

Tel. 050-3588-7915 Fax. 050-3588-7915

Design Gateway Co.,Ltd 54 BB Building 12th Fl., Sukhumvit 21(Asoke), Klongtoey-Nua, Wattana, Bangkok 10110 Thailand

(R&D センター) Tel. (66) 2261-2277, Fax. (66) 2261-2290

添付資料 IP Lock 写真、ランダムシード結果 [図 1 ~ 図 5]

この記事に対する問い合わせ先

株式会社デザイン・ゲートウェイ 営業推進部 石川 康彦

E-mail: info@dgway.com fax:050-3588-7915

以上

添付資料 IP Lock 写真、ランダムシード結果



図 1 IP Lock 暗号処理チップ外観写真



図 2 IP Lock ライタ外観写真

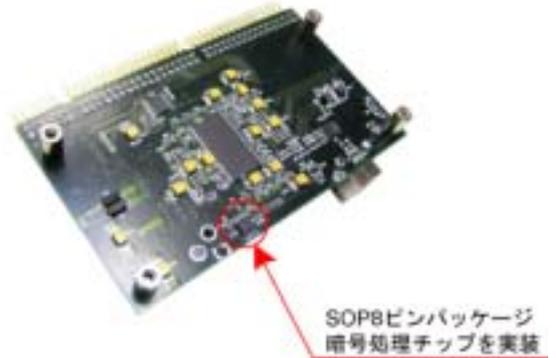


図 3 ユーザ基板上実装例

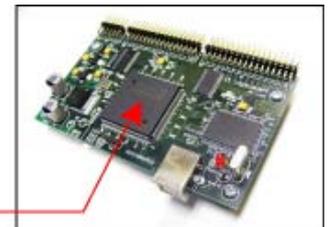
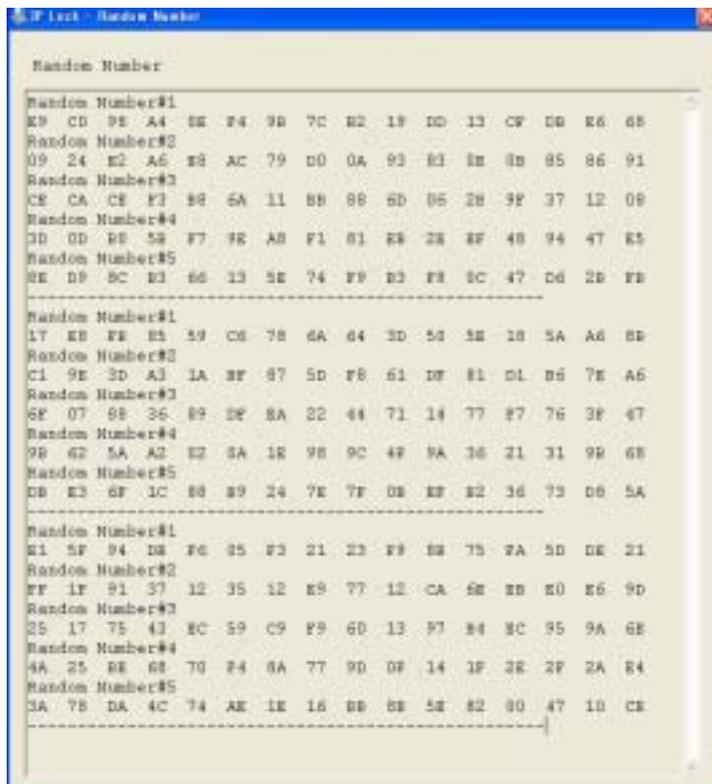


図 4 FPGA に IP Lock コアをインプリメント



IPLock のランダムシード・ジェネレータからの出力サンプルコピーです。このデータは IP Lock のデモソフトにて表示される機能で、電源投入から5回分のランダム・シードを表示しており、この画面は電源 UP を3度試行した結果を画面コピーしたものです。ランダムシード・ジェネレータが生成するシードのランダム性が十分であることがわかります。

図 5 ランダム・シード結果