

はじめに

この度は M.2-PCIe 変換アダプタ[型番:AB19-M2PCI] (以下、アダプタと略します)をご採用頂き誠にありがとうございます。本アダプタは 16Lane PCI Express インターフェイスの 16 チャンネル高速差動信号(Lane0-15)を 4 つの 4-lane PCI 規格 M.2 インターフェイスに変換するアダプタ基板です。Intel/Xilinx 製各 FPGA 評価ボードに適用可能で DesignGateway 社製 NVMe-IP コア各ファミリー製品の実機評価や同 IP コアを使ったユーザ製品開発に使用します。

アダプタ基板の部品面には 4 個の M.2 コネクタが実装されており、2280 サイズまでの M.2 SSD を最大 4 枚装着できます。半田面には 16Lane 対応の PCIe (PCI Express)コネクタが実装され、Lane0-3/4-7/8-11/12-15 がそれぞれ CN1/CN2/CN3/CN4 に装着された SSD に接続します。

本アダプタには低ジッタのクロック発振器やリセット回路が実装され、PCIe および M.2 SSD へのクロック/リセット信号へ供給可能です。本アダプタおよび M.2 SSD への電源は標準の 6 ピンタイプ PCI Express 補助電源から供給します。また、12V 冷却ファン用コネクタが用意されているため、ファンつきクーラー等で SSD の強制冷却を必要とする場合に活用できます。

本製品には、FPGA ボードの PCIe に接続した本アダプタが傾くのを防ぐための支持アクセサリが付属しており、アダプタが常に正しい垂直方向となるよう蝶ねじで調整することができます。FPGA ボードに接続した本アダプタと支持アクセサリを下図 1 に示します。

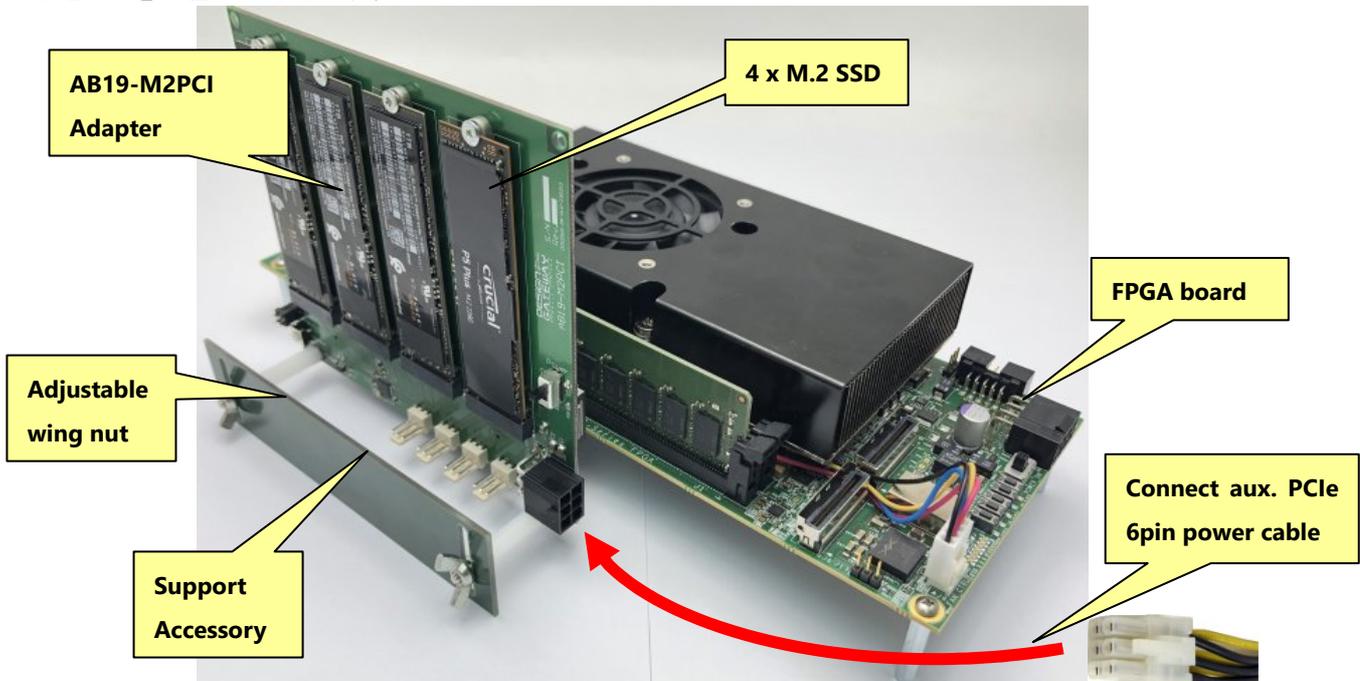


図 1: FPGA ボードに接続したアダプタと支持アクセサリ

本アダプタの特長を以下に示します。

- 16Lane PCI Express 対応の M.2 SSD 搭載用拡張アダプタ基板
- PCIe Gen5 での FPGA-M.2 SSD 間の正常アクセス実機動作確認済み
- 2280 サイズまでの M.2 SSD を 4 枚まで同時装着可能
- 電源は汎用の外部 6pin PCIe 補助電源から+12V で供給
- アダプタ内 DC/DC コンバータで最大 20A までの+3.3V 電源を生成
- 本アダプタおよび M.2 SSD への供給電源はスイッチで ON/OFF 制御可能
- SSD 冷却ファン用 12V コネクタを 4 個実装
- アダプタ上に PCIe 規格の 100MHz 低ジッタクロック発生源を実装
- PCIe と 4 枚の SSD の計 5 系統全てに同一位相の 100MHz 差動クロック信号を供給
- リセットは PCIe-SSD 直結とアダプタ基板上のリセット出力をジャンパ・ソケットで選択可

基板外形

本アダプタの基板サイズは幅 125mm 長さ 115mm です。部品面と半田面の基板外観写真をそれぞれ下図 2 および図 3 に示します。隣り合う SSD 間隔は 27mm なので SSD 冷却用ヒートシンクを装着する際は幅サイズに注意してください。

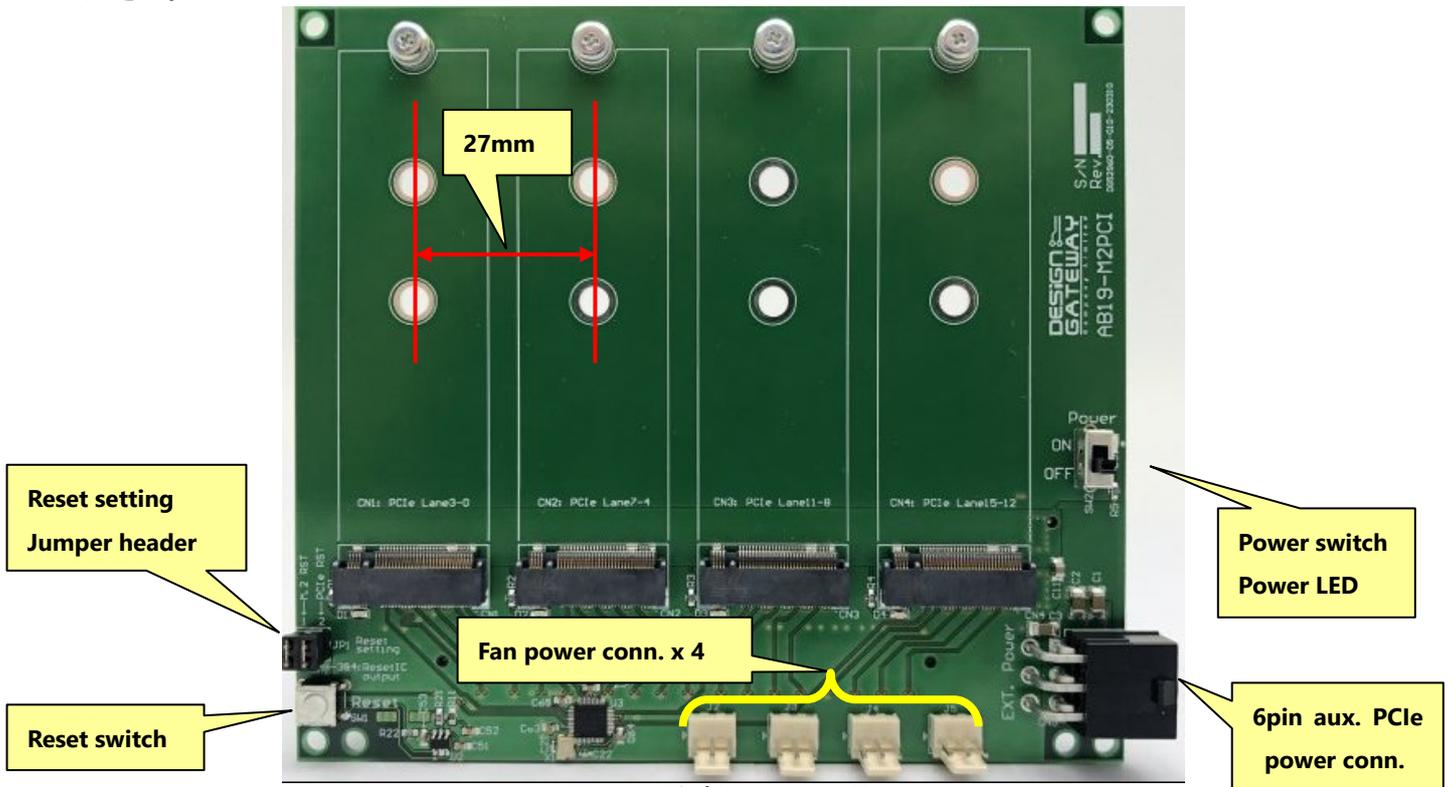


図 2: アダプタ基板の部品面

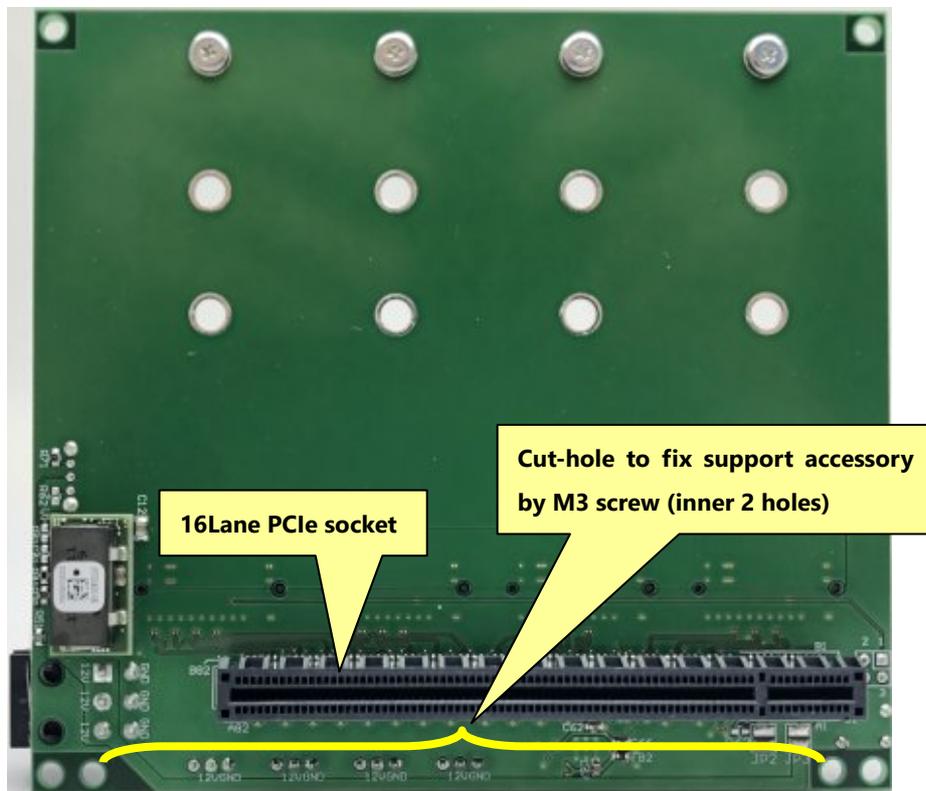


図 3: アダプタ基板の半田面

支持アクセサリ

本製品には以下の支持アクセサリ用付属品が同梱されています。

[付属品]

- 支持ボード 1 枚
- 蝶ねじ 2 個
- 30mm 長 M3 スペーサ(オス/メス) 2 個
- M3 ねじ 2 個

アダプタ基板を FPGA ボードと接続したときに向きが垂直方向となるよう正しく調整するための支持アクセサリは、付属品を使って以下図 4 のように取り付けてください。スペーサはアダプタ半田面側から M3 ねじを使いアダプタの内側の穴を通して固定してください。

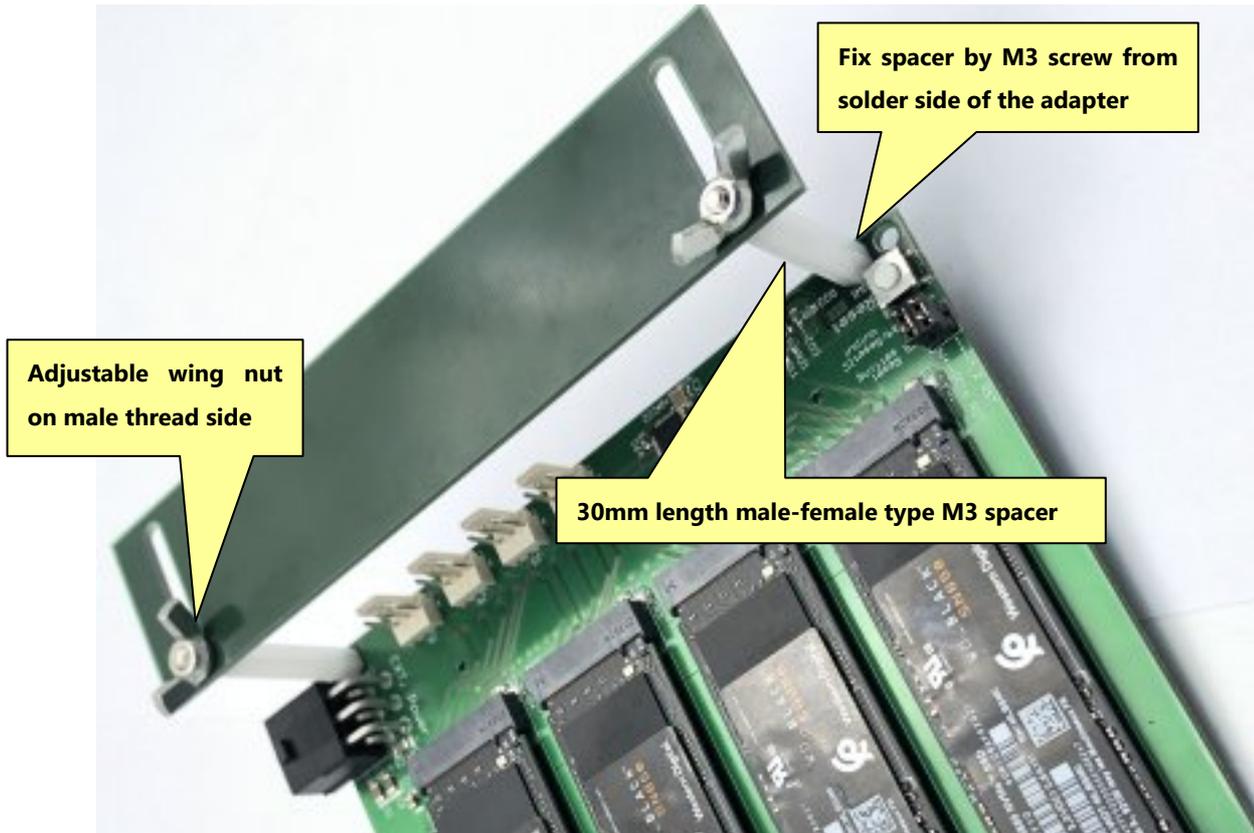


図 4: 支持アクセサリのアダプタ取付

電源

本アダプタは図 5 に示すように 6 ピンタイプの PCIe 補助電源から+12V を供給します。電源スイッチによりアダプタおよび装着された SSD への電源供給を制御できます。電源投入状態は電源スイッチ横の LED で確認可能です。

供給された 12V 電源はアダプタ内の DC/DC コンバータにて+3.3V 電源を生成しますが最大 20A の供給能力があります。この+3.3V 電源においては、アダプタ自体の消費電流は 100mA 程度と少ないため、M.2 SSD を最大の 4 枚装着した場合でも 1 枚当たりほぼ 5A 程度の電源供給が可能です。

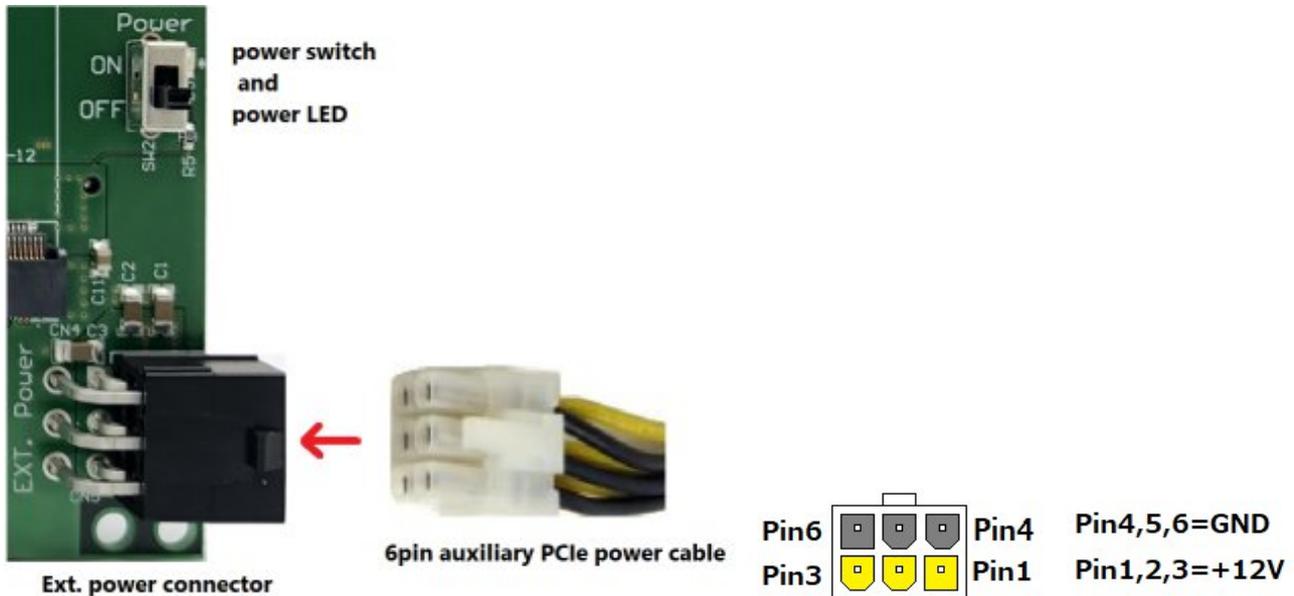


図 5: 電源スイッチ, PCIe 補助電源コネクタおよび電源ピンアサイン

冷却ファン用コネクタ

最新の高速 SSD を連続動作する場合、発熱した SSD をファン付きの放熱器等で冷却する必要があります。本アダプタには図 6 に示す位置に+12V を冷却ファン用に供給するファン用コネクタを 4 個実装しています。各コネクタのピンアサインは以下の通りです。

[冷却ファン用電源コネクタ J2-J5 ピンアサイン]

Pin#1: GND

Pin#2: +12V

Pin#3: (No Connect)

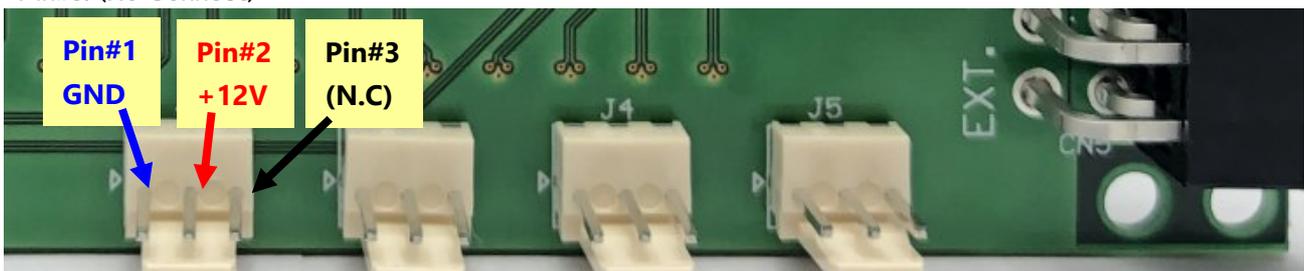
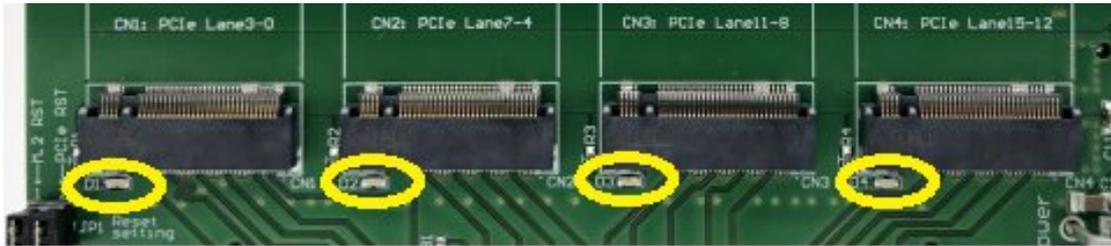


図 6: 冷却ファン用電源コネクタ

アクセス LED

各 M.2 コネクタ近傍には図 7 に示す位置に SSD のアクセス LED があり、それぞれの M.2 コネクタ 10 ピン(DAS/DSS 信号)が Low レベルで発光します。



SSD access LED : ON when M.2 pin#10 (DAS/DSS) is low.

図 7: 各 SSD のアクセス LED

クロック

本アダプタには PCI Express Gen5 規格対応のクロック・ジェネレータが実装されており、PCIe の差動クロックおよび全 4 チャンネルの M.2 SSD 用差動クロックに対して全て同一の位相でシステム・クロックが供給されます。クロック周波数は 100MHz 固定で変更できません。

リセット

本アダプタには PCIe および M.2 のリセット信号を生成するリセット IC、手動でリセット信号を発生するためのリセットスイッチ、各リセット系統を選択するための 2x2 ジャンパヘッダが実装されています。

リセット IC は+3.3V 電源の電圧レベルを常時モニタし約 3.0V を下回った場合にロウ・アクティブのリセット信号を出力します。またリセットスイッチ押下によっても同様に 100msec 程度のリセット信号パルスを生成します。

リセット信号の接続は図 8 に示す 2 列×2 本の 4 ピンヘッダ JP1 にソケットを挿入することで以下のように設定可能です。(工場出荷時のソケット設定は図 8 の 1-3 間および 2-4 間の接続となります。)

- 1-3 間ショート: リセット IC 出力と 4 個全ての M.2 SSD のリセットを接続
- 2-4 間ショート: リセット IC 出力と PCIe Express のリセットを接続
- 1-2 間ショート: PCIe Express のリセットと 4 個全ての M.2 SSD のリセットを接続

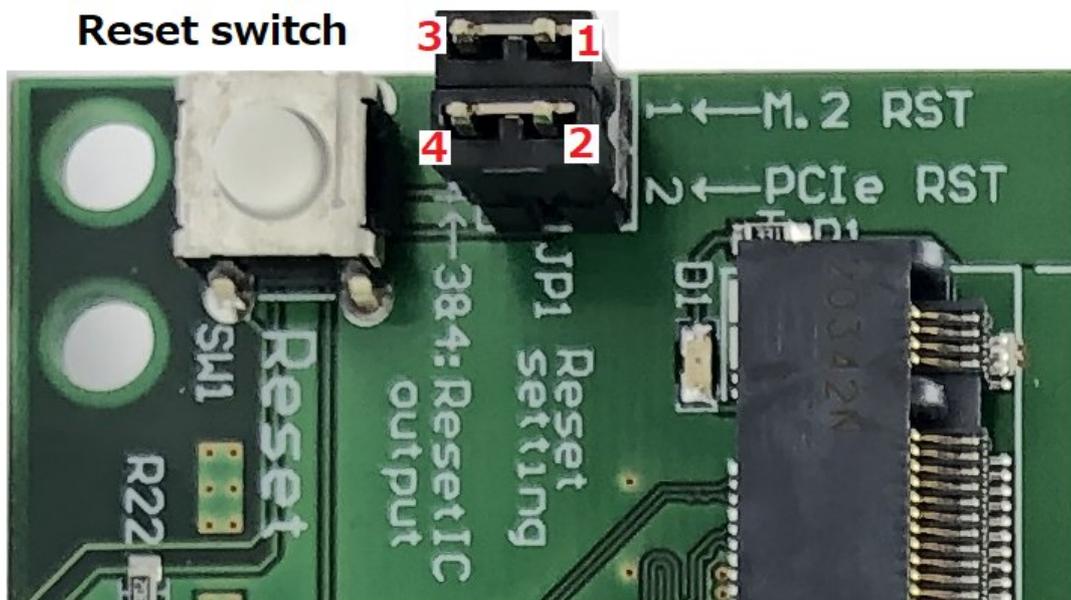


図 8: リセットスイッチ(SW1)とリセット設定用ピンヘッダ(JP1)

PCIe と各 M.2 SSD 間の接続

本アダプタにおける PCIe ソケットの各レーンと CN1-CN4 に装着した 4 台の M.2 SSD 間の接続は以下となります。

PCIe Lane# (signal direction)	PCIe signal name	PCIe Pin#	M.2 Conn.	M.2 Pin#
Lane0 Tx (FPGA->PCIe->M.2)	PERp0/PERn0	A16/A17	CN1	49/47
Lane0 Rx (FPGA<-PCIe<-M.2)	PETp0/PETn0	B14/B15	CN1	43/41
Lane1 Tx (FPGA->PCIe->M.2)	PERp1/PERn1	A21/A22	CN1	37/35
Lane1 Rx (FPGA<-PCIe<-M.2)	PETp1/PETn1	B19/B20	CN1	31/29
Lane2 Tx (FPGA->PCIe->M.2)	PERp2/PERn2	A25/A16	CN1	25/23
Lane2 Rx (FPGA<-PCIe<-M.2)	PETp2/PETn2	B23/B24	CN1	19/17
Lane3 Tx (FPGA->PCIe->M.2)	PERp3/PERn3	A29/A30	CN1	13/11
Lane3 Rx (FPGA<-PCIe<-M.2)	PETp3/PETn3	B27/B28	CN1	7/5
Lane4 Tx (FPGA->PCIe->M.2)	PERp4/PERn4	A35/A36	CN2	49/47
Lane4 Rx (FPGA<-PCIe<-M.2)	PETp4/PETn4	B33/B34	CN2	43/41
Lane5 Tx (FPGA->PCIe->M.2)	PERp5/PERn5	A39/A40	CN2	37/35
Lane5 Rx (FPGA<-PCIe<-M.2)	PETp5/PETn5	B37/B38	CN2	31/29
Lane6 Tx (FPGA->PCIe->M.2)	PERp6/PERn6	A43/A44	CN2	25/23
Lane6 Rx (FPGA<-PCIe<-M.2)	PETp6/PETn6	B41/B42	CN2	19/17
Lane7 Tx (FPGA->PCIe->M.2)	PERp7/PERn7	A47/A48	CN2	13/11
Lane7 Rx (FPGA<-PCIe<-M.2)	PETp7/PETn7	B45/B46	CN2	7/5
Lane8 Tx (FPGA->PCIe->M.2)	PERp8/PERn8	A52/A53	CN3	49/47
Lane8 Rx (FPGA<-PCIe<-M.2)	PETp8/PETn8	B50/B51	CN3	43/41
Lane9 Tx (FPGA->PCIe->M.2)	PERp9/PERn9	A56/A57	CN3	37/35
Lane9 Rx (FPGA<-PCIe<-M.2)	PETp9/PETn9	B54/B55	CN3	31/29
Lane10 Tx (FPGA->PCIe->M.2)	PERp10/PERn10	A60/A61	CN3	25/23
Lane10 Rx (FPGA<-PCIe<-M.2)	PETp10/PETn10	B58/B59	CN3	19/17
Lane11 Tx (FPGA->PCIe->M.2)	PERp11/PERn11	A64/A65	CN3	13/11
Lane11 Rx (FPGA<-PCIe<-M.2)	PETp11/PETn11	B62/B63	CN3	7/5
Lane12 Tx (FPGA->PCIe->M.2)	PERp12/PERn12	A68/A69	CN4	49/47
Lane12 Rx (FPGA<-PCIe<-M.2)	PETp12/PETn12	B66/B67	CN4	43/41
Lane13 Tx (FPGA->PCIe->M.2)	PERp13/PERn13	A72/A73	CN4	37/35
Lane13 Rx (FPGA<-PCIe<-M.2)	PETp13/PETn13	B74/B75	CN4	31/29
Lane14 Tx (FPGA->PCIe->M.2)	PERp14/PERn14	A76/A77	CN4	25/23
Lane14 Rx (FPGA<-PCIe<-M.2)	PETp14/PETn14	B70/B71	CN4	19/17
Lane15 Tx (FPGA->PCIe->M.2)	PERp15/PERn15	A80/A81	CN4	13/11
Lane15 Rx (FPGA<-PCIe<-M.2)	PETp15/PETn15	B78/B79	CN4	7/5

表 1: PCIe 各レーンと 4 台の M.2 SSD 間の接続

免責事項

本アダプタを誤って使用することにより生じた FPGA 評価基板あるいは SSD デバイスの損傷については、その一切を免責事項とさせていただきます。また、本アダプタ基板はあくまで評価を目的としたものであり、FPGA 評価基板や接続先 SSD デバイスの特性によっては正常に動作しない可能性があります。アダプタ基板の製造不良以外は免責となります。

[問い合わせ先]

URL : <http://www.dgway.com>

Email : info@dgway.com

改版履歴

リビジョン	日付	内容
1.0J	2023/04/15	日本語版の初版発行
1.1J	2023/11/21	表 1 にて CN2-CN4 の PCIe Pin#が Tx/Rx 間で逆になっていた記載ミスを修正