



Design Gateway Co.,Ltd

本社: 〒184-0012
 東京都小金井市中町 3-23-17
 電話/FAX: 050-3588-7915
 E-mail: sales@dgway.com
 URL: www.dgway.com

特長

- Serial ATA 規格 revision 3.0 に準拠
- ホスト側のみならずデバイス側の動作もサポート(SATA 周辺機器開発への応用が可能)
- シンプルな Host プロセッサ向けトランザクション I/F および DMA I/F
- 32bit データ・バス動作
- 送受信データパスでメモリ・ブロック 4KB の FIFO を実装
- PHY とインタフェースを取るための受信エラステック・バッファ機能
- SATA-III(6Gbps)をサポート(ArriaV GX/StratixV GX/ArriaV ST/Arria10 SoC)、または SATA-II(3Gbps)をサポート(CycloneV SX SoC)
- コアロジック自体はタイミングにフィットしやすい低速動作
 - SATA-III にて IP コアおよび PHY は 150MHz 動作
 - SATA-II にて IP コアおよび PHY は 75MHz 動作
- EMI 低減のための CONT プリミティブをサポート
- トランシーバ・ブロックで実装可能な 40bit 幅の PHY インターフェイス
- Altera 開発キットによる購入前の Host 機能実機評価が可能
(別売の AB11-HSMCSATA/AB12-HSMCRAID/AB09-FMCRAID アダプタ等が必要)
- 安心の国内サポート
- 多数のリファレンス・デザインが用意(ホスト・デモ/デバイス・デモ/RAID0 デモ/exFAT デモ/AHCI デモ等)
 - ✓ 1 チャンネル SATA ホスト・リファレンス・デザイン (CycloneV SX SoC/ArriaV GX スタータ/ArriaV ST SoC/StratixV GX/Arria10SoC 各ボード)
 - ✓ 4 チャンネル SATA RAID0 リファレンス・デザイン(ArriaV GX スタータ/StratixV GX 各ボード)
 - ✓ 1 チャンネル exFAT 対応 SATA ホスト・リファレンス・デザイン(ArriaV GX スタータ・ボード)
 - ✓ LinuxOS 対応 SATA AHCI IP リファレンス・デザイン(CycloneV SX/ArriaV ST/Arria10SoC 各ボード)
 - ✓ 1 チャンネル SATA ホスト IP リファレンス・デザイン(ArriaV GX スタータ/Arria10SoC 各ボード)
 - ✓ 4 チャンネル SATA ホスト IP 応用 RAID0 リファレンス・デザイン(ArriaV GX スタータ/Arria10SoC 各ボード)

Core Facts	
コアの提供情報	
提供ドキュメント	リファレンスデザインマニュアル Simulation ドキュメント
提供形態	暗号化されたネットリスト ユーザ PC に対応したライセンス・ファイル
制約ファイル	リファレンスデザインで制約ファイルを提供
検証方法	機能シミュレーション(ModelSIM Altera) Altera 開発キットによる実機動作
リファレンスデザイン 情報	コアのインスタンスは VHDL で記述 QuartusII プロジェクト
シミュレーション検証ツール	
ModelSim-Altera Edition	
技術サポート	
デザイン・ゲートウェイによる国内サポート	

表 1: コンパイル結果

Family	Example Device	Fmax (MHz)	ALMs	Registers ¹	Pin ²	Block Memory bit	Transceiver ³	Design Tools
CycloneV SX	5CSXFC6D6F31C6	250	668	1,135	194	33,792	1	QuartusII 15.1
ArriaV GX	5AGXFB3H4F35C4	263	691	1,129	194	33,792	1	QuartusII 15.1
ArriaV ST	5ASTFD5K3F40I3	263	688	1,145	194	33,792	1	QuartusII 15.1
StratixV GX	5SGXEA7K2F40C2	450	678	1,129	194	33,792	1	QuartusII 14.0
Arria10 SX	10AS066N3F40E2SGE2	500	684	1,106	194	33,792	1	QuartusII 15.1

注:

- 1) 実際のスライス消費カウントはユーザ・ロジックやフィット条件等に依存します
- 2) このサンプルはコアの全 I/O とクロックがチップ外部と直接インターフェイスするケースでのコンパイル結果となります
- 3) トランシーバは SATA-IP コア自体では使用しませんが、PHY レイヤにて必要となるため表1に含めております

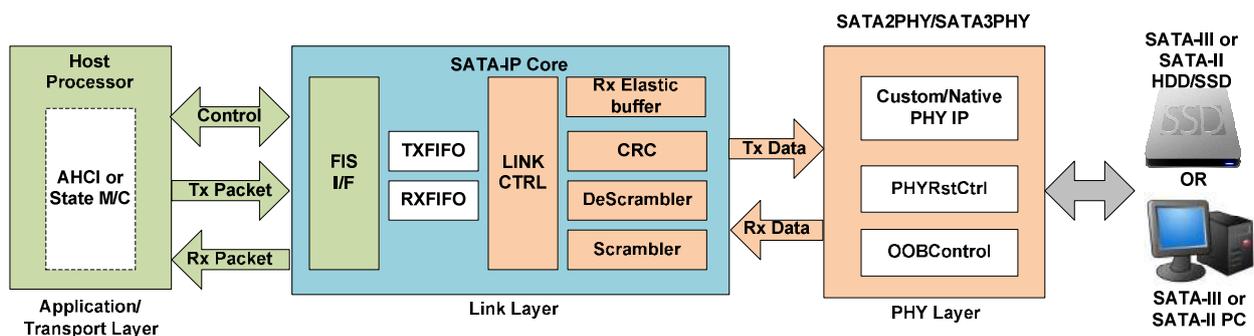


図1: SATA IP ブロック図

アプリケーション情報

SATA IPコアは低コストかつ高速データ転送を必要とするストレージ向けのアプリケーションに最適です。また、スケラビリティに対する柔軟な拡張性が要求されるRAIDシステムや高速大容量のデータ収集システムのような組み込み向けとしても理想的なソリューションを提供します。

さらに SATA Host のみならず SATA Device 側としての動作もサポートしているため、SATA 周辺機器や SATA ブリッジへの応用も可能です。

概略

SATA-IPコアはリンク・レイヤとトランスポート・レイヤの一部を内蔵し、Hostプロセッサが管理する上位のプロトコル・レイヤおよびトランシーバで実装されるPHYレイヤと通信します。IPの上位レイヤ・インターフェイス側はシンプルなデータ幅32ビットのTX/RX方式によるトランザクション・インターフェイス(転送同期クロックはSATA-IIIで150MHzかそれ以上、SATA-IIで75MHzかそれ以上)となり、NiosIIやARMコア等のFPGA内部プロセッサと非常に簡単に接続できます。PHYインターフェイスは40bit幅で、6.0GbpsのSATA-IIIまたは3.0GbpsのSATA-IIに対応するため150MHzまたは75MHzのリファレンス・クロックに同期します。

SATA-IP コアには Host 機能を実機動作する無償のデモ用ビットファイルが用意されているため、購入前の実デバイスによるコア評価が可能です。実機評価環境としては Altera 製評価キットと、別売の DesignGateway 製 SATA アダプタ基板が必要です。また、この実機動作可能なリファレンス・デザインは IP コア製品に QuartusII/NiosII プロジェクトが標準添付され、ネットリスト提供のコア以外の全デザインがソースコードで示されます。リファレンス・デザインは 4 チャンネル RAID0 デザインも含まれるため(ただし SATA-IP-C5SX を除く)、RAID アプリケーション製品開発にも役立ちます。製品添付のリファレンス・デザインを参照することで、コア導入後の迅速なユーザ・ロジック開発に貢献します。

また、別売オプション製品となりますが接続した SATA デバイスに対して exFAT ファイルシステムを使ってリード・ライト・アクセスが可能なリファレンス・デザインが提供可能です。このデザインは NiosII ファームウェアで実装されており、C ソースコードで提供されます。このデザインを参照することで Windows 等の各種 OS に対してファイル・システムで互換性を取るアプリケーション製品の開発に貢献します。

機能ブロックの説明

SATA-IP は上位レイヤ内で実装されるシステム・コントローラによって制御され、SATA の FIS パケットが IP コア内で実装された以下の機能ブロックによってシステムメモリに対して転送するよう設計されております。

リンク・レイヤ(Link Layer)

リンク・レイヤはフレームの送受信を行います。トランスポート・レイヤからの制御信号に基づいてプリミティブを生成し送信します。また SATA-PHY レイヤからの受信プリミティブを変換しトランスポート・レイヤに対してフレームを転送します。

- **CRC ブロック**
CRC ブロックは最後の FIS データに引き続いて EOF プリミティブの前に挿入される Dword(32bit)の CRC フレームを生成します。
- **Scramble ブロック**
フレーム内データは SATA-PHY に対して転送される前に本ブロックで scramble されます。scramble は Dword ごとに LFSR データと XOR を取ることによって実行されます。
- **Descramble ブロック**
SATA-PHY からのフレームデータは本ブロックによって descramble された後にトランスポート・レイヤに転送されます。descramble は scramble と同じ方法で実行することで FIS データを再生します。

トランスポート・レイヤ(Transport Layer)

トランスポート・レイヤは送信時に frame information structure (FIS)を構築し、受信時には FIS を分解します。また、リンク・レイヤに対してデータフロー制御を指示し、上位レイヤに対してはステータス信号を生成します。

- **FIS Interface**
FIS インターフェイス部では上位レイヤ側に対して送受信時に必要となるデータフロー制御が実装されます。

システム・コントローラ(System Controller)

システム・コントローラとしては一般的にはアプリケーション・ソフトウェアを実行する CPU 等の Host プロセッサが使われ、SATA-IP と通信することで SATA プロトコルの上位レイヤを管理します。システム・コントローラは CPU(リファレンス・デザインでは NiosII)、DMA エンジン、TX FIFO、RX FIFO などから構成されます。

SATA PHY

SATA PHY レイヤは FPGA トランシーバ・ブロックを内蔵します。PHY レイヤの具体的な実装方法は、IP コア製品に添付されるリファレンス・デザインにソースコードで参照可能です。リファレンス・デザイン添付の PHY レイヤは Altera 評価キットおよび DesignGateway 社製 SATA アダプタ基板と市販の SATA-III デバイスで実機動作が検証済みです。

IP コアの I/O 信号説明

IP コアの全 I/O 信号を下表 2 に示します。

信号名	方向	極性	説明
共通インターフェイス信号			
trn_reset	In	Pos	コアのロジックをリセットする非同期リセット信号。 本リセット発行時は trn_clk で4クロック期間以上アサートする必要がある。
trn_link_up	Out	Pos	コアと SATA-PHY との通信が確立されると本トランザクション・リンク・アップ信号がアサートされる。
trn_clk	In	-	コアに対して供給するホストとのトランザクション・インターフェイス信号(trn_xxx)用のクロック信号。 trn_clk の周波数は core_clk と同じかそれ以上とする必要がある。
core_clk	In	-	IP コアの動作クロック。(SATA-III の場合 150MHz,SATA- II の場合 75MHz) 本 core_clk は PHYCLK を PLL にて2分周され、位相が PHYCLK と一致したものを使う必要がある。
dev_host_n	In	Neg	コアが SATA Host と SATA Device のどちらとして使われるかを指定する。 本信号はデザイン内で固定入力とし動的に変化させてはならない。 SATA Host の場合 '0' とし SATA Device の場合 '1' とする。

表2: IP コアの I/O 信号

信号名	方向	極性	説明
送信トランザクション・インターフェイス信号 (これらの信号は全て trn_clk に同期します)			
trn_tsof_n	In	Neg	(現在未使用)
trn_teof_n	In	Neg	Transmit End-Of-Frame (EOF): 送信 SATA FIS パケットの終了信号。
trn_td[31:0]	In	Pos	Transmit Data: 送信 FIS パケットの 32 ビット・データ信号。
trn_tsrc_rdy_n	In	Neg	Transmit Source Ready: 上位レイヤは trn_td[31:0] に有効な送信データを用意し本信号を Low とすることで転送を要求する。
trn_tdst_rdy_n	Out	Neg	Transmit Destination Ready: コアは上位レイヤから送られる送信データを trn_td[31:0] で受け取ることができる状態を示す信号。 trn_tsrc_rdy_n は本信号がネゲートされてから 4trn_clk 期間以内にネゲートする必要がある。すなわち IP コアは本信号をネゲートしてから 4DWORD 分までの送信データ(trn_td[31:0])を受け取ることが可能。
trn_tsrc_dsc_n	In	Neg	Transmit Source Abort: 現在の SATA FIS パケット送信の中断要求。 上位レイヤが trn_tsof_n(SOF)~trn_teof_n(EOF)間に本信号を 1trn_clk 期間 Low アサートすることで、SYNC プリミティブを SATA 接続相手へ出力(SYNC Escape)し現在の送信転送を中断する。送信実行中でないときに本信号をアサートするとコアによって無視される。本信号により SYNC Escape を実行した場合、上位レイヤが次のパケット送信を開始するためには trn_tdst_rdy_n が再度アクティブになるのを待たなくてはならない。本信号の詳細なタイミングについては図 4 を参照のこと。
trn_tdst_dsc_n	Out	Neg	Transmit Destination Abort: コアは現在の SATA FIS パケット送信が接続相手の SYNC Escape により中断されたことを示す。送信実行中に接続相手の SATA デバイスからの SYNCp 受信により送信データ転送が中断された場合に 1trn_clk 期間の Low パルス信号で出力され、その後 IP コアは SATA 規格に準拠した動作シーケンスをとってアイドル状態に自動復帰する。この信号は致命的な通信エラーが原因となって SATA 接続相手から転送が中断されたことを意味する。本信号の詳細なタイミングについては図 6 を参照のこと。

表2: IP コアの I/O 信号(続き)

信号名	方向	極性	説明
受診トランザクション・インターフェイス信号 (これらの信号は全て trn_clk に同期します)			
trn_rsof_n	Out	Neg	Receive Start-Of-Frame (SOF): 受信 SATA FIS パケットの開始信号。
trn_reof_n	Out	Neg	Receive End-Of-Frame (EOF): 受信 SATA FIS パケットの終了信号。
trn_rd[31:0]	Out	Pos	Receive Data: 受信 FIS パケットの 32 ビット・データ信号。
trn_rsrc_rdy_n	Out	Neg	Receive Source Ready: コアが有効な受信データを trn_rd[31:0]に出力されている状態を示す。
trn_rdst_rdy_n	In	Neg	Receive Destination Ready: 上位レイヤが trn_rd[31:0]で受信データを受け取ることができる状態を示す信号。 trn_rsrc_rdy_n は本信号がネゲートされてから 4trn_clk 期間以内にコアによってネゲートされる。従って上位レイヤは本信号をネゲートして以降にコアから送られてくる最大 4DWORD 分の受信データ(trn_rd[31:0])を受け取ることが可能な回路を実装しなくてはならない。
trn_rsrc_dsc_n	Out	Neg	Receive Source Abort: コアは現在の SATA FIS パケット受信が接続相手の SYNC Escape により中断されたことを示す。 受信実行中に接続相手の SATA デバイスからの SYNCp 受信により受信データ転送が中断された場合に 1trn_clk 期間の Low パルス信号で出力され、その後 IP コアは SATA 規格に準拠した動作シーケンスをとってアイドル状態に自動復帰する。この信号は致命的な通信エラーが原因となって SATA 接続相手から転送が中断されたことを意味する。本信号の詳細なタイミングについては図 7 を参照のこと。
trn_rdst_dsc_n	In	Neg	Receive Destination Abort: 現在の SATA FIS パケット受信の中断要求。 上位レイヤが trn_rsof_n(SOF)~trn_reof_n(EOF)間に本信号を 1trn_clk 期間以上 Low アサートすることで、SYNC プリミティブを SATA 接続相手に出力し現在の受信転送を中断する。転送実行中でないときに本信号をアサートするとコアによって無視される。本信号により SYNC エスケープを実行した場合、上位レイヤが次のパケット送信を開始するためには trn_rdst_rdy_n が再度アクティブになるのを待たなくてはならない。本信号の詳細なタイミングについては図 5 を参照のこと。

信号名	方向	同期クロック	説明
SATA PHY インターフェイス信号 (これらの信号の極性は全て正論理です)			
LINKUP	In	core_clk	SATA リンクの通信が確立されていることを示す。
PLLLOCK	In	core_clk	SATA PHY レイヤの PLL がロックできていることを示す。
TXDATA[31:0]	Out	core_clk	コアから PHY レイヤへの 32 ビット送信データ
TXDATAK[3:0]	Out	core_clk	4 ビットの送信データ/制御シンボル信号 ("0000": データバイト, "0001": 制御バイト, その他: 未定義)
RECCLK	In		PHY レイヤからの受信データに同期するリカバリ・クロック
RXDATA[15:0]	In	RECCLK	PHY レイヤからコアへの 32 ビット受信データ
RXDATAK[1:0]	In	RECCLK	4 ビットの受信データ/制御シンボル信号 ("0000": データバイト, "0001": 制御バイト, その他: 未定義)
RXDATAVALID	In	RECCLK	PHY レイヤからの RXDATA 信号が有効であることを示す
RXDATAOUT[15:0]	Out	core_clk	エラスティック・バッファを通した RXDATA 信号で core_clk に同期したもの
RXDATAKOUT[1:0]	Out	core_clk	エラスティック・バッファを通した RXDATAK 信号で core_clk に同期したもの
RXDATAVALIDOUT	Out	core_clk	RXDATAOUT 信号が有効であることを示す

表2: IP コアの I/O 信号(続き)

上位レイヤ・インターフェイスのタイミング

データ送信においては図2 で示されるように、コアからのtrn_tdst_rdy_n がLow となり転送準備が整っていることを確認する必要があります。そしてtrn_tsrc_rdy_n をアサートすることで最初のデータ転送を開始します。また、trn_teof_n とtrn_tsrc_rdy_n の両方をアサートすることで最終のデータ転送となります。転送中コアからのtrn_tdst_rdy_n がネゲートされた場合、上位レイヤは4クロック以内にtrn_tsrc_rdy_n ネゲートし転送を一時停止しなくてはなりません。コアはtrn_tsrc_rdy_n がアサートされている期間に上位レイヤからのtrn_td[31:0]を有効な送信データ信号として取り込みます。上位レイヤからコアへのデータ送信が終了した後、上位レイヤはデバイスから送られてくるエラー・コード・パケットの受信を待ち、全データがエラーなく転送されたことを確認します。

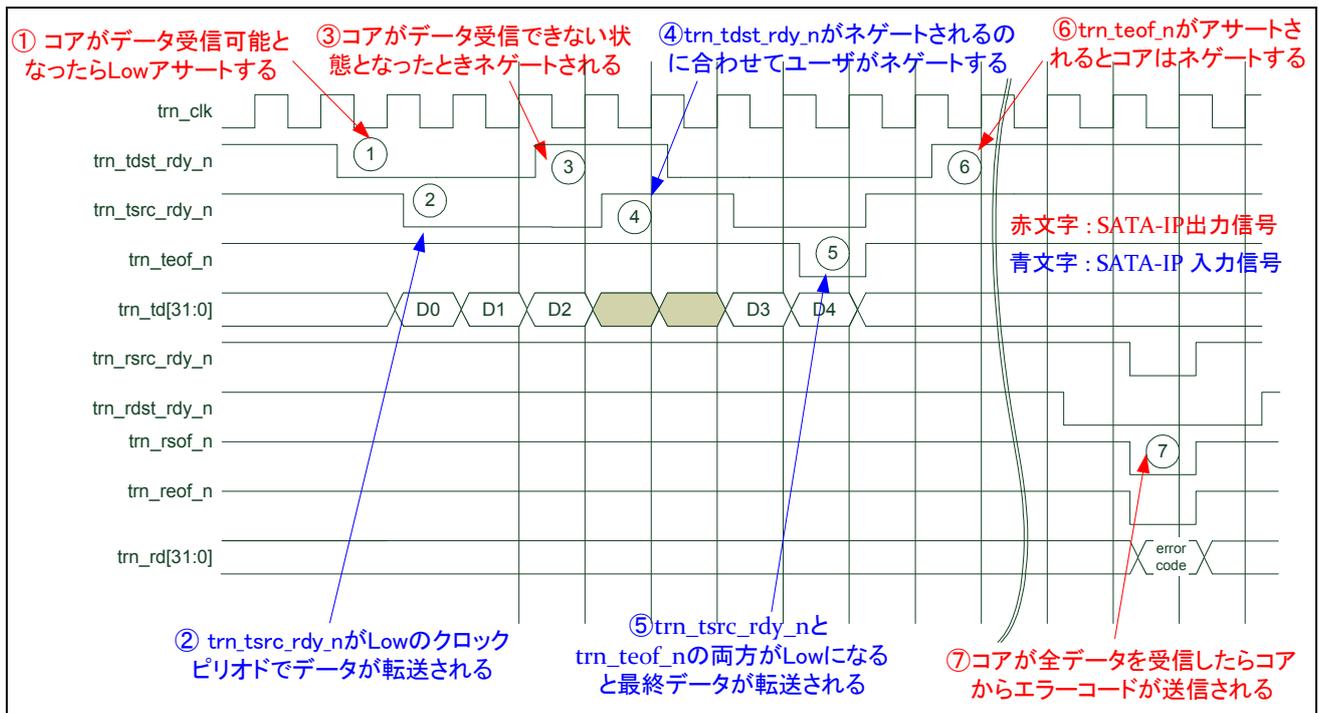


図2：送信トランザクションのインターフェイス信号波形

データ受信においてもデータ送信と同様、図3 で示されるように最初のデータはtrn_rdst_rdy_n がアサートされてから転送されます。trn_rdst_rdy_n は上位レイヤ側で内蔵したバッファが一杯になるより少なくとも4クロック前にはネゲートしなくてはなりません。コアから上位レイヤへのパケット受信が完了した後、上位レイヤは更にデバイスからのエラーコード・パケットの受信を待つことになります。

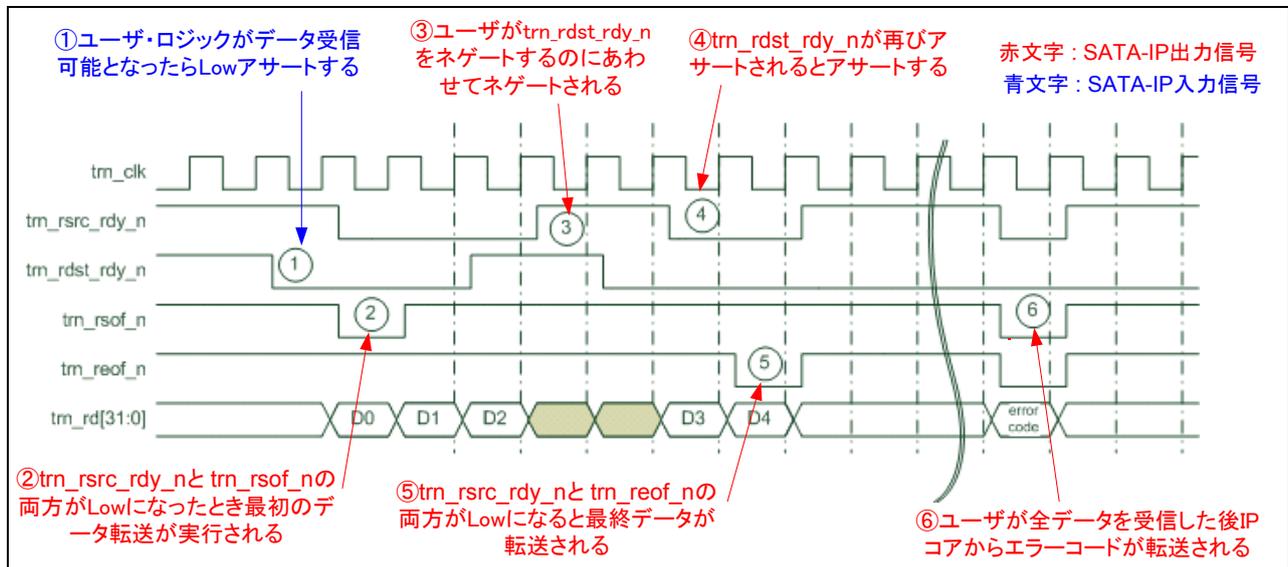


図3: 受信トランザクションのインターフェイス信号波形

エラー・コード

図2 および図3 の波形で示されるように、トランザクションの最後にはコアからtrn_rd[31:0]上に32 ビットのエラー・コードが出力されます。上位レイヤは送受信トランザクション完了時に、データ・パケットが正しく送受信できたかどうかをエラー・コードを使って必ず確認するようにしてください。ただし送信中のtrn_tdst_dsc_nや受信中のtrn_rsrc_dsc_nによりSATA 接続相手から転送が中断されてしまった場合は、トランザクション自体が中断されコアはアイドル状態に戻るため、コアからは本エラー・コードが報告されません。コアが出力するエラー・コードの詳細を下表3 に示します。また、エラー情報はエラー・コードの転送直後にコア内部にて自動的にクリアされます。

ビット	定義	説明
[31:27]	(未使用)	常にゼロ
[26]	方向フラグ	データ転送方向フラグ。 '0': 上位レイヤから SATA IP の送信方向、'1': SATAIP から上位レイヤへの受信方向
[25:24]	エラー・フラグ	エラー・コードのフラグ '00': エラーなし、この場合上位レイヤは特に何も処理する必要がない。 '01': 誤ったあるいは未知の FIS パケット受信。リードデータ受信中に接続相手から WTERM プリミティブが送られてきたか、あるいはライトデータ送信時の最後に、接続相手から R_ERR プリミティブが送られてきたことを示すエラー。(*注) '10': CRC エラー '11': (未使用)
[23:8]	(未使用)	常にゼロ
[7:0]	FIS タイプ	このバイトはエラー・コード・パケットのヘッダを意味するため、他の SATA FIS と区別するため"0xEF"がセットされる。

表 3: エラー・コード

(*注)

SATA においては自分が接続相手から誤った FIS タイプのパケットを受信した場合、自分は相手に対して R_ERR プリミティブをパケットの最後に送信するか、転送の途中で SYNC プリミティブを送信すること(SYNC Escape)でエラー検出を通知します。

本 SATA-IP を使っての実装では、相手から R_ERR プリミティブを受信した場合は本エラー・コード'01' を使って上位レイヤに伝えることで、上位レイヤは「自分が間違えた FIS タイプのパケットを相手に送ってしまった」ことを検出できます。また相手が R_ERR プリミティブを送信するのではなく SYNC Escape で中断してきた場合は、図 6 のように trn_tdst_dsc_n(送信時の相手からの中断)または図 7 のように trn_rsrc_dsc_n(受信時の相手からの中断)によって上位レイヤ側は中断を検出します。

一方、接続相手から誤った FIS タイプのパケットを受信した場合については、SATAIP は FIS タイプを含め全てのパケットを上位レイヤに転送するだけで特にエラー・コードでの報告はなされません。この場合、上位レイヤが誤った FIS タイプのパケット受信を検出できるため、それ(接続相手からの誤った FIS タイプ・パケットの受信)に対してどのように処理を進めるかを上位レイヤ自身で決めることができます。

SYNC Escape

SATA 規格においては転送の実行中において SYNC プリミティブを送信することで、転送そのものを中断することができます、これを SYNC Escape と呼びます。上位レイヤからの中断要求により SYNC Escape を発生する場合の波形について、送信時の中断要求を図 4 に、受信時の中断要求を図 5 に示します。(図中の説明文にて赤フォントがコアからの出力信号で青フォントが上位レイヤによるコアへの入力信号です。)

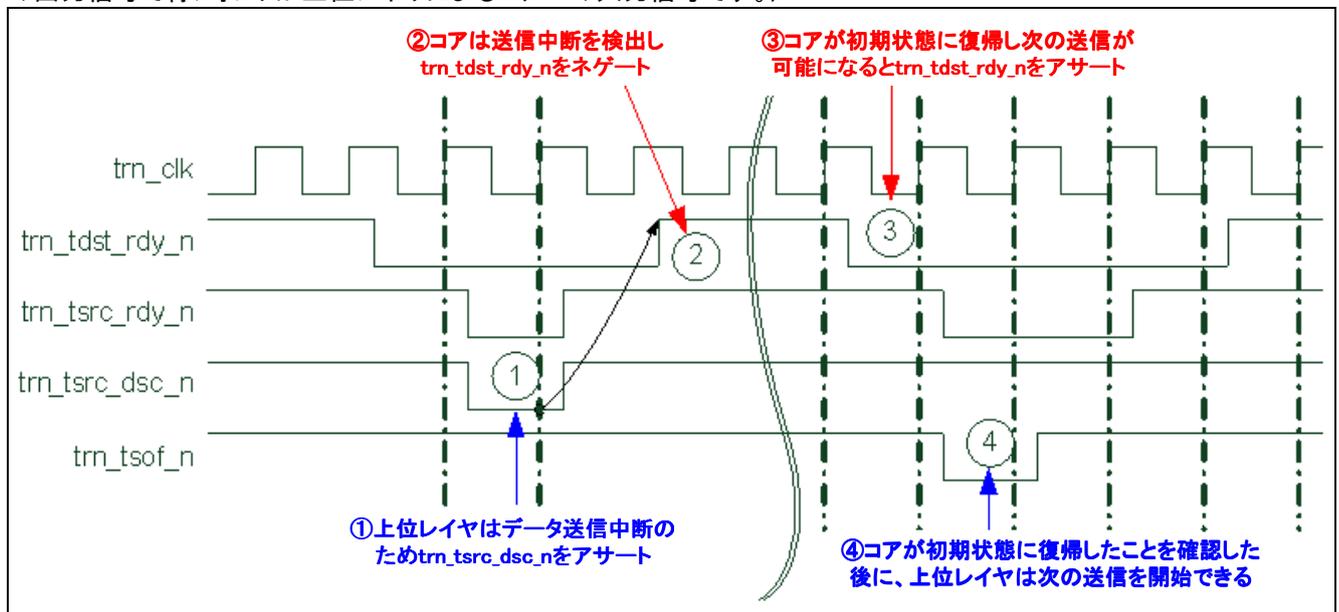


図 4 : `trn_tsrc_dsc_n`(送信時上位レイヤからコアへの中断要求)タイミング波形

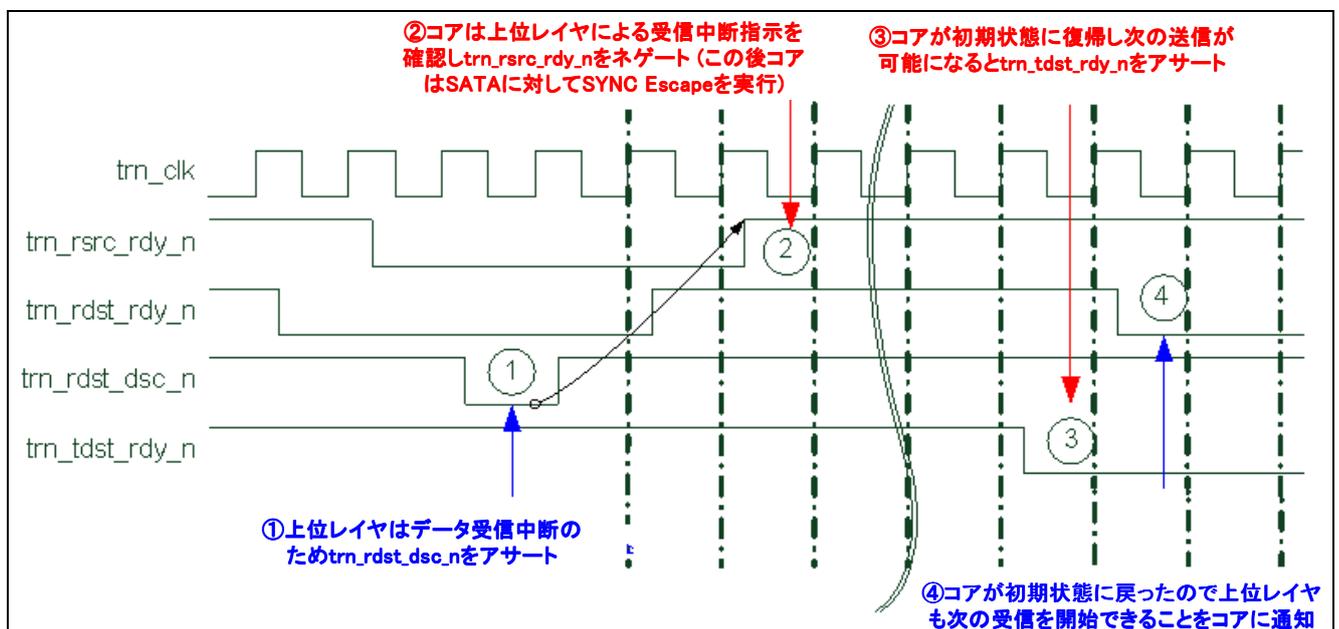


図 5 : `trn_rdst_dsc_n`(受信時上位レイヤからコアへの中断要求)タイミング波形

一方、接続相手の SATA デバイス側が SYNC Escape を実行し転送が中断された場合の波形について、送信時の中断報告を図 6 に、受信時の中断報告を図 7 に示します。(図中の説明文にて赤フォントがコアからの出力信号で青フォントが上位レイヤによるコアへの入力信号です。)

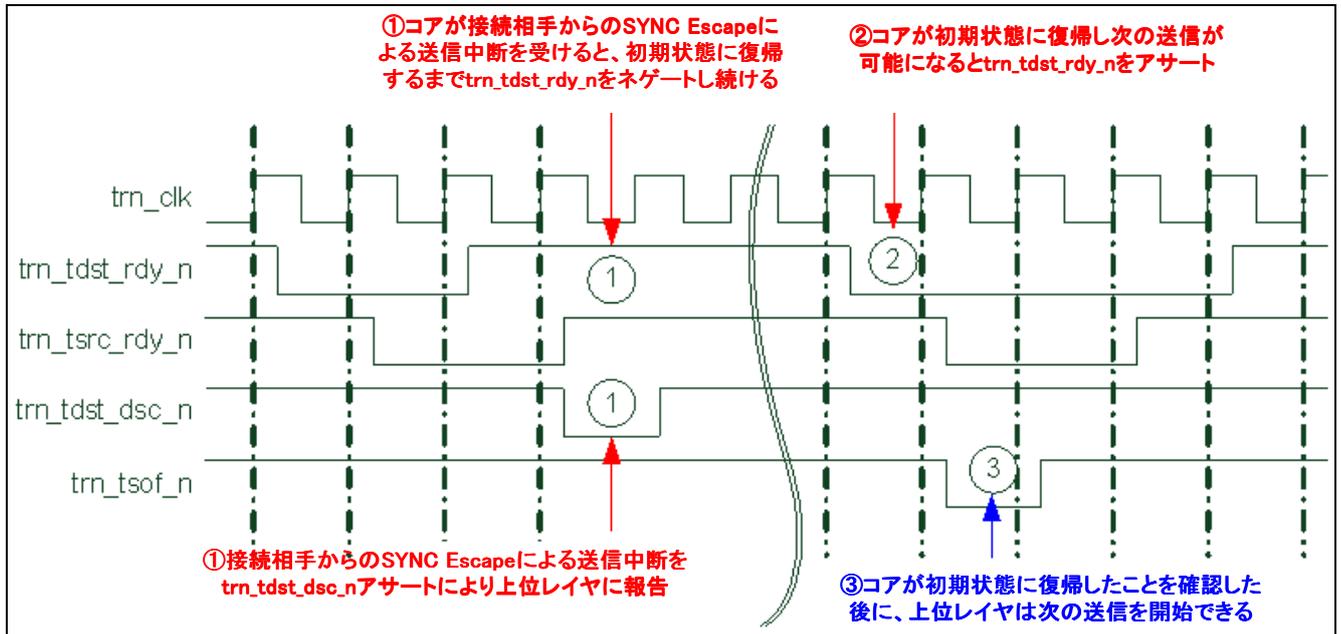


図 6 : `trn_tdst_dsc_n`(送信時コアから上位レイヤへの中断報告)タイミング波形

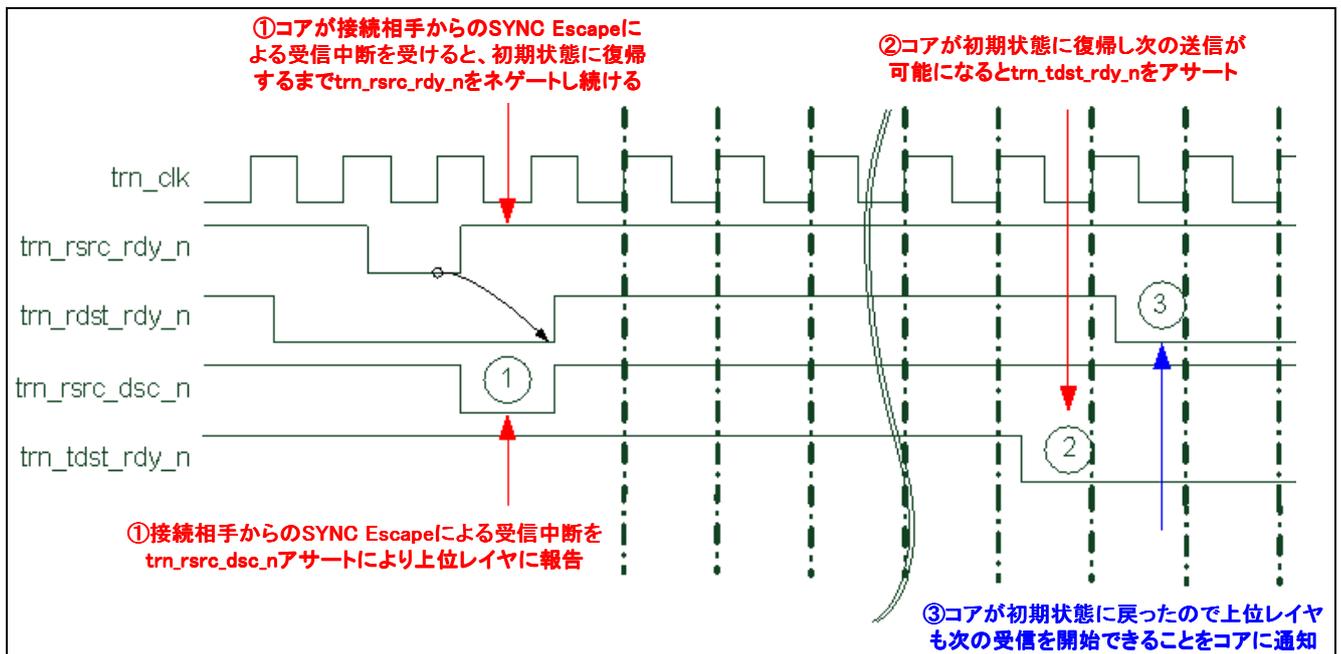


図 7 : `trn_rsrc_dsc_n`(受信時コアから上位レイヤへの中断報告)タイミング波形

コアの検証方法

SATA IP コア製品にはユーザ・インタフェースの基本動作を検証するためのシミュレーション環境が含まれます。またAltera各評価キットを使っての実機での動作検証を可能とするリファレンス・デザイン・プロジェクトも同梱されます。ドキュメントで示されていない細かい信号タイミング等については、リファレンス・デザインにSignalTAP を挿入して実機動作させることで、実波形を観測・確認することが可能です。

必要とされる環境と設計スキルに関して

本コアの実機動作確認やデザイン・ゲートウェイ社へのサポート依頼にはデバイス・ファミリー毎に指定されたAltera評価キットと別売のデザイン・ゲートウェイ社製AB11-HSMCSATA/AB12-HSMCRAID/AB09-FMCRAIDアダプタが必要となりますので、ユーザ側にてコア購入時までに手配してください。

また、本コアを使ってユーザ・システムを迅速・確実に実装するためには、HDL 言語設計技術、トランシーバ(ArriaV GX)実装技術、およびAltera の統合開発環境のデザイン・スキルを必要とします。ユーザ・システムの基板デザインにおいてはAltera社サイトのBoard Design Resource Centerの内容に記載されているガイドラインを遵守する必要がありますので、必ず以下を参照してください。

参照URL: <http://www.altera.co.jp/technology/signal/board-design-guidelines/sgl-bdg-index.html>

注文情報

本データシートに記載されたSATA IPコアおよび動作検証用評価キットはデバイス・ファミリー毎に以下の型番となります。動作検証にはDesignGateway社製SATAアダプタも必要となるため、以下の対応SATAアダプタも手配が必要となります。検証用Altera評価キットの拡張I/F種別(HSMC or FMC)ごとにSATAアダプタが異なりますのでご注意ください。

デバイス・ファミリー	IP コア型番	検証用 Altera 評価キット	対応 SATA アダプタ
CycloneV SX	SATA-IP-C5SX	DK-DEV-5CSXC6N	AB11-HSMCSATA
ArriaV GX	SATA-IP-A5GX	DK-START-5AGXB3N	AB11-HSMCSATA or AB12-HSMCRAID
ArriaV ST	SATA-IP-A5ST	DK-DEV-5ASTD5N	AB09-FMCRAID
StratixV GX	SATA-IP-S5GX	DK-DEV-5SGXEA7N	AB11-HSMCSATA or AB12-HSMCRAID
Arria10 SX	SATA-IP-A10SX	DK-SOC-10AS066S-A	AB09-FMCRAID

(注: Altera評価キットの拡張I/FがHSMCの場合、SATA評価チャンネル数が1チャンネルだけで十分であればAB11-HSMCSATAを、複数チャンネル必要な場合はAB12-HSMCRAIDを入手してください。ただしAB12-HSMCRAIDは1チャンネルのみの評価も可能です。)

IP コアの価格やライセンス条件等についてはデザイン・ゲートウェイ (sales@dgway.com) または国内Altera 各代理店までお問い合わせください。

履歴

リビジョン	日付	更新内容
1.0J	2013/08/22	日本語版の初期版リリース
1.1J	2013/09/09	オプションの exFAT リファレンス・デザインの記述を追加
1.4J	2016/07/07	Stratix,Arria,Cyclone の各 V シリーズと Arria10SoC 対応版のデータシートを統合
1.5J	2017/02/09	リソース消費情報を更新