

# シリアル ATA-IP コアのご紹介

2010/1/26

## IP コア概略

デザイン・ゲートウェイのシリアル ATA(SATA) IP コアは、Serial ATA Revision 2.6 に準拠しており、Xilinx 製 Virtex5 および Spartan6 デバイスで動作するようデザインされています。

本 IP コアはリンク層のみの提供となっており、リファレンスデザインとしてトランスポート層および Xilinx 社提供 3.0Gbps SATA-II インタフェース用 20ビット 150MHz RocketIO GTP 物理層デザインが用意されています。これにより、PHY チップなしで SATA-II ハードディスクとの接続が可能となっております。

また、Xilinx 社製 ML505/ML506 および SP605 ボード用デモファイルを準備しておりますので、購入前に本コアを実機で評価・お試し頂けます。



## 特長

- Serial ATA 規格 revision 2.6 に準拠
- ホスト側のみならずデバイス側の動作もサポート(SATA 周辺機器開発への応用が可能)
- シンプルな Host プロセッサ向けトランザクション I/F および DMA I/F
- Host I/F は 32bit 幅
- 送受信データパスで BlockRAM による 4KB の FIFO を実装
- SATA II (SATA-I も PHY 部への設定を変更することにより対応可能)
- コアロジック自体はタイミングにフィットしやすい低速動作
  - SATA- II の場合、IP コア部は 75.0MHz 動作で PHY 部は 150MHz 動作
  - SATA-I の場合、IP コア部は 37.5MHz 動作で PHY 部は 75MHz 動作
- EMI 低減のための CONT プリミティブをサポート
- Virtex5 GTP で実装可能な 20bit 幅の PHY インターフェイス
- ML505/ML506 および SP605 ボードによる購入前のコア実機評価が可能
- 安心の国内サポート

## ブロック図

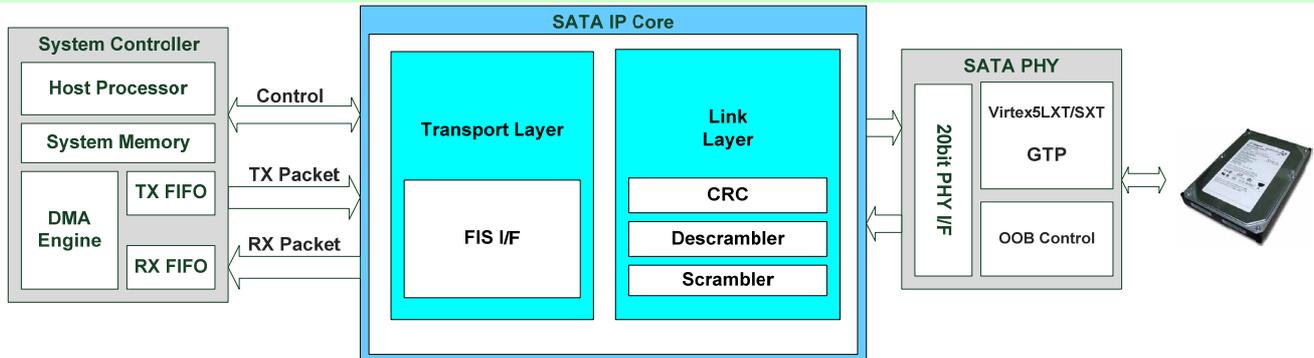


図 1 SATA-IP コア ブロック図

## 使用リソース

表1: コンパイル結果

Family	Example Device	Fmax (MHz)	Slices <sup>1</sup>	IOB <sup>2</sup>	GCLK	BRAM	MULT/ DSP48/E	DCM / CMT	MGT	Design Tools
Virtex <sup>®</sup> -5 (SXT)	XC5V50T-1FFG1136C	208	579	121	6	2	0	2	1	ISE <sup>®</sup> 10.1.03i
Spartan-6 LXT	XC6SLX45T-3FGG484	227	514	121	3	2	0	1	1	ISE <sup>®</sup> 11.1.04i

備考:

- 1) 実際のスライス消費カウントはユーザロジックやフィット条件等に依存します
- 2) このサンプルはコアの全 I/O とクロックがチップ外部と直接インターフェイスするケースでのコンパイル結果となります
- 3) Virtex-5 用 SATA-IP コア自体では GCLK, DCM, MGT は使用しませんが、PHY レイヤにて必要となるため表1に含めております。また、自動速度ネゴシエーション機能を使わず SATA-II 又は SATA-I 固定速度とした場合、消費リソースは 1DCM と 4GCLK となります

## 提供物

本 IP 納品時には下記の物が含まれます。

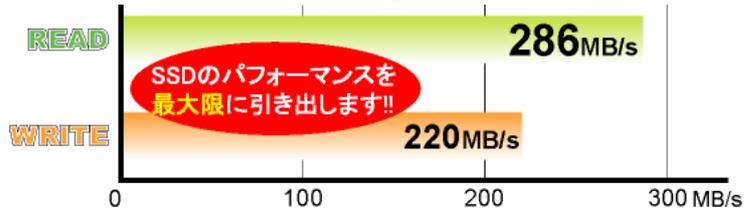
- NGC 形式 IP コアネットリスト
- テストベンチ, Simulation ライブラリ
- ISE/EDK プロジェクトリファレンスデザイン(ML505・ML506・SP605 用があります)
- データシート、ユーザガイド、デザインガイド

## 動作確認状況・パフォーマンス

本 IP コアは SATA-II に対応しているため、HDD および SSD のパフォーマンスを最大限に引き出します。

Seagate, IBM/Hitachi, WesternDigital および Samsung 製 HDD、Intel および PhotoFast 製 SSD での動作を確認しております(2009 年 5 月現在)。

### シリアル ATA-IP による SSD アクセス結果



※ ML505/MicroBlaze でのホスト評価

※ SSD は Intel X25-E Extreme SSDSA2SH032G1 を使用

## SP605 および ML505/506 ですぐに評価

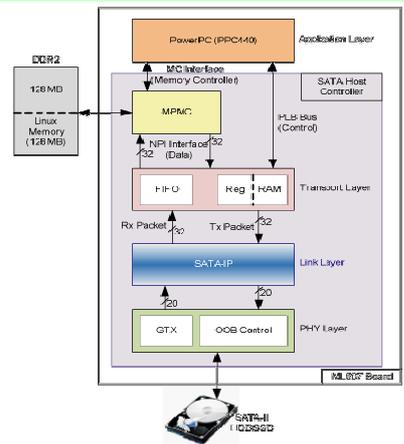
SATA-IP コア付属のリファレンスデザインは、Xilinx 製 ML505/506 および SP605 ボード用にデザインされており、本 IP コアの評価および本コアを使用したロジック開発ををすぐに行なうことができます。また本 IP コアを ML505/ML506 および SP605 ボード用時間限定版 bit ファイルを準備しておりますので、購入前に評価することができます。詳しくは弊社ウェブサイトをご覧ください。



## Linux システムに対応

本 IP コアは、FPGA に実装された CPU コア上で動作する Linux システムに対応しております。デザイン・ゲートウェイでは、Xilinx 製 ML507 ボード上で評価できるよう、時間制限 bit ファイルおよび LinuxRAM ディスクイメージを含む EDK プロジェクトを準備しております(事前に NDA の締結が必要です)。

Linux システム用デバイスドライバ開発については、ご相談下さい。



## RAID システムの構築

本 IP コアを複数個 FPGA に実装することにより、シリアル ATA HDD RAID システムを構築できます。システムターゲット基板上の配線処理がシンプルになり、FPGA 使用ピン数を削減できるため、デザイン・ゲートウェイのシリアル ATA-IP コアは RAID システム構築に最適のソリューションといえます。

デザイン・ゲートウェイでは、Xilinx 製 ML555 ボードに最大 8 台の HDD を接続して RAID を構築できるシリアル ATA 拡張アダプタボードを用意しております。さらにデザイン・ゲートウェイでは、各 RAID 技術 (RAID0, RAID1, RAID5) を保有しております。シリアル ATA-IP コアと RAID のインテグレーションについては、弊社にご相談下さい。

