

SATA-IP コア 4 チャンネル RAID リファレンス・デザイン 説明書

Rev2.0J 2017/03/30

1. はじめに

本ドキュメントは 7 シリーズ/UltraScale シリーズ FPGA ボードで動作する 4 チャンネル RAID リファレンス・デザインに関して説明したものです。本ドキュメントに先立って、以下の 1 チャンネルのホスト・リファレンス・デザイン説明書を参照してください。本ドキュメントは SATA ポート数を 1 チャンネルから 4 チャンネルへ拡張するために追加された箇所のみ開設するため、基本システムについては 1 チャンネルの説明書のみ解説しています。

参照ドキュメント: SATA-IP ホスト・リファレンス・デザイン説明書

参照 URL: http://www.dgway.com/products/IP/SATA-IP/dg_sata_ip_refdesign_host_7series_jp.pdf

2. 動作環境

4 チャンネル RAID リファレンス・デザインを実機動作させるためには以下の環境が必要となります。

- KC705/ZC706/VC707/VC709/KCU105 いずれかの Xilinx 製 FPGA 評価ボード
- FPGA をコンフィグレーションするための Vivado/ISE ツール
- FMC アダプタ基板 (型番:AB09-FMCRAID)
 - (DesignGateway 社または Xilinx 代理店より購入してください。)
- 4 台の SATA-III デバイス(SSD/HDD)
- FPGA 評価ボード付属品 (USB ケーブル,AC アダプタ等)
 - 評価時 PC から USB – UART でシリアル接続します、設定はボーレート 115,200/データ 8bit/パリティなし,Stop=1bitとなります。

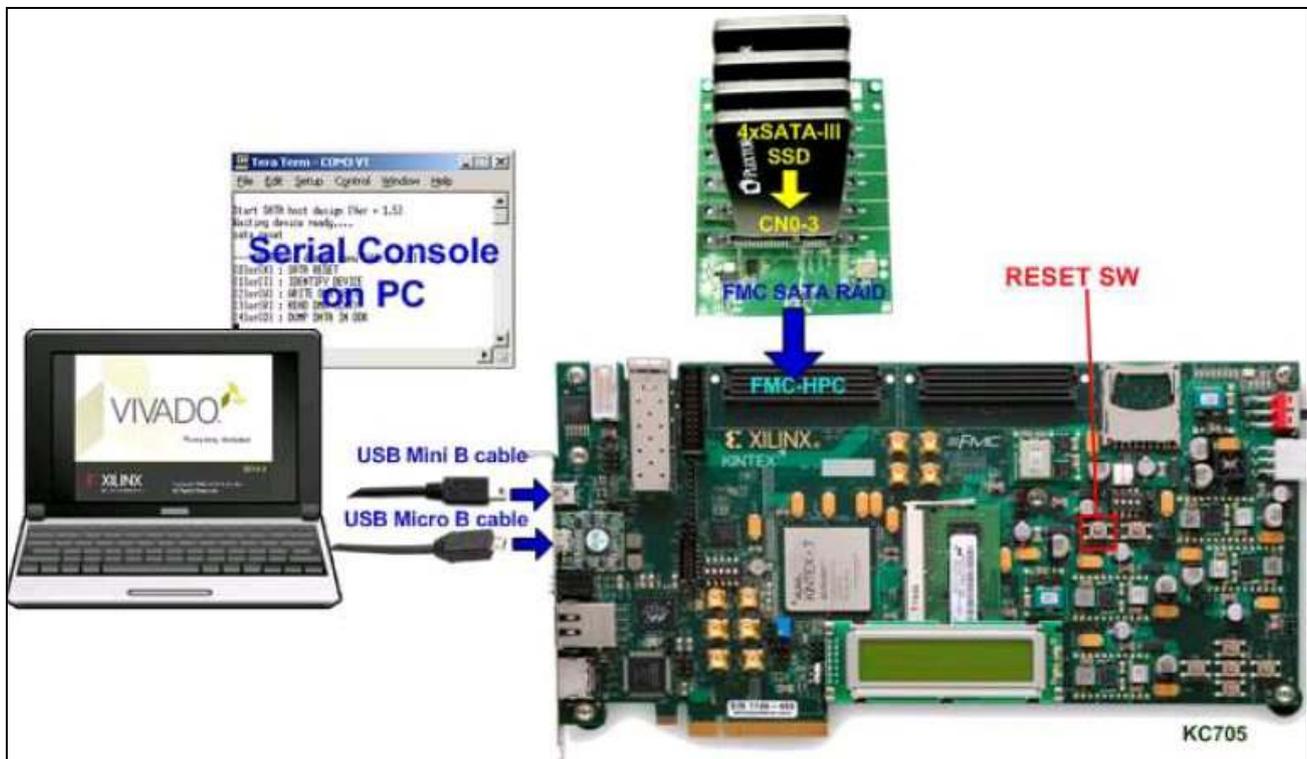


図 2-1: 4ch リファレンス・デザインの動作環境例(KC705 の場合)

※ 実際の動作手順については以下の[SATA-IP コア 4 チャンネル RAID デモ手順書]を参照してください

URL: http://www.dgway.com/products/IP/SATA-IP/dg_sata_ip RAIDx4_demo_instruction_7series_jp.pdf

3. ハードウェアの説明

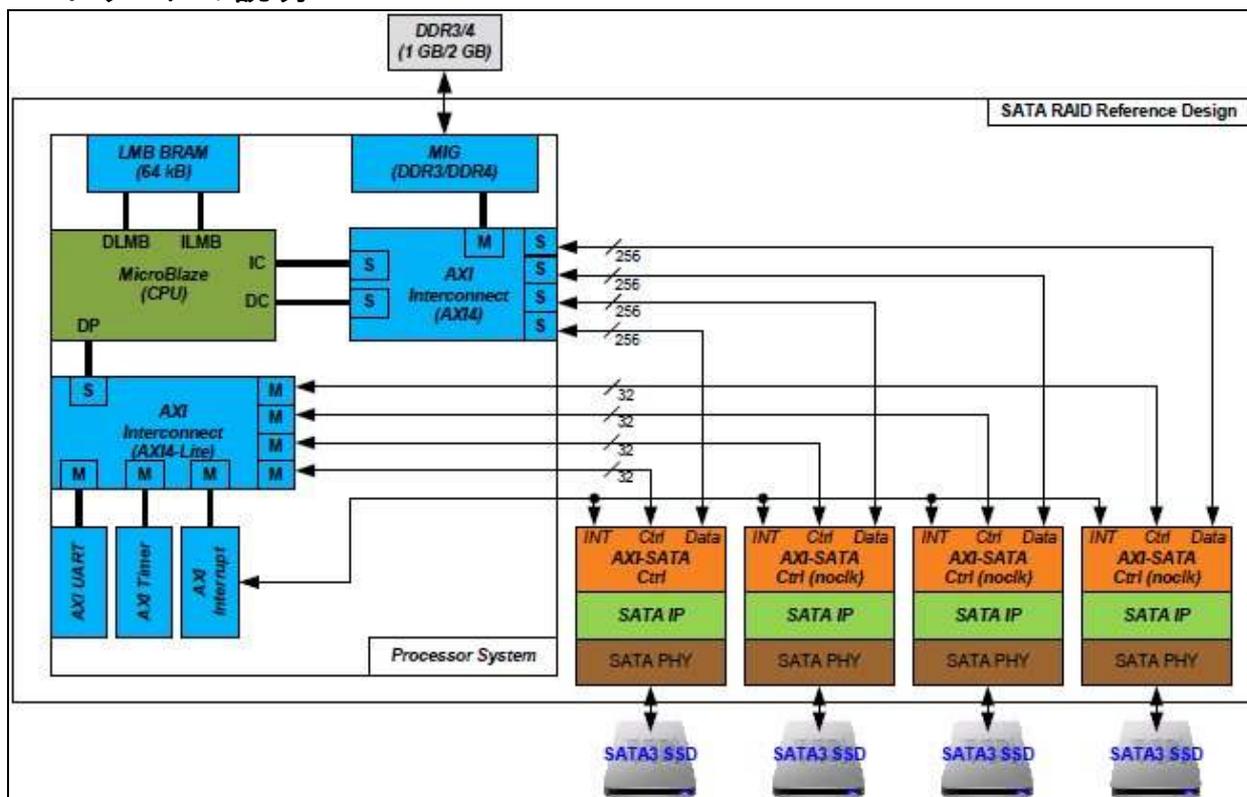


図 3-1: ZC706 以外の 4chRAID リファレンス・デザインのブロック図

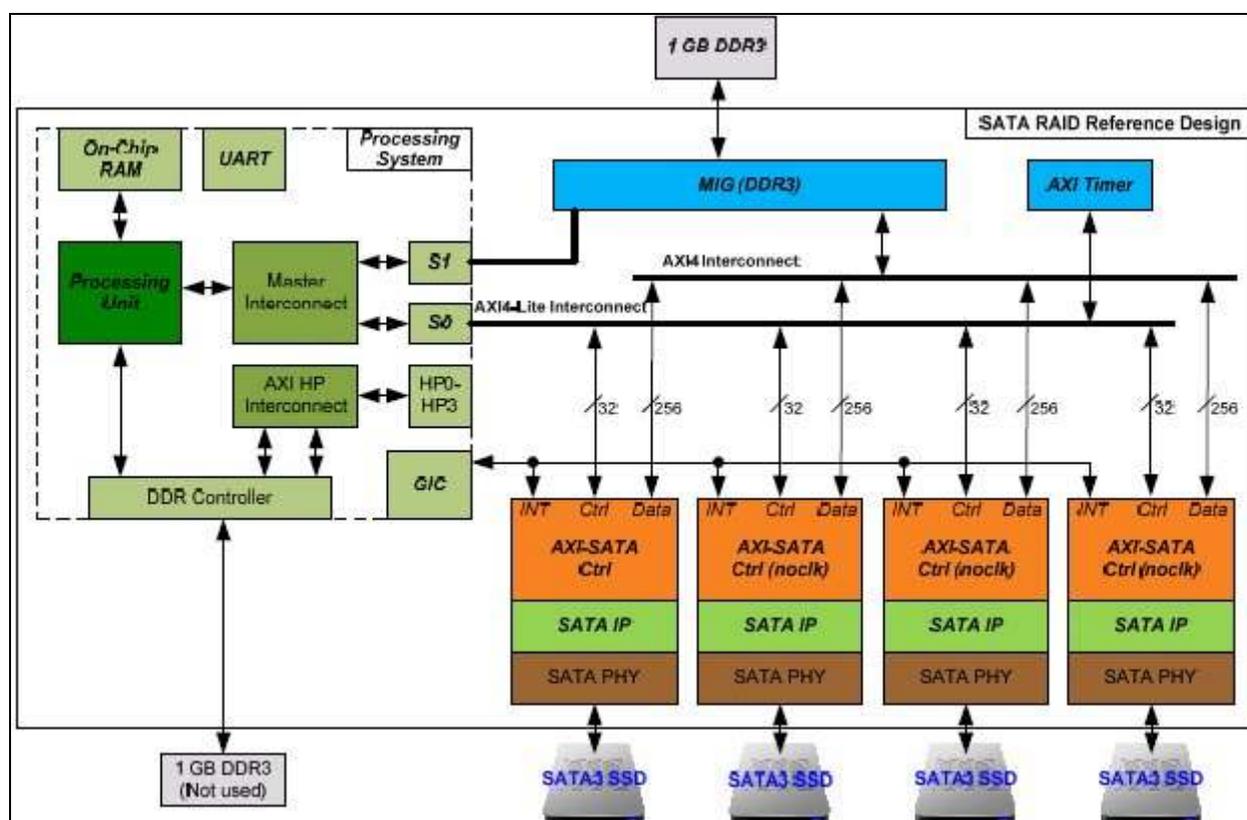


図 3-2: ZC706 の 4chRAID リファレンス・デザインのブロック図

● SATA-IP による 4 チャンネル RAID デザインの実装

SATA チャンネル数を 1 から 4 に拡張するため 3 個の AXI4SATA_noclk モジュールをプロセッサ・システムに追加し RAID0 機能を実装します。クロック・リソースを節約するため、追加された 3 個のチャンネルの SATAPHY においては、1 チャンネル・デザインでのクロック・モジュールをマスター・チャンネルとして使いそこからクロック出力を共有します。マスター・チャンネルの AXI4SATA モジュールはマスターの PHY ロジックを含む一方、AXI4SATA_noclk はスレーブの PHY となりそこにはクロック・リソースを含みません。1 チャンネル・デザインと同様、AXI42SATA(_noclk)モジュールは DDR3/4 の AXI4 バスと接続する一方、制御/ステータス・ポートは AXI4_Lite バスを介してプロセッサ (MicroBlaze または ARM) と接続します。

● PHY(物理)層

全 4SATA チャンネルでクロック・リソースを共有するため、本 RAID デザインの PHY 層は 1 チャンネル・デザインとは異なり SATA-III と SATA-II の速度を選択して切り替える速度自動ネゴシエーション機能は実装されていません。本デザインでは SATA-III 速度のみがサポートされます。マスター・チャンネルの PHY 層は "sata2phy_xx.vhd" で記述され、他のスレーブ・チャンネルの PHY 層は "sata2phy_xx_noclk.vhd" で記述されます。

● AXI-SATA Ctrl によるトランスポート・レイヤ

RAID0 デザインでの AXI-SATA Ctrl のブロック図とレジスタ・マップは 1 チャンネル・デザインと同じなので、詳細については冒頭で紹介したホスト・リファレンス・デザイン説明書を参照してください。RAID0 デザインにおいては全 SATA チャンネルが AXI4 インターコネクと接続するため、各チャンネルにおける AXI4-Lite インターフェイスのベース・アドレスは異なるアドレス空間にマップされます。各チャンネルの FIS パケットを格納するデータ・アドレスを図 3-3 に示します。本デザインでの DDR メモリ空間は以下 4 つのエリアに分割されます。

- TX_FIS_ADDR: プロセッサから SATA デバイスに対して送信する非データ FIS を格納します。全 4SATA チャンネルで同一の送信 FIS を作成するため同じ送信エリアが使われます。
- RX_FIS_ADDR0-3: 各 SATA デバイスからプロセッサに対して受信する非データ FIS を格納します。SATA チャンネルごとに異なる空間がマップされます。
- DATA_SEND_ADDR0-3: プロセッサから SATA デバイスに対して送信するデータ FIS を格納します。各 SATA デバイスへ送信するデータが異なるため、チャンネルごとに異なる空間がマップされます。
- RX_DATA_ADDR0-3: 各 SATA デバイスからプロセッサに対して受信するデータ FIS を格納します。SATA チャンネルごとに異なる空間がマップされます。

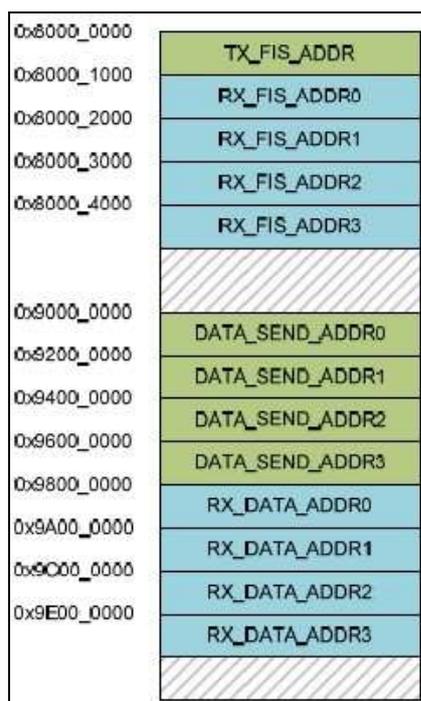


図 3-3: DDR3/4 メモリ・マップ

4. ソフトウェアの説明

本 RAID リファレンス・デザインの基本動作は 1 チャンネル・デザインと同じです。本デザインでは 3 種類の SATA コマンドが実装されており、すなわち IDENTIFY DEVICE、WRITE DMA (EXT)、READ DMA (EXT) です。どのコマンド動作を開始する場合も、プロセッサのファームウェアは全ての SATA デバイスに対して同一のコマンドを発行します。従って全 4SATA チャンネルにて各コマンドでのアドレスや転送長も同一の値となります。コマンド送信が全て完了すると、各 SATA チャンネルは割り込みサービス・ルーチンを通して制御されますが、そのルーチン内では各 SATA チャンネルで動作を分けて処理するため異なる機能が実装されます。本デザインでのリード/ライト・データは CPU ファームウェアにより RAID0 のフォーマットで整列されます。つまり DDR メモリ内での各 SATA デバイス用の空間は連続した形で整列されます。

本リファレンス・デザインの実機動作結果のシリアル・コンソール表示例を図 4-1 に示します。

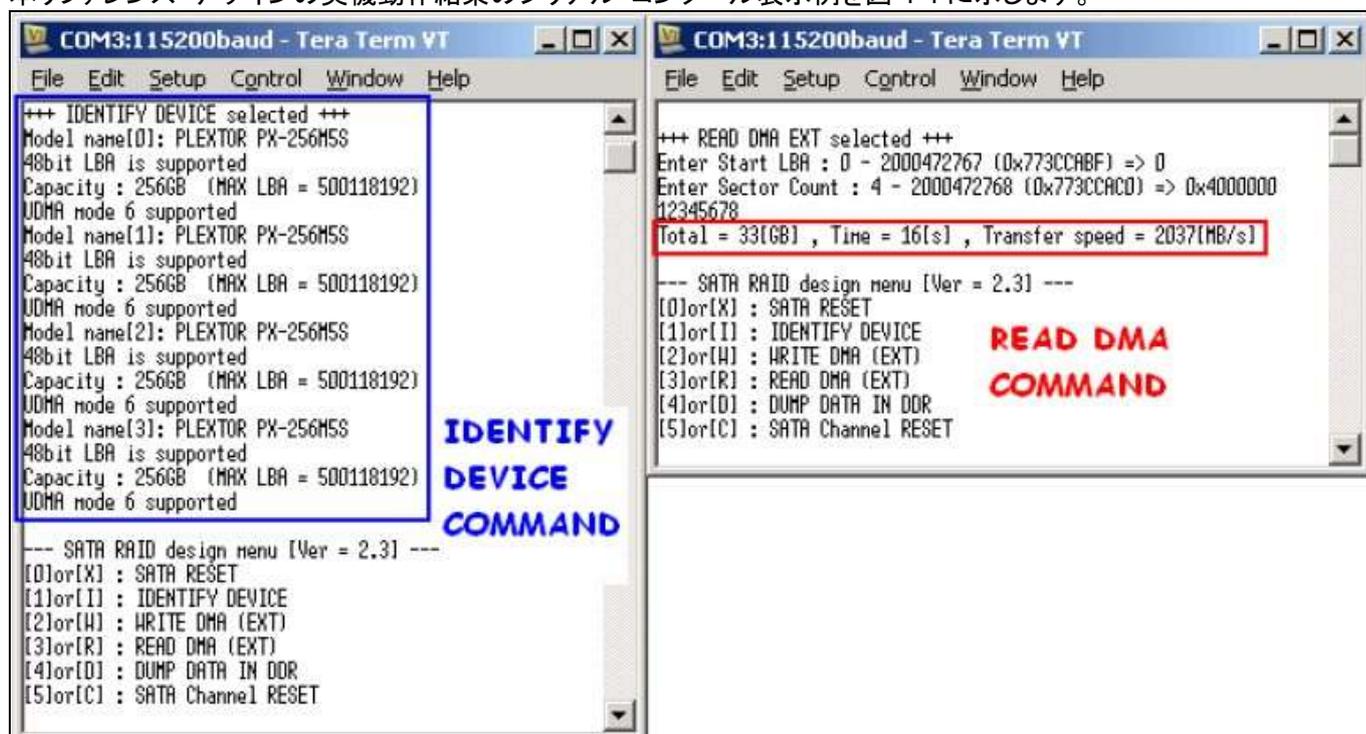


図 4-1: 実機動作のシリアル・コンソール出力例

5. 改版履歴

Revision	Date	Description
1.0J	2012/12/18	日本語第 1 版作成
1.2J	2013/02/12	OOB 制御回路のソースを VHDL に変更(oob_control.vhd)
2.0J	2017/03/30	7 シリーズ/KCU105 対応の最新英語版を日本語翻訳

Copyright: 2012 Design Gateway Co.,Ltd.