

UDP1G-IP デモ手順書(Intel 版)

Rev1.0J 2017/03/21

本ドキュメントは PC と Intel 製 FPGA ボード間の GbE インターフェイスにて、UDP データを通信する UDP1G-IP コア・リファレンス・デザインの実機デモについてその手順を説明したものです。

1 動作環境

本デモ・デザインの動作環境を図 1-1～図 1-3 に示します。 実機デモ用として以下の部材を揃えてください。

- 1) Intel 製 FPGA ボード、CycloneV E/ArriaV GX スタータ/Arria10SoC 各ボードで本デモが可能です。
- 2) QuartusII プログラマをインストールしたパソコン
- 3) ギガビット・イーサネットのポートを持つパソコン (2 のプログラマを入れた PC と同一で問題ありません。)
- 4) PC と FPGA ボードを接続する Cat5E か Cat6 のギガビット・イーサネット・ケーブル
- 5) FPGA ボードを Configuration するための USB ケーブル(FPGA ボードの付属品)
- 6) 評価用 SOF ファイルおよび合わせて提供される“send_udp_client.exe”と“recv_udp_client.exe”。
 ※ 評価用の SOF/EXE ファイルは以下のページからユーザ登録することでダウンロードできます。

UDP1G-IP 紹介 URL: http://www.dgway.com/UDP-IP_A.html

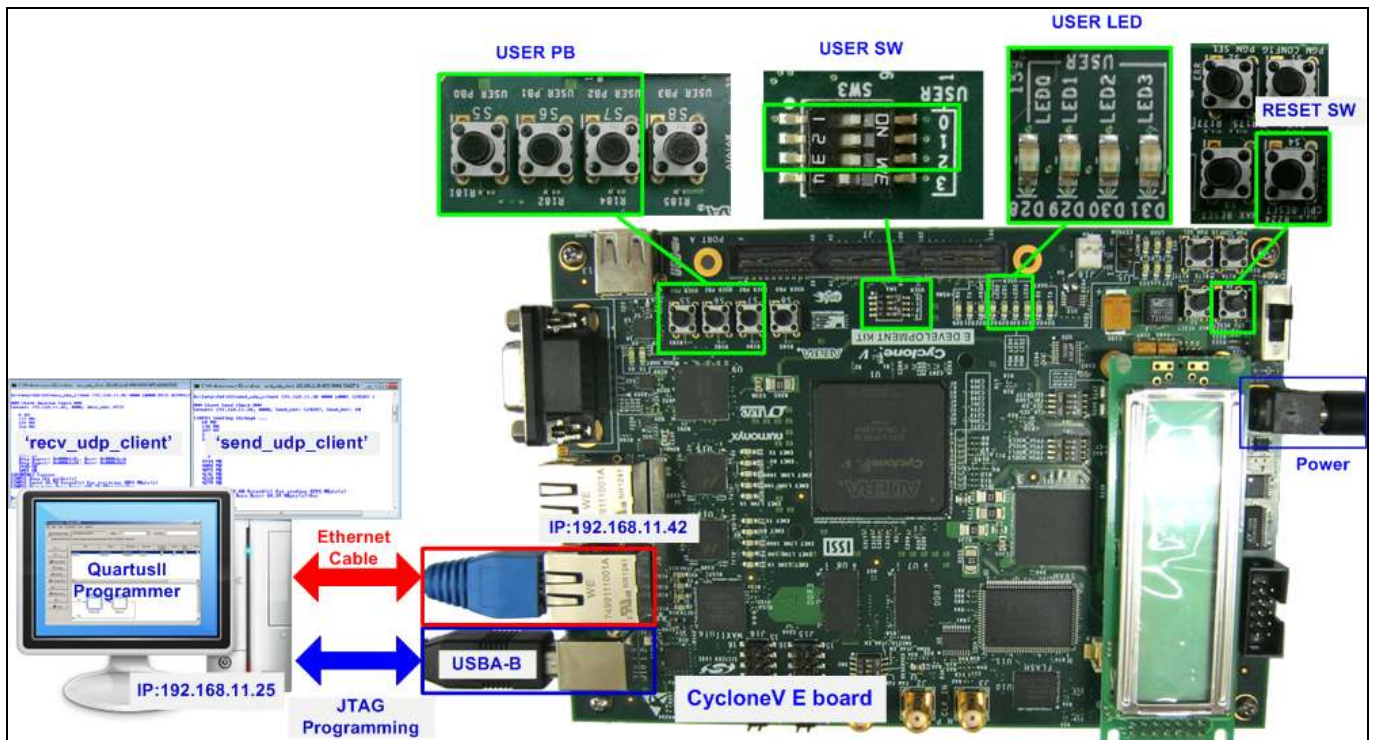


図 1-1: CycloneV E ボードでの UDP1G-IP デモ環境

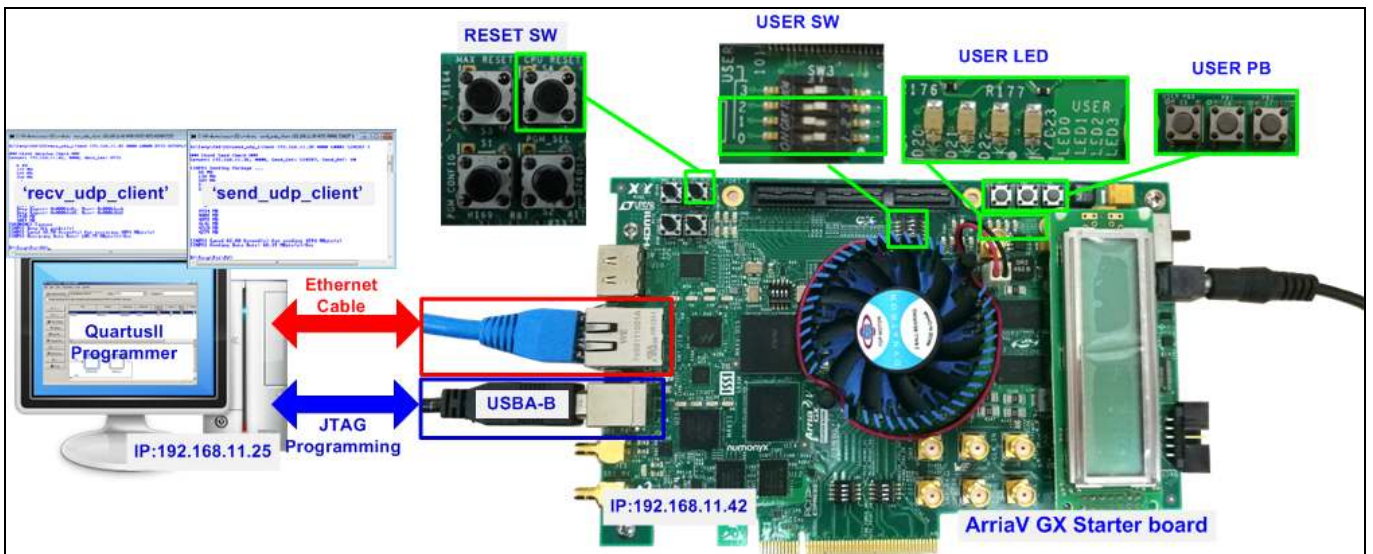


図 1-2: ArriaV GX スタート・ボードでの UDP1G-IP デモ環境

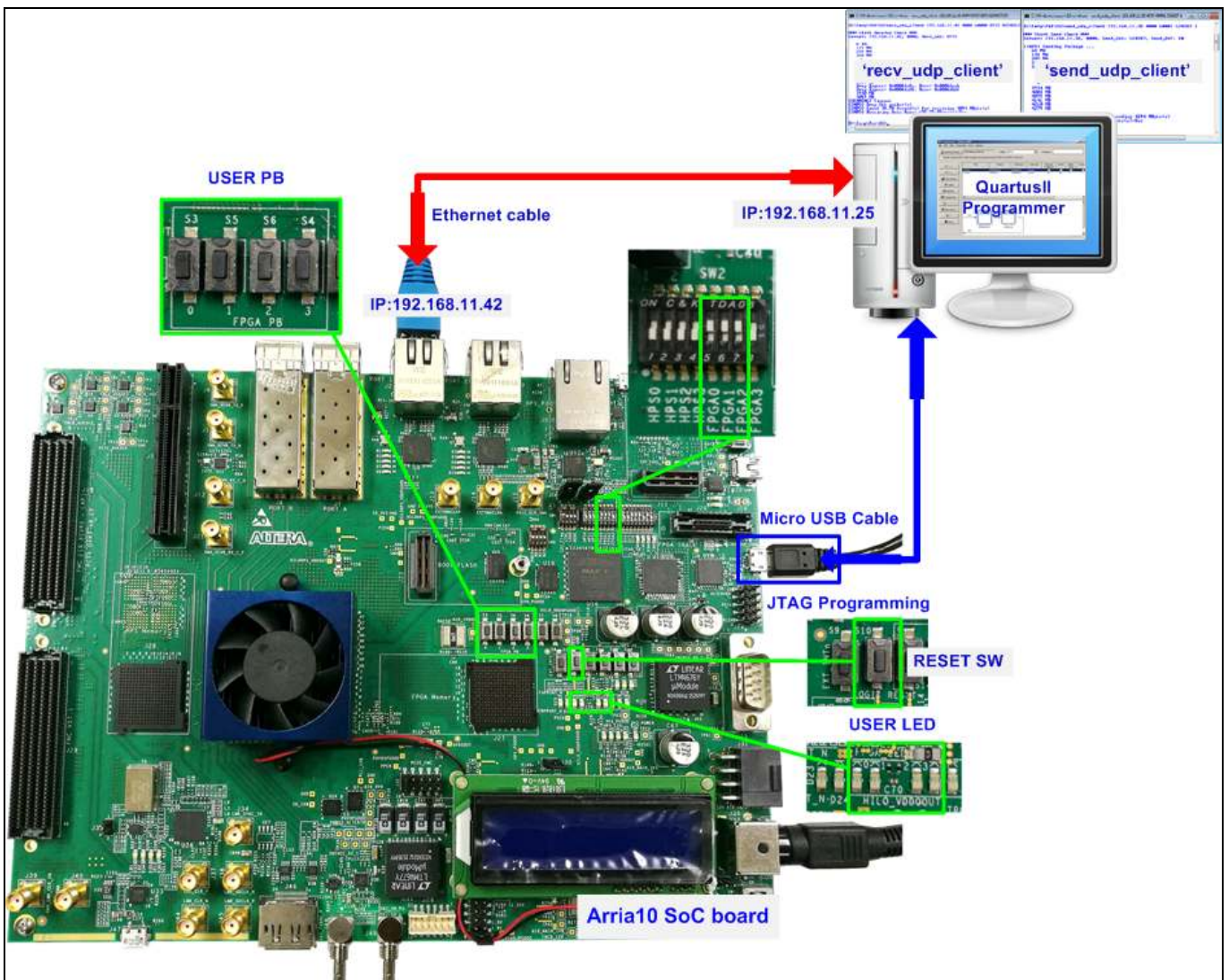


図 1-3: Arria10SoC ボードでの UDP1G-IP デモ環境

2 デモ内容の説明

本デモ(リファレンス・デザイン)は純ハードワイヤード・ロジックのみで設計されています。このため FPGA ボード上のディップ・スイッチ、押しボタン、LED がユーザ・インターフェイスの入出力として機能します。

2.1 ディップ・スイッチ

ディップ・スイッチ(USERSW)の Bit0 と Bit2 がそれぞれ IP コアからの送信データの packetsize と IP コアへの受信データのベリファイ機能イネーブル指定となります。このスイッチ設定の詳細については表 2-1 を参照してください。

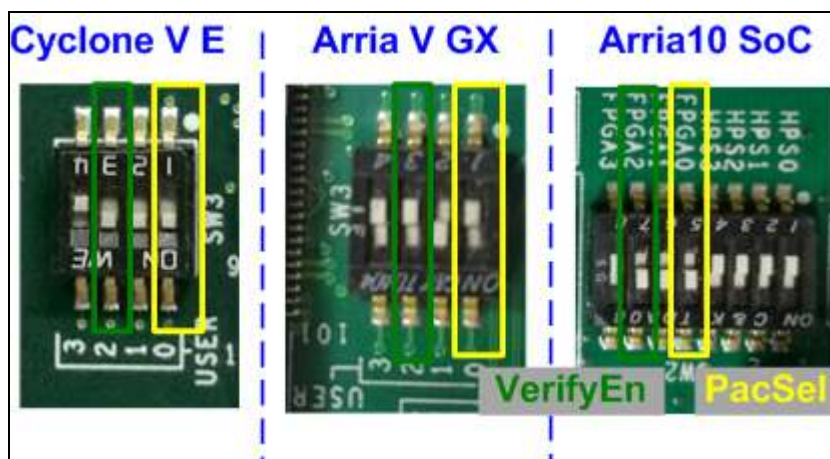


図 2-1: 本デモにおけるディップ・スイッチ(USERSW)

USERSW	ON	OFF
Bit 0	送信モード時に非ジャンボ・フレーム(1472 バイト)によるパケット送信	送信モード時にジャンボ・フレーム(8972 バイト)によるパケット送信
Bit 2	受信モード時にデータ・ベリファイを行わない	受信モード時にデータ・ベリファイを行う

表 2-1: ディップ・スイッチ(USERSW)の設定

注意

- ディップ・スイッチ設定はテスト動作中に変更してはなりません。

2.2 LED

ボード上の4個のLEDはIPコアの初期化中、送信中、受信中等デモの動作状態を示します。LED定義の詳細については表 2-2 を参照してください。

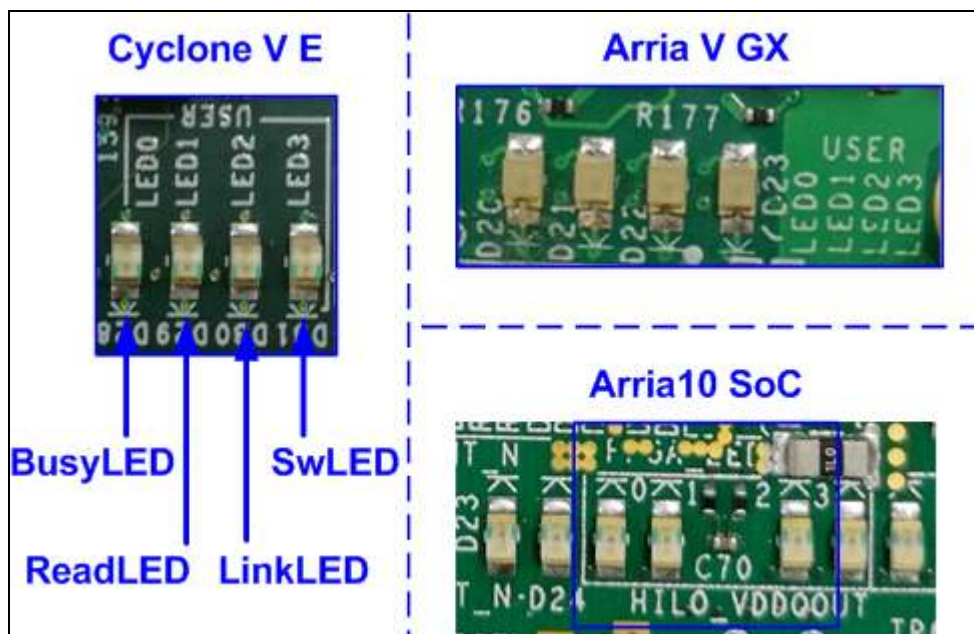


図 2-2: 本デモにおけるLED

LED	ON	OFF	点滅
0	IP コアは初期化中あるいはデータ送信中でビジー状態	IP コアはアイドル状態	IP コアの割り込みが発生
1	IP コアはデータを受信中	受信データが FIFO 内がない状態	データ・ベリファイでデータ不一致を検出
2	送信はジャンボ・フレームのモード	送信は非ジャンボ・フレームのモード	イーサネットがリンクアップしていない、ケーブルを確認のこと
3	ユーザにより3つの押しボタンの何れかが押下	押しボタンが押下されていない	(未定義)

表 2-2: LED 定義

2.3 押しボタン

本デモでは図 2-3 に示すように、ユーザ PB0-PB2 の 3 つの押しボタンを使います。これらのボタンは IP コアの初期化開始、データ送信、ベリファイ用パターンのリセットとして使います。より詳細については以下を参照してください。

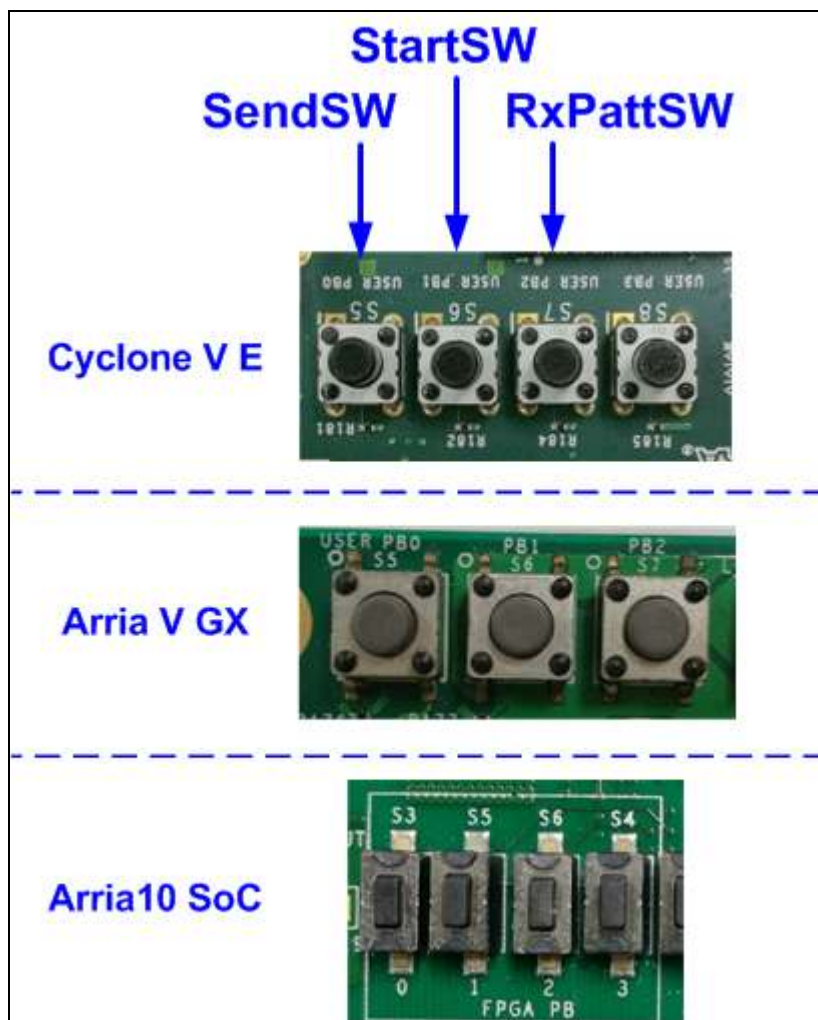


図 2-3: 本デモで使用する押しボタン

- StartSW (PB0): システムの電源が投入された後、ユーザはまずこの中央ボタンを押下し IP コアの初期化を実行しなくてはなりません。本ボタン押下により IP コアの初期化が完了された後にのみ、データの送信あるいは受信が可能となります。
- SendSW (PB1): 本ボタン押下により IP コアから接続先 PC へのデータ送信を開始します。本ボタンを押す前に必ずビジーLED(LED0)が OFF となっていることを確認してください。
- RxPattSW (PB2): 本ボタン押下により受信モジュール内のデータ・ベリファイ機能での比較データ・パターンをリセットします。データ・ベリファイをイネーブルしてデータ受信テストを行う場合、受信開始前に本ボタンによりデータ・パターンを初期状態に戻す必要があります。

注意:

- StartSW を押下する前に Link LED が点滅していないことを確認してください。
- SendSW を押下する前に Busy LED が OFF でコアがアイドル状態にあることを確認してください。

3 PC 設定

デモを実施する際には、下記の様に PC 上のネットワークを設定する必要があります。

3.1 IP アドレス設定

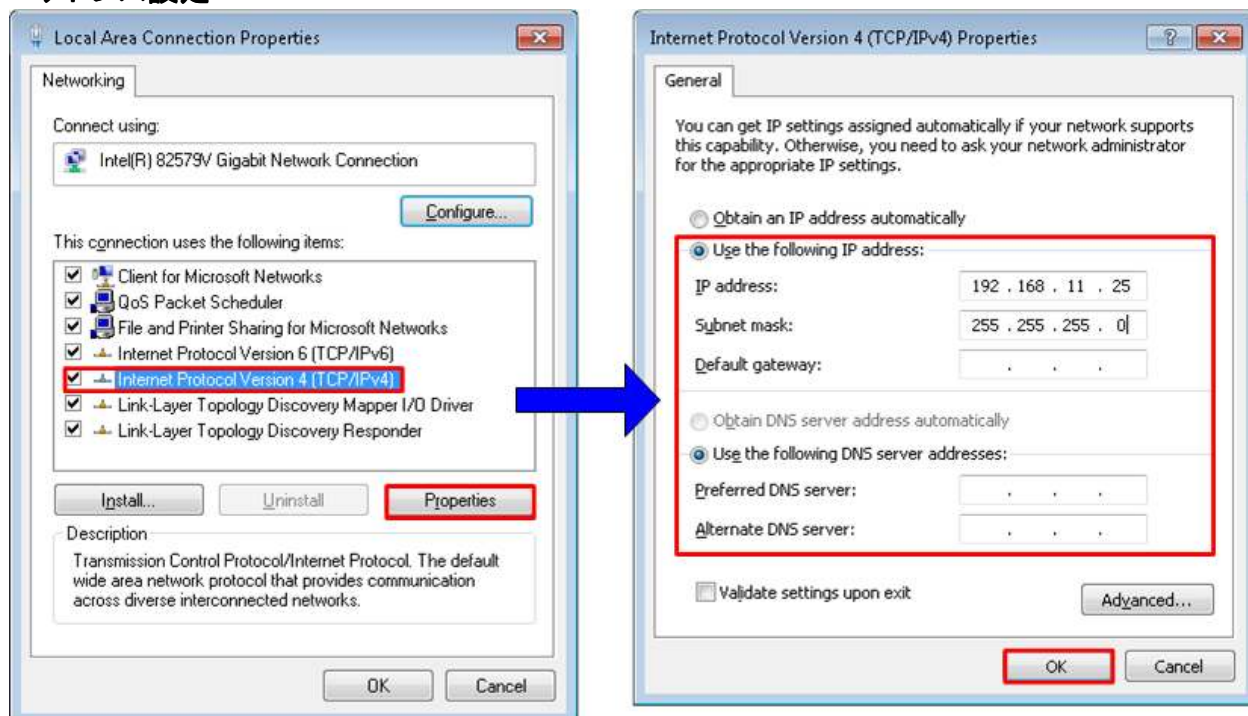


図 3-1: IPv4 設定

- 図 3-1 の左図の様に、テスト接続のローカルエリア接続プロパティを開きます。
- “TCP/IPv4”を選択し、プロパティをクリックします。
- 図 3-1 の右図の様に、IP アドレスを **192.168.11.25** に、サブネットマスクを **255.255.255.0** に設定します。

3.2 速度とフレームの設定

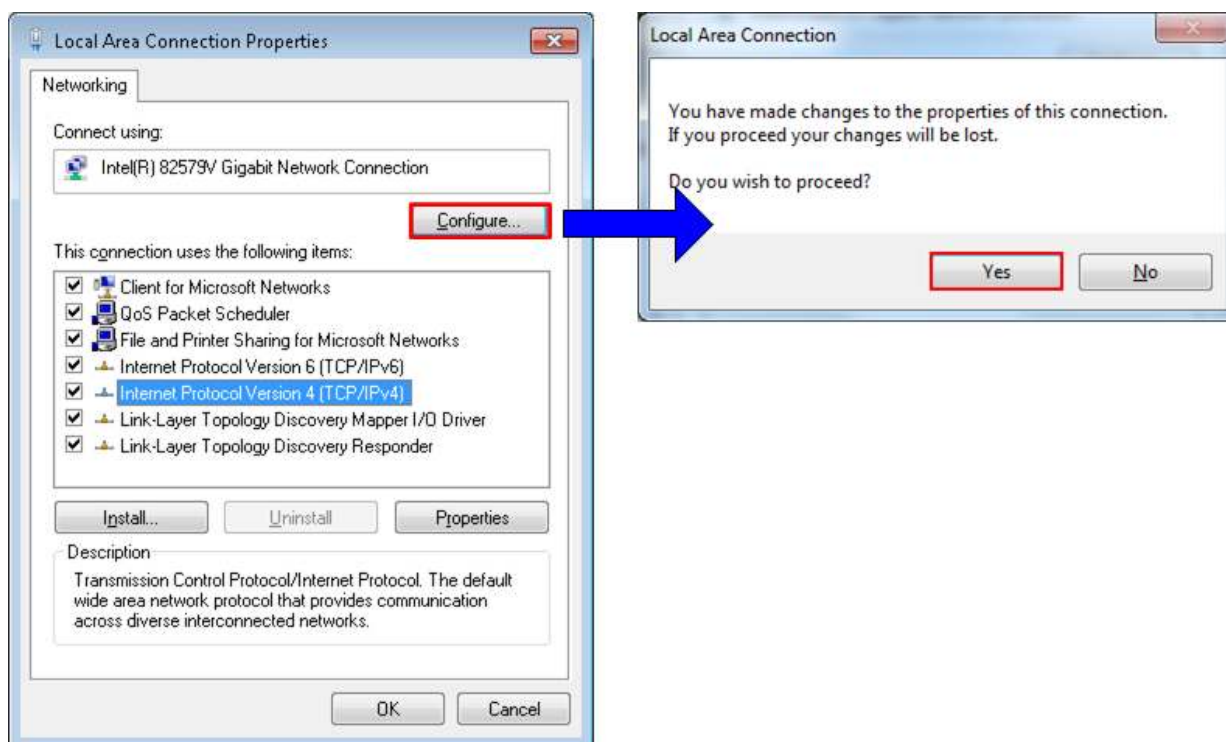


図 3-2: ネットワーク・コンフィグ

- Window 上のローカルエリア接続のプロパティにて、図 3-2 の様に[構成]のボタンをクリックします。
- アドバンス・タブにて図 3-3 の様に Jumbo Packet = 9014Bytes に設定します。

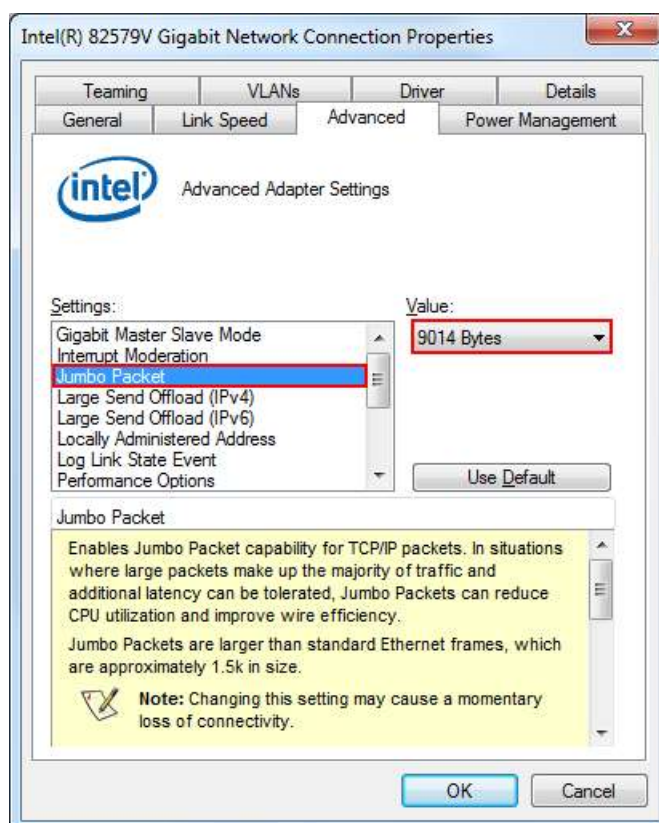


図 3-3: ジャンボ・フレームの設定

- Link Speed タブにて、図 3-4 左側のように”1.0 Gbps Full Duplex”を選択します。
- アドバンス・タブにて、図 3-4 右側のように Interrupt Moderation の項目を選択し値を Enabled に設定します。

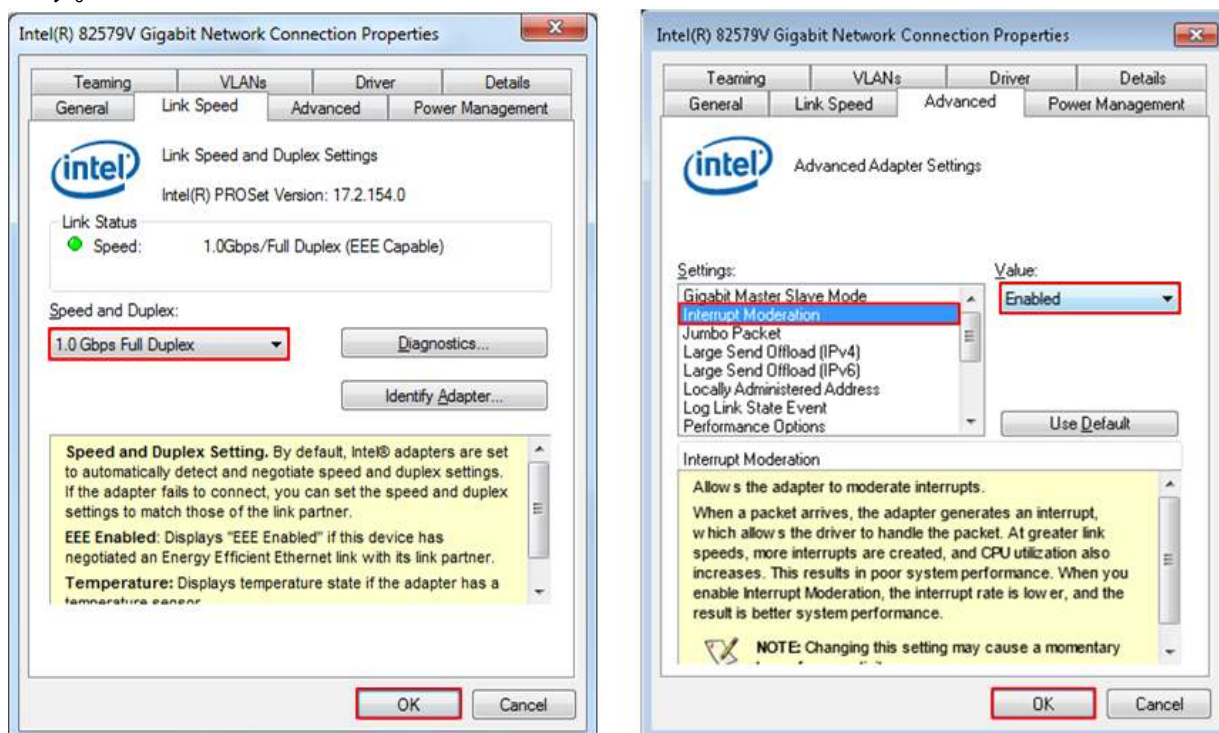


図 3-4: Link speed と Interrupt Moderation の設定

- Intel 製の LAN コントローラでは、アドバンス・タブにパフォーマンス・オプションを設定できる場合があります。この場合図 3-5 に示すように”Interrupt Moderation Rate”を”OFF”とすることで UDP1G-IP デモの実効転送レートを改善するケースがあります。(LAN コントローラやドライバなどの種類に依存するため、パラメータの設定は実機にてご確認をお願いします。)

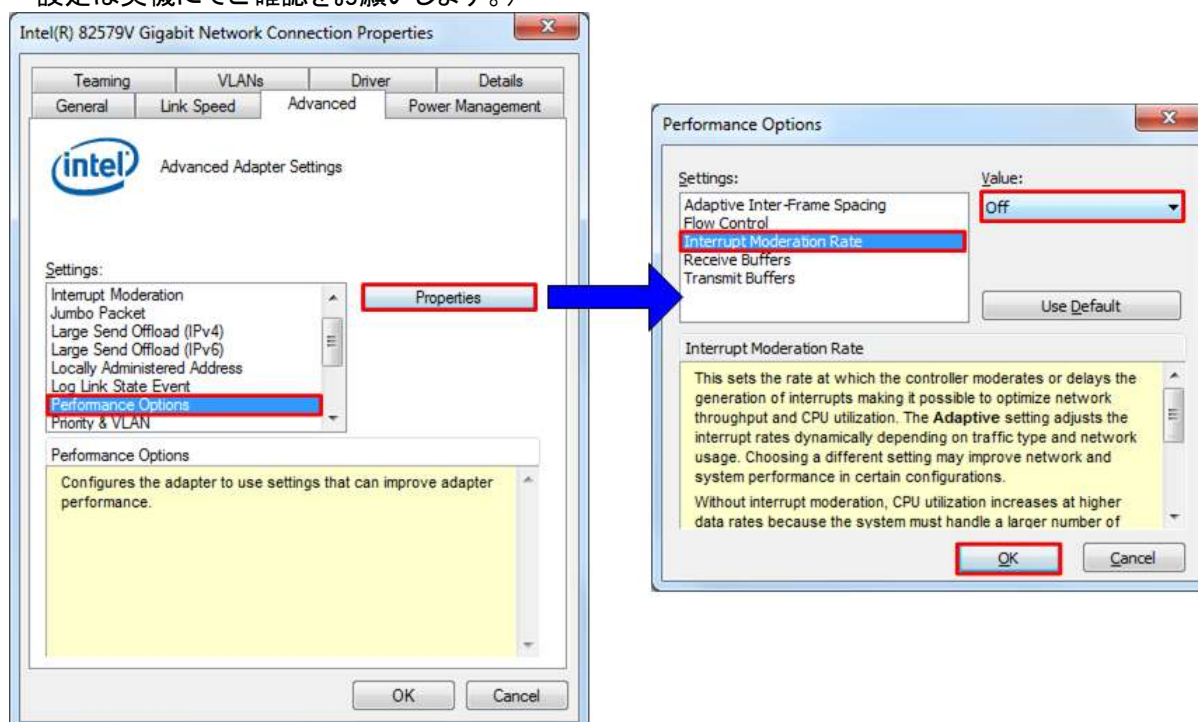


図 3-5: Interrupt Moderation Rate の設定を変更し実機でパフォーマンスを確認

4 デモ実施方法

4.1 デモの準備手順

本テストを実施するに当たっては、下記のハードウェア設定の初期手順が必要です。

- (1) FPGA ボード付属の USB ケーブルを FPGA ボードと PC 間に接続し、電源を FPGA ボードに接続します。
- (2) イーサネット・ケーブルを FPGA ボードと PC 間に接続します。
- (3) 3 章[PC 設定]の様に、PC 上のネットワーク設定を行います
- (4) FPGA ボード電源を投入します。
- (5) 下図 4-1 のように QuartusII プログラマを開き、評価用 SOF ファイルを FPGA ボードへダウンロードします。

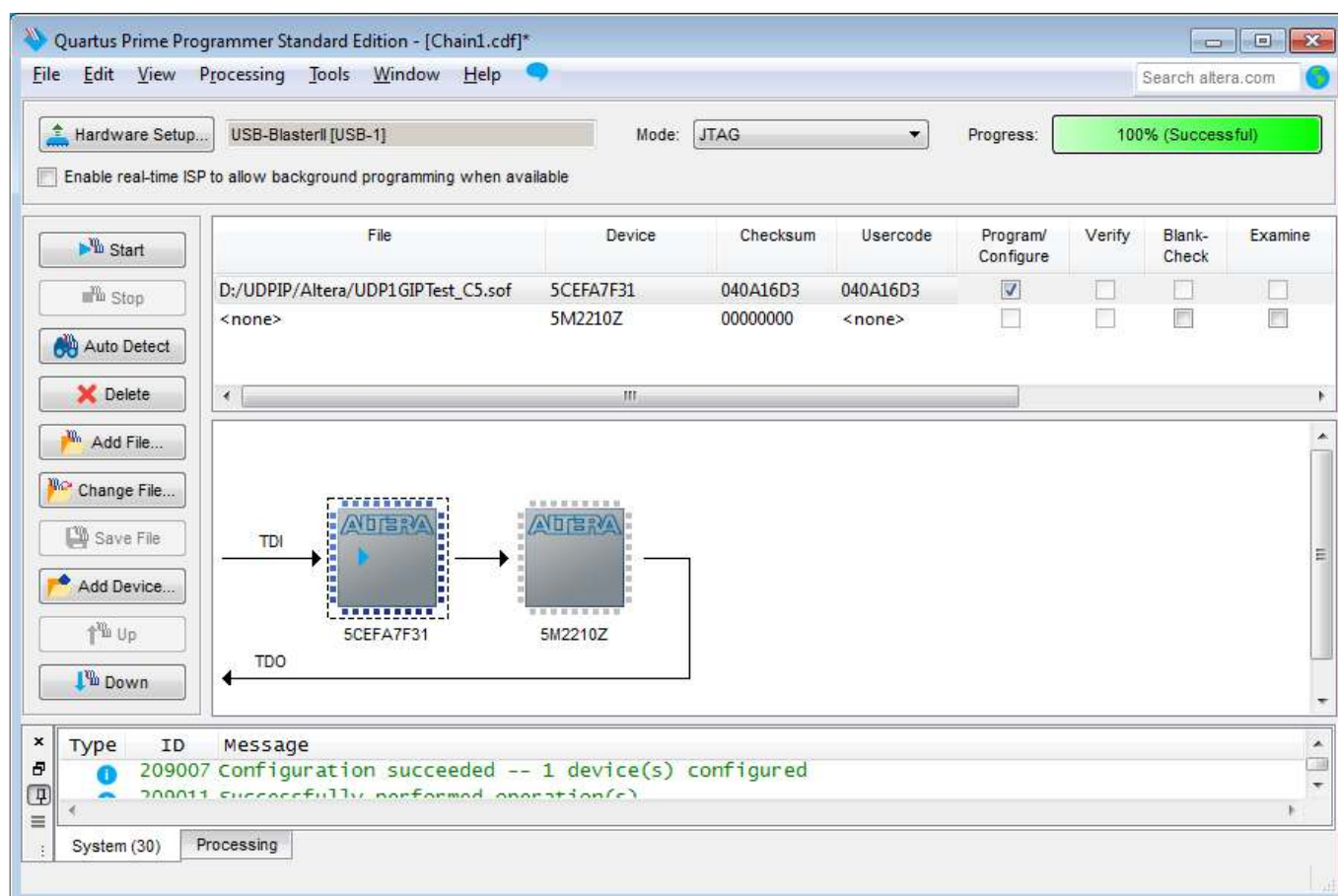


図 4-1: QuartusII プログラマから評価用 SOF ファイルをダウンロード

- (6) FPGA ボードの LED 状態をチェックし LED0/1/3 が全て OFF であることを確認します。
- (7) 図 4-2 のように 1G リンク状態を示す PHY チップの LED が点灯していることを確認します。

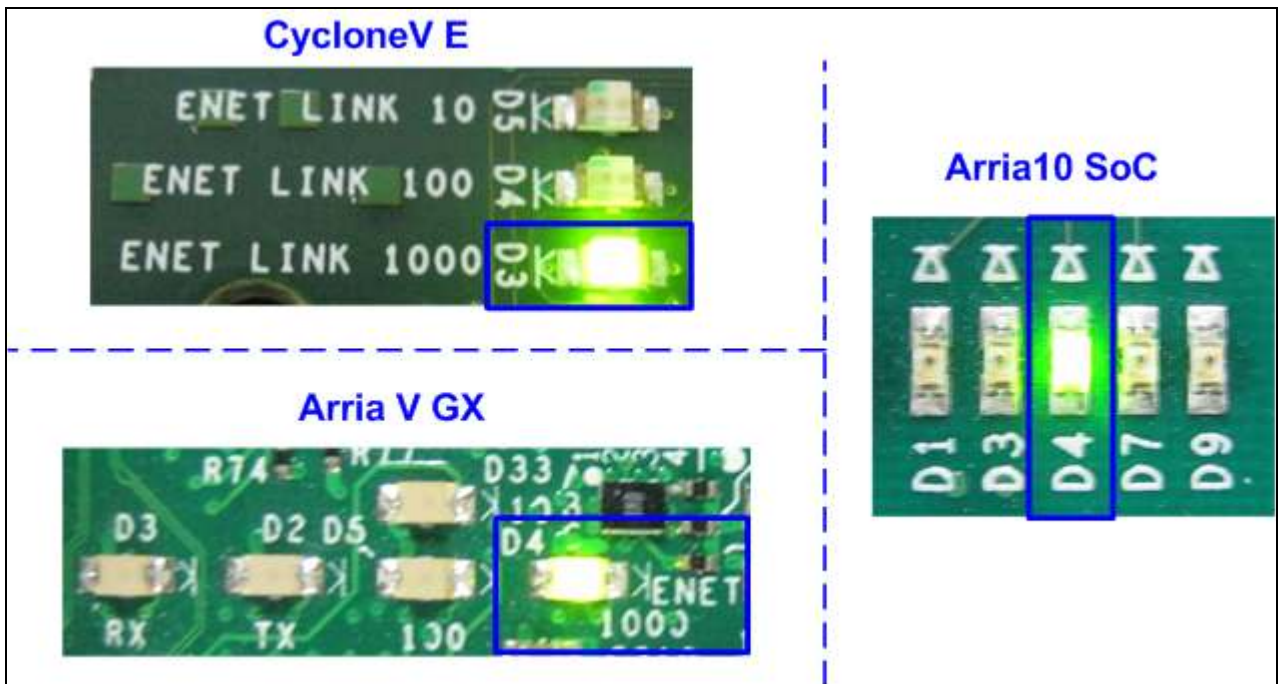


図 4-2: イーサネット 1000 の LED 状態

- 図 2-3 に示す StartSW(PB0)を押下し IP コアの初期化を開始します。LED0 はコア初期化が完了すると図 4-3 に示すように ON から OFF へと消灯します。

注意: LED0 が ON とならず点滅を繰り返す状態となった場合、PC 側の IP アドレス設定が正しいか、あるいはイーサネット・ケーブルの品質や接続に問題がないかを確認してください。

またシステムを再度初期化する場合、CPU RESET ボタンを押下し 1G リンク状態 LED が点灯するのを待ってから StartSW を再度押下してください。

ここまでの手順で IP コアのデータ送信および受信テストの準備が完了します。送信/受信テストの具体的な手順については次章を参照してください。

注意: 本デモの実転送パフォーマンスは接続するテスト PC の能力やイーサネット・コントローラに依存しません。

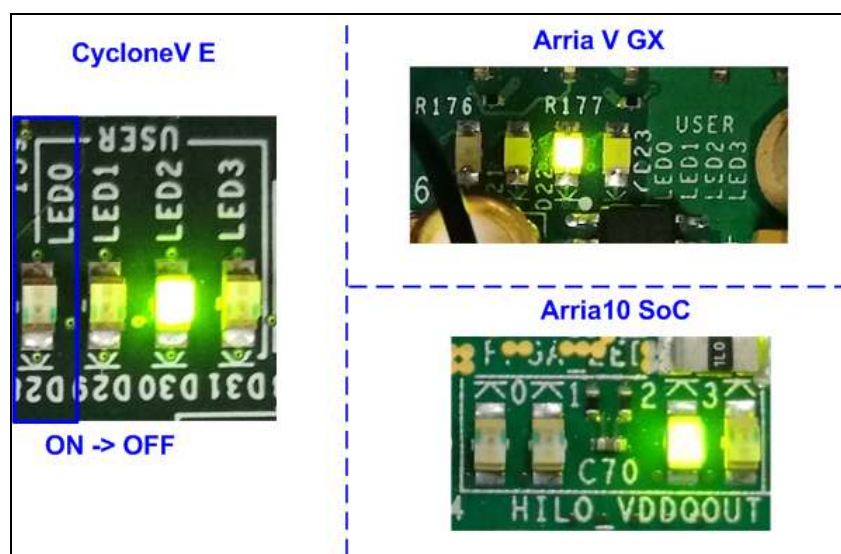


図 4-3: StartSW 押下後の IP コア初期化による LED0 の状態

4.2 送信テスト

本デザインのハードウェア・ロジックは非ジャンボ・フレームおよびジャンボ・フレームの2種類のパケット・サイズでの転送パフォーマンスを確認できるようデザインされています。ただし FPGA ボード側での設定と PC 側テスト・アプリケーションのパラメータは一致させる必要があります。詳細については以下に説明します。

4.2.1 非ジャンボ・フレーム・モード

- USERSW[0] = ON にセットし LED2 が OFF となっていることを確認します。
- PC 側の DOS 窓を開き、“recv_udp_client”テスト・アプリケーションを図 4-4 の引数で実行します。
注意: 本デモにおいて IP アドレス、ポート番号、受信サイズは全て固定となります。従って HEL デザイン内の HDL 変更なしではいずれのパラメータも変更することはできませんのでご注意ください。

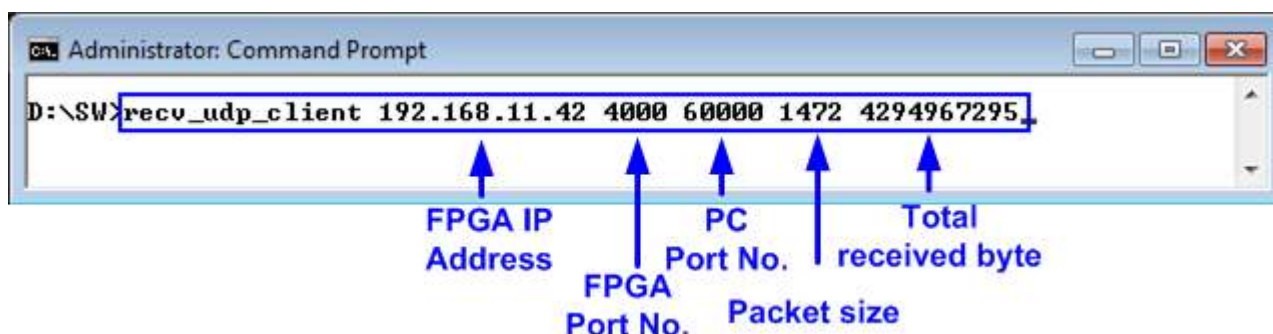


図 4-4: 非ジャンボ・フレームでの"recv_udp_client"コマンドライン

- LED0 が OFF であり IP コアがアイドル状態にあることを確認します、そして SendSW(PB0)押しボタンを押下し FPGA から UDP データの送信を開始します。
- 図 4-5 に示すように LED0 が点灯します。
- 全データの送信が完了すると LED0 は OFF となります。

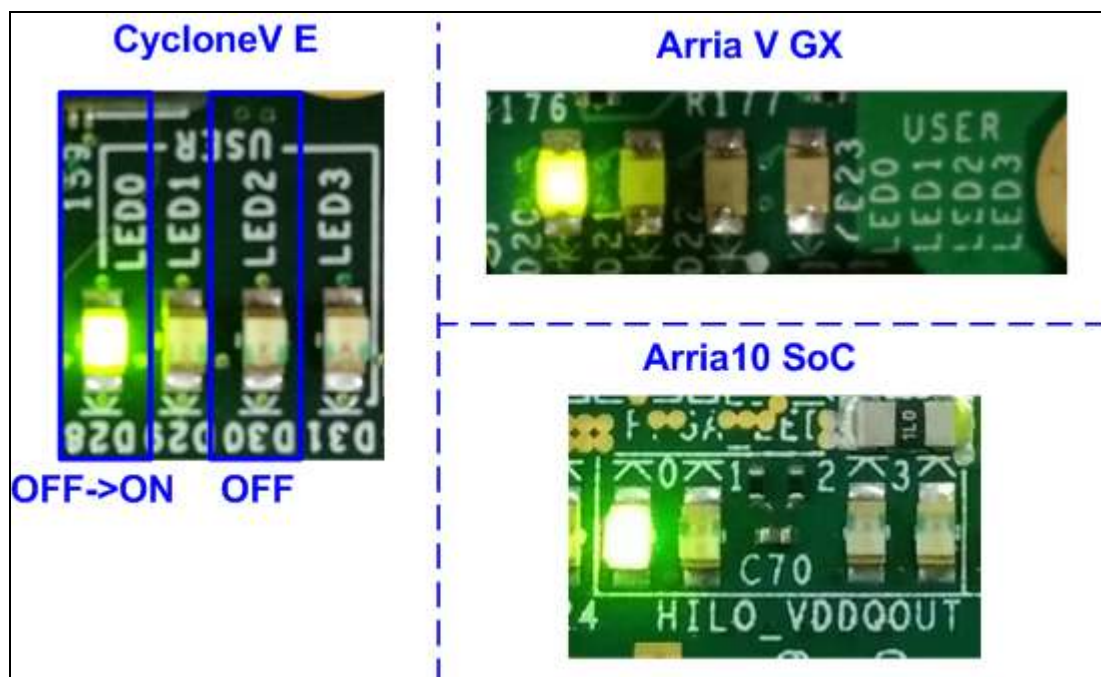


図 4-5: 非ジャンボ・フレームでの"recv_udp_client"実行中の LED 状態

dg_udp1gip_instruction_intel_jp.doc

- PC 側ではデータ受信テスト・アプリケーションには毎秒ごとに総受信バイト数を表示します。そして最後に図 4-6 に示すようにドロップしたパケット数とパフォーマンス結果を表示します。
注意: テスト・アプリケーションでのパフォーマンス結果は“recv_udp_client”コマンドを発行してからFPGAボードの SendSW を押すまでのディレイ時間を含んでいます。従ってなるべく正確なパフォーマンス結果を測定するためには、“recv_udp_client”を発行して即座に SendSW ボタンを押下してください。

```

Administrator: Command Prompt
D:\SW>recv_udp_client 192.168.11.42 4000 60000 1472 4294967295
@@@ Start Receive Check @@@
Server: 192.168.11.42, 4000, Recv_Len: 1472

69 MB
185 MB
300 MB
|
3887 MB
4002 MB
[INFO] Drop 0 packet(s)
[INFO] Spend 36.30 Second(s) for receiving 4095 MByte(s)
[INFO] Receiving Data Rate: 112.83 MByte(s)/Sec
D:\SW>_
  
```

Performance Result

図 4-6: 非ジャンボ・フレームでの“recv_udp_client”実行結果例

- パケットのドロップ(PC 側でパケット・ロスト)が発生した場合は図 4-7 のような表示となります。この場合ロストした時点で“Drop Expect”メッセージが表示されます。また最終結果にも総ドロップ・パケット数が表示され、テスト・アプリケーションは0.5秒のタイムアウトで終了します。この場合テスト・アプリケーションはタイムアウトにより終了するので“[WARNING] Timeout”メッセージが表示されます。

```

Administrator: Command Prompt
D:\SW>recv_udp_client 192.168.11.42 4000 60000 1472 4294967295
@@@ Start Receive Check @@@
Server: 192.168.11.42, 4000, Recv_Len: 1472

83 MB
199 MB
|
1124 MB
1240 MB
1356 MB
Drop Expect: 0x000f1ebd, Recv: 0x000f1ebe 1 dropped packet
1471 MB
1587 MB
|
4017 MB
[WARNING] Timeout
[INFO] Drop 1 packet(s) Total numbers of dropped packet
[INFO] Spend 36.67 Second(s) for receiving 4095 MByte(s)
[INFO] Receiving Data Rate: 111.63 MByte(s)/Sec
D:\SW>_
  
```

図 4-7: パケットのドロップが発生した場合のメッセージ例

4.2.2 ジャンボフレーム・モード

- USERSW[0] = OFF とし、LED2 が点灯していることを確認します。
- PC 側の DOS 窓を開き、“recv_udp_client”テスト・アプリケーションを図 4-8 の引数で実行します。各引数のパラメータはパケット・サイズが 1472 から 8972 に変更された箇所以外は同一です。

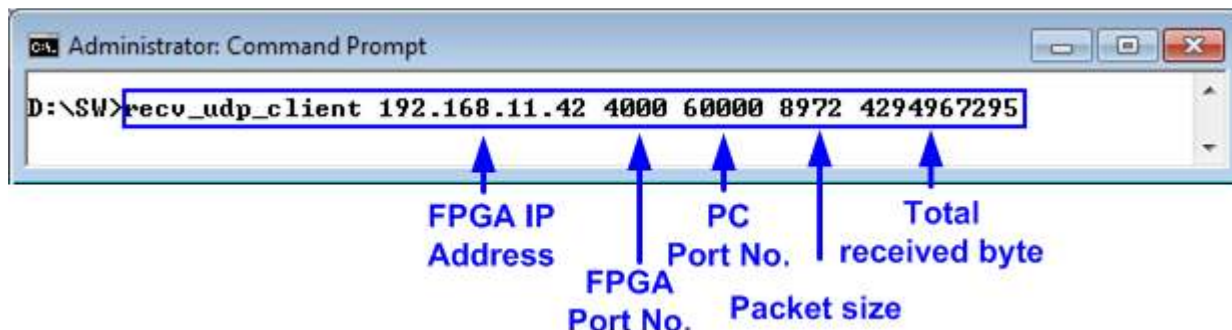


図 4-8: ジャンボ・フレームでの"recv_udp_client"コマンドライン

- デモ手順は非ジャンボ・フレームと同一なので 4.2.1 章を参照してください。
- 図 4-10 に示すように、ジャンボ・フレームのパフォーマンスは非ジャンボ・フレームより良好です。

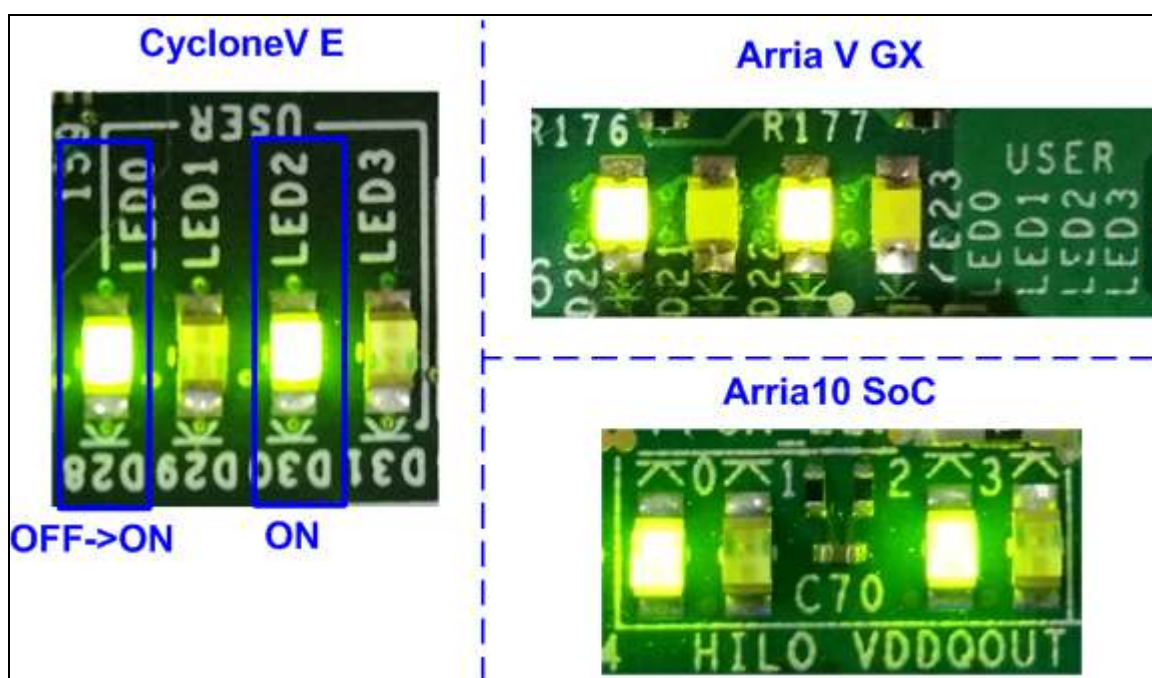


図 4-9: ジャンボ・フレームでの"recv_udp_client"実行中の LED 状態

```

Administrator: Command Prompt
D:\SW>recv_udp_client 192.168.11.42 4000 60000 8972 4294967295
### Start Receive Check ###
Server: 192.168.11.42, 4000, Recv_Len: 8972

 79 MB
199 MB
319 MB
|
3919 MB
4039 MB
[INFO] Drop 0 packet(s)
[INFO] Spend 34.94 Second(s) for receiving 4095 MByte(s)
[INFO] Receiving Data Rate: 117.22 MByte(s)/Sec
D:\SW>_
  
```

**Performance
Result**

図 4-10: ジャンボ・フレームでの"recv udp client"実行結果例

4.3 受信テスト

本デザインのハードウェア・ロジックは受信データのベリファイ機能をサポートします。転送パフォーマンス自体を評価する場合、PC側テスト・アプリケーションはダミー・データを送信するのでFPGA側でのベリファイ機能はディスエーブルしてください。データの信頼性を評価する場合はベリファイ機能をイネーブルするとともにテスト・アプリケーションもベリファイを ON として実行してください。より詳細については以下に説明します。

4.3.1 ベリファイなしモード

- USERSW[2] = ON にセットし、データ・ベリファイしない設定とします。
- PC 側の DOS 窓を開き、“send_udp_client”テスト・アプリケーションを以下のコマンドラインで実行します。
 - > send_udp_client <FPGA IP アドレス> <FPGA ポート番号> <PC 側ポート番号> <8K バイト単位のパケット数 <モード>
 - 送信テストの“recv_udp_clientと同様、IPアドレス、ポート番号は固定となります。これらのパラメータを変更する場合、HDL コード自体を編集する必要があります。
 - 転送数は 8K バイト・パケット単位で設定可能な値は 1- 524287 です。総転送サイズは設定パケット数 x 8 x 1024 バイトであり、最大転送サイズは 524287x8x1024 バイトです。
 - モード:: ‘0’- パフォーマンス測定用としてオール・ゼロのパターン

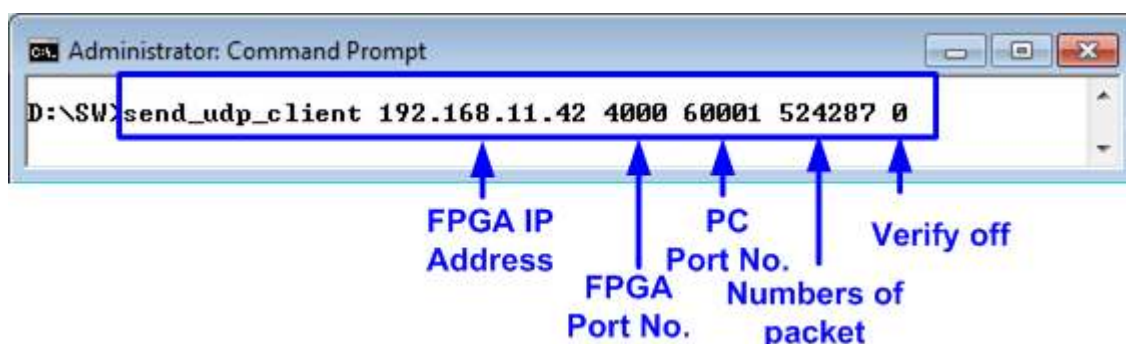


図 4-11: ベリファイなしでの"send udp client"コマンドライン

- テスト・アプリケーションの動作が開始すると図 4-12 のように LED[1]が OFF から ON となります。

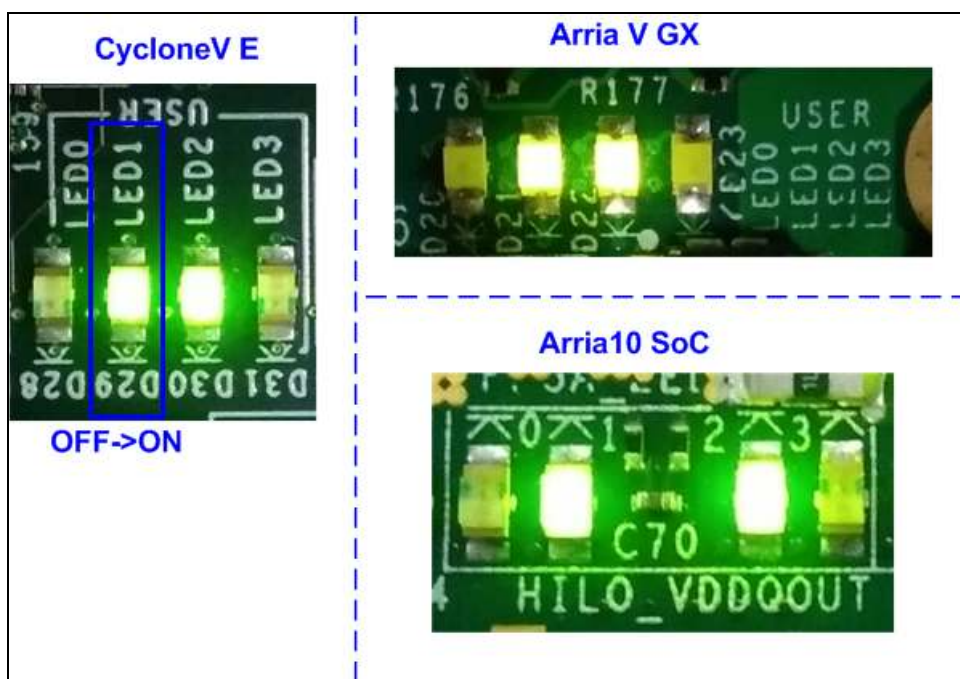


図 4-12: "send_udp_client"実行中の LED 状態

- パケット転送中テスト・アプリケーションは“...”を表示し続けます。全データ転送後パフォーマンス結果が図 4-13 のように表示されます。

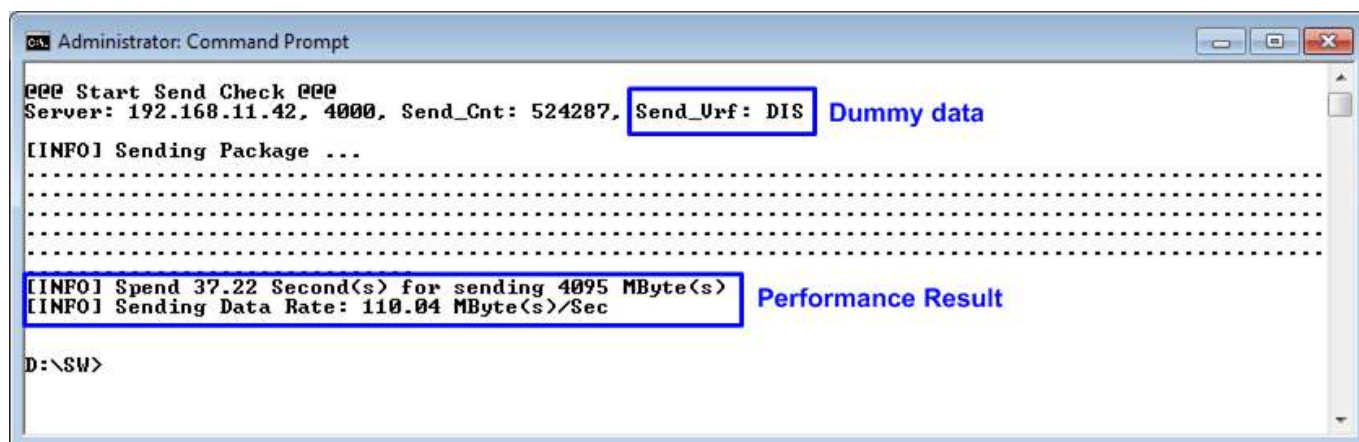


図 4-13: ベリファイなしでの“send_udp_client”実行結果例

4.3.2 ベリファイありモード

- USERSW[2] = OFF にセットし、データ・ベリファイを指定します。
- RxPattSW(PB2)押しボタンを押下しベリファイ対象のデータ・パターンをリセットします。
- PC 側の DOS 窓を開き、“send_udp_client”テスト・アプリケーションを下図 4-14 のように mode=1 として 32 ビットのインクリメンタル・パターンを指定し以下のコマンドラインで実行します。

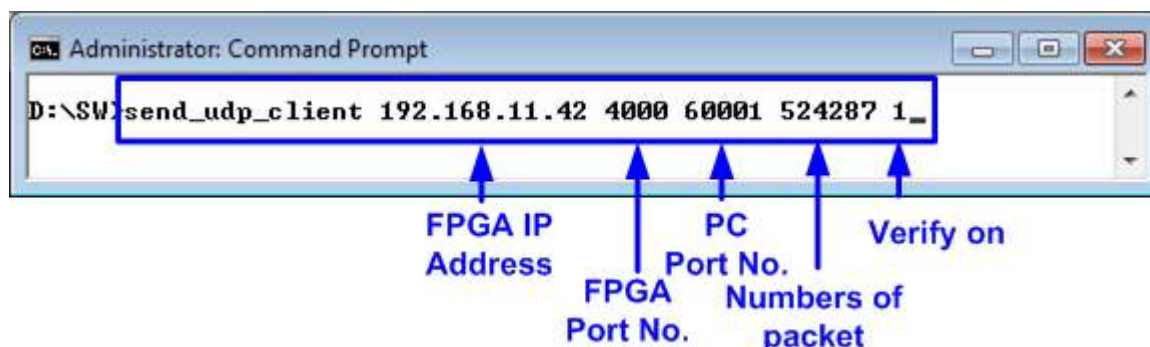


図 4-14: ベリファイありでの“send_udp_client”コマンドライン

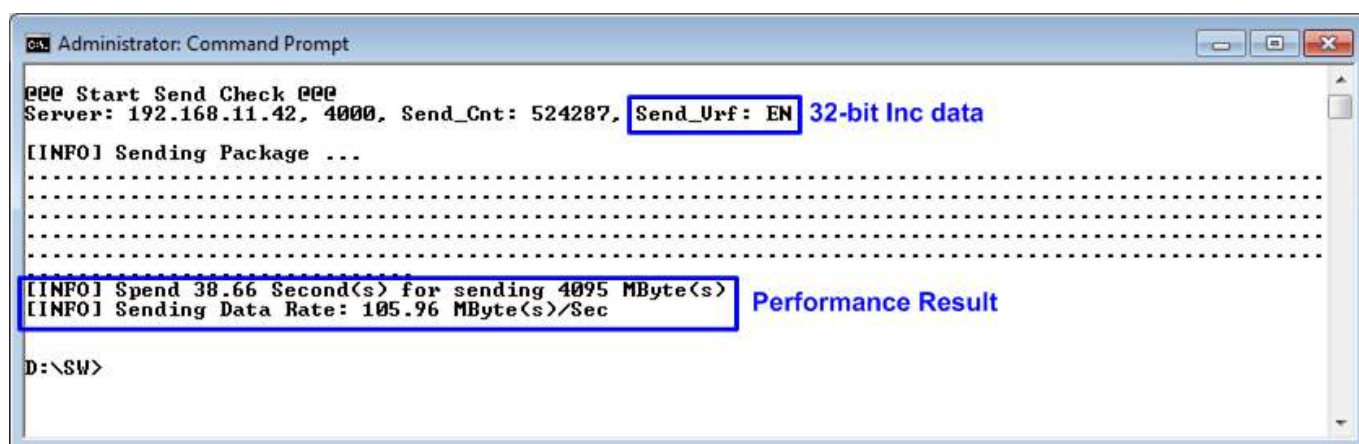


図 4-15: ベリファイありでの“send_udp_client”実行結果例

- ベリファイ・エラーが検出された場合、FPGA ボード上の LED2 が点滅します。

4.4 送受信同時テスト

本デザインの送信テストと受信テストでは PC 側で異なるポート番号を使います、このため送信テストと受信テストを同時に実行することができます。Windows 上で2つの DOS 窓を開き、2つのテスト・アプリケーションを同時並行して実行するため、PC 側でより多くの CPU リソースを必要とします。従って受信テストのパフォーマンスは(PC 側送信アプリケーションの処理が遅くなることから)低下し、また、送信テストでは PC 側受信の負荷がより重くなることから PC 側でのパケットのドロップが発生しやすくなります。

送受信同時テストの各 DOS 窓での実行例を図 4-16 に、またそのときの LED 状態を図 4-17 に示します。

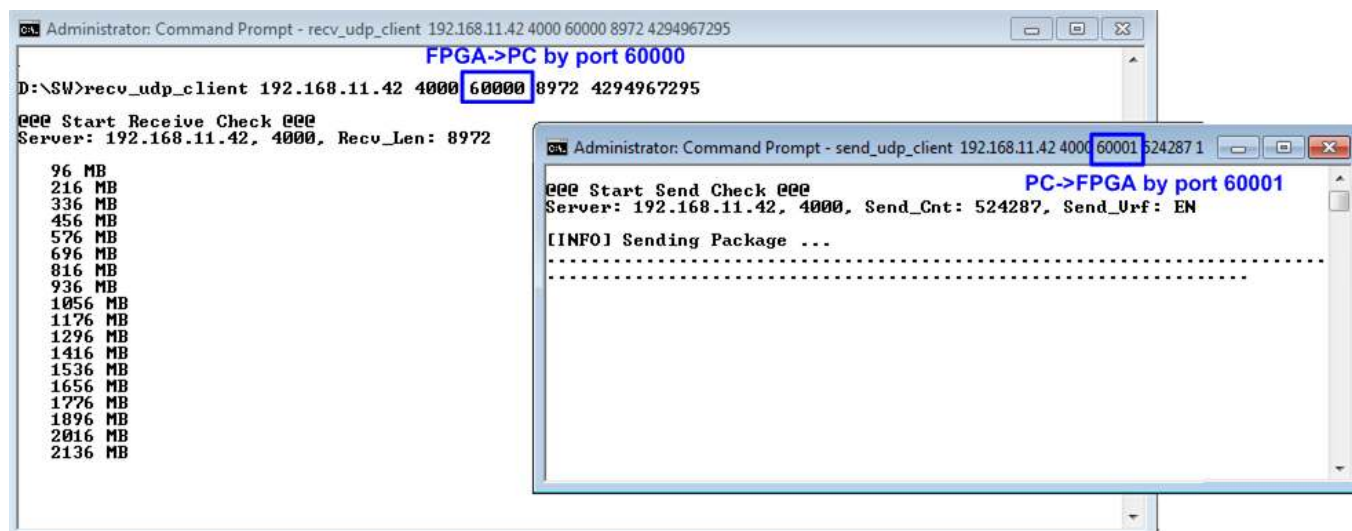


図 4-16: recv udp client と send udp client の同時実行例



図 4-17: 送受信同時テスト時の LED 発光状態

5 改版履歴

リビジョン	日付	内容
1.0	6-Jan-16	Initial version release
1.0J	2017/03/21	日本語版の初期バージョン作成

Copyright: 2016 Design Gateway Co.,Ltd.