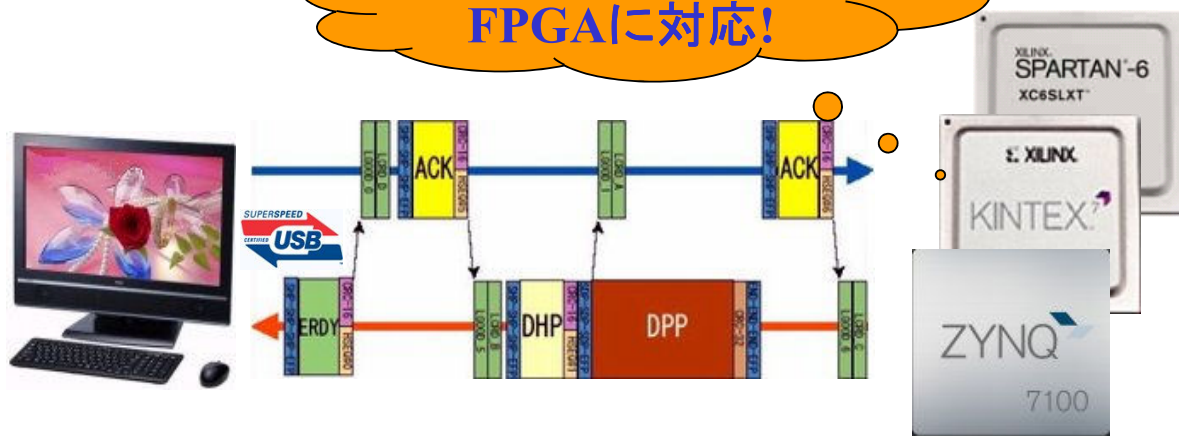


最新の7シリーズ
FPGAに対応!



新世代USBをいち早く実装

USB3.0-IPコアとは

- ・ Xilinx製FPGAでUSB3.0 SuperSpeedを実装するIPコア
 - Protocol&LinkレイヤとDMAC,Host I/F,PIPE I/Fを内蔵
 - Xilinx製評価ボードで動作するリファレンス・デザインで提供
- ・ 豊富なラインナップ
 - Host版およびDevice版
 - データ・レコーダ等実用的なりファレンス・デザイン

デバイスファミリ	Host版	Device版
Spartan-6	USB3H-IP-002	USB3D-IP-002
Virtex-6	USB3H-IP-003	USB3D-IP-003
Kintex-7	USB3H-IP-KT7	USB3D-IP-KT7
Zynq-7000	USB3H-IP-ZQ7	USB3D-IP-ZQ7

USB3.0-IPのラインナップ

USB3.0-IPコアの特長1

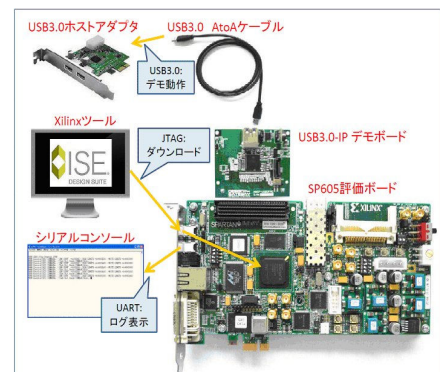
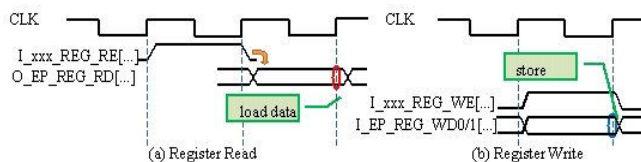
- ・ USB3.0規格のSuperSpeed(5.0Gbps)通信機能を実装
- ・ ホスト側又はデバイス側コントローラ機能を提供
- ・ 外付けのPHYチップ(TI製TUSB1310A)と接続
- ・ USB3.0 PIPEインターフェイス(250MHz@16bit)を実装
- ・ SuperSpeed限定でFPGA消費リソースを節約

Family	Example Device	Fmax (MHz)	Slice Regs	Slice LUTs	Slices ¹	IOB ²	GCLK	BRAM	DCM / CMT	Design Tools
Spartan-6	XC6SLX45T-3FGG484	158	3964	6095	3188	70	2	9	2	ISE 14.6
Virtex-6	XC6VLX240T-1FF1156	217	3947	6026	2045	70	2	6	2	ISE 14.6
Kintex-7	XC7K325T-2FF900	263	3904	6399	2873	70	2	6	2	ISE 14.6
Zynq-7000	XC7Z045-2FFG900	277	3904	6371	2647	70	2	6	2	ISE 14.6

USB3.0-IP コンパイル結果(コントロール1個, IN/OUT 各2個)

USB3.0-IPコアの特長2

- ・ 最大15個のIN/OUTエンドポイントをサポート
 - コントロール 1個
 - IN/OUT各7個まで
- ・ 全ての転送タップ (Control/Bulk/Isynchronous/Interrupt)をサポート
- ・ Xilinx評価ボードで実機評価可能
 - (ホスト側/デバイス側どちらも用意)
- ・ シンプルで接続容易なユーザI/F



USB3.0-IPコアの特長3

国内サポートの充実と安心感

- 開発部隊が近さが違う
 - ✓ 24h以内に何らかのレスポンス
- 質問時の敷居が低い
 - ✓ 深い内容でも翻訳の手間がなく、有利。



お客様にとって



#1

開発時の優位性が高いコアとなっています。

- ✓ コアがあっても周辺と組み込めなければ使えない。
- ✓ その為には使い方・内容を理解できることが大前提。
- ✓ 必要最小限の手間で開発着手が可能。

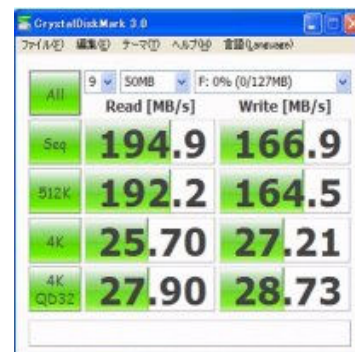
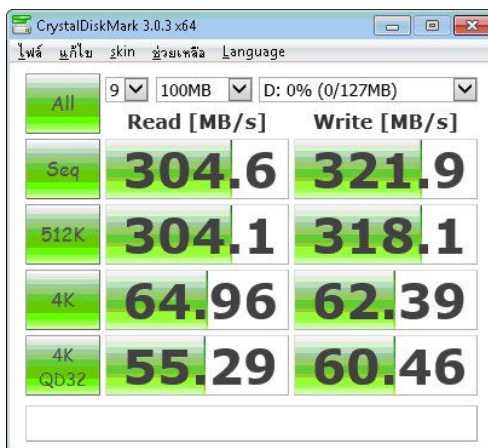
2015/5/14

Design Gateway

Page 5

パフォーマンス(デバイス側コア)

- ・ 現行のUSB3.0システムで最高のパフォーマンス
 - シーケンシャル・ランダムどちらのアクセスも高性能
 - オーバーヘッドを最小化したデザインを提供



USB3D-IPのベンチマーク実測値

(参考情報: 他社コアのベンチマーク)

2015/5/14

Design Gateway

Page 6

パフォーマンス(ホスト側コア)

- SuperSpeedの実力を限界まで引き出せる！
 - シーケンシャル生データ(非FAT)のRead=412MB/s、Write=399MB/s (USB3.0 RamDiskドライブと接続)

```

Tera Term - COM4 VT
File Edit Setup Control Window Help
....[Type]:[Name].....
>>>> Hub : VIA Labs, Inc. 4-Port USB 3.0 Hub
>>>> MSC1 : DGway Mass Storage USB3.0 (130 MB)
>>>> MSC4 : INTEL SS ASMedia (78 GB)

5:> mode s
#### CAUTION !! Changed to Supervisor Mode !!
#### CAUTION !! FAT system may be broken !!

Supervisor: 5: > drv 4:
MSC4 is selected as Current Drive.
Supervisor: 4: > read 100 10000 100
Total= 32 [MB] , Time= 124 [mS] , Transfer speed = 270 [MB/s]
Supervisor: 4: > write 100 10000 100000
Do you want to write[Y/N] ? y
Total= 32 [MB] , Time= 393 [mS] , Transfer speed = 85 [MB/s]

Supervisor: 4: > drv 1:
MSC1 is selected as Current Drive.
Supervisor: 1: > read 1000 1000 0 10
Total= 32 [MB] , Time= 81 [mS] , Transfer speed = 412 [MB/s]
Supervisor: 1: > write 100 10000 10
Do you want to write[Y/N] ? y
Total= 32 [MB] , Time= 83 [mS] , Transfer speed = 399 [MB/s]
    
```

接続環境: SP-605ホスト・リファレンス・デザインに
VIA製USB3.0-Hub(4ポート品)を通して
drv1にRamDiskエミュレートドライブ(※)
drv4にASMediaブリッジ経由Intel SSD接続

生データ(非FAT)モードでの測定

SSDのリード=270MB/s,ライト=85MB/s

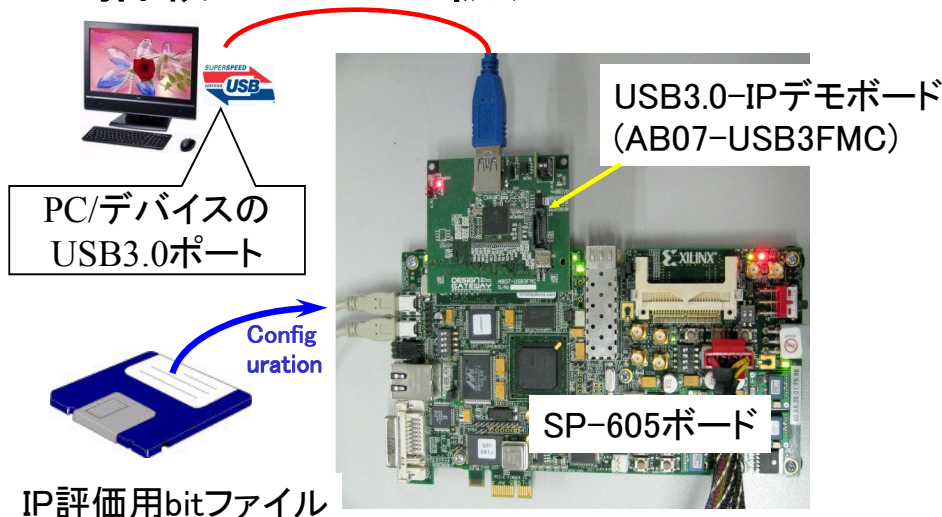
RamDiskドライブ(※)の
リード=412MB/s、ライト=399MB/s

(※)drv1の RamDiskはデバイス側リファレンス・デザインを搭載したSP-605

USB3H-IPのパフォーマンス実測値

評価用ビットファイル

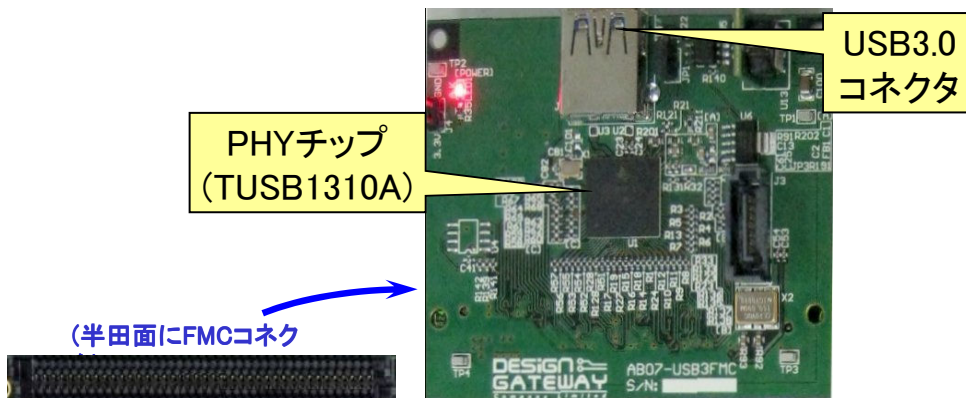
- 評価ボードで実機動作する無償bitファイル
- PHY搭載のデモ基板(AB07-USB3FMC)が必要



SP-605のUSB3.0-IP実機評価環境

デモ基板 (AB07-USB3FMC)

- 各FPGA評価ボードのFMCコネクタと接続
- TI製TUSB1310Aおよび周辺回路を実装
- FMCのI/Fは2.5Vレベル



2015/5/14

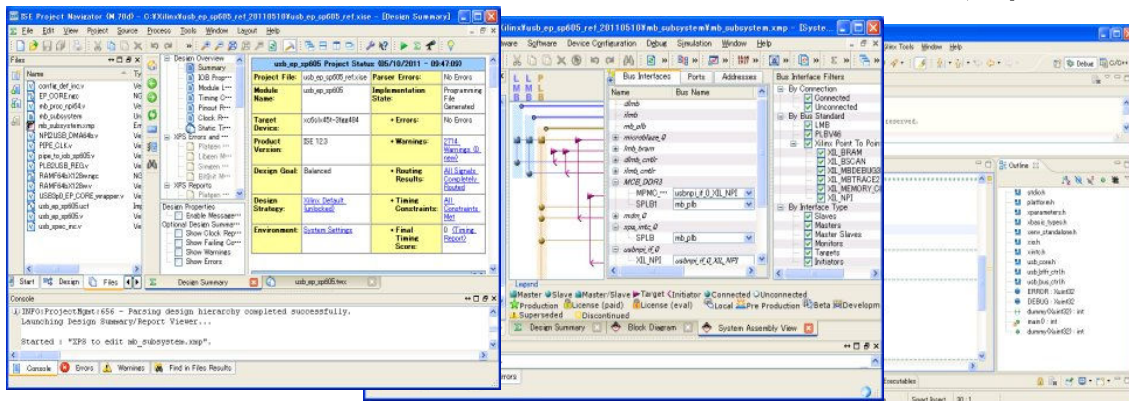
AB07-USB3FMC

Design Gateway

Page 9

リファレンス・デザイン(概要)

- 各評価ボードとデモ基板で実機動作
 - 評価用ビットファイルのISE/EDK/SDKプロジェクト
- コア以外の全HDLソースコードが添付
 - MicroBlazeアプリのファームもCソースで提供



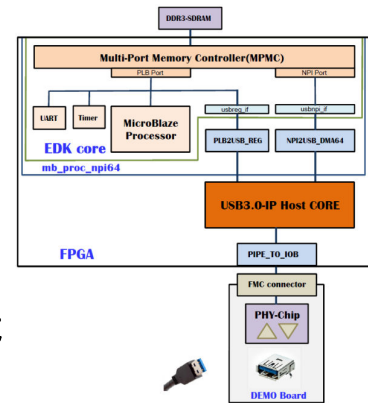
2015/5/14

Design Gateway

Page 10

リファレンス・デザイン(構成)

- MicroBlazeとDDR3(mpmc)
 - ソフトウェア用RAMと周辺回路
- PHYチップとの接続回路
- ソフトウェア
 - USB3.0規格書第9章以降,Mass Storage Classを構成



評価ボード SP605
デバイス XC6SLX45T-3FGG484

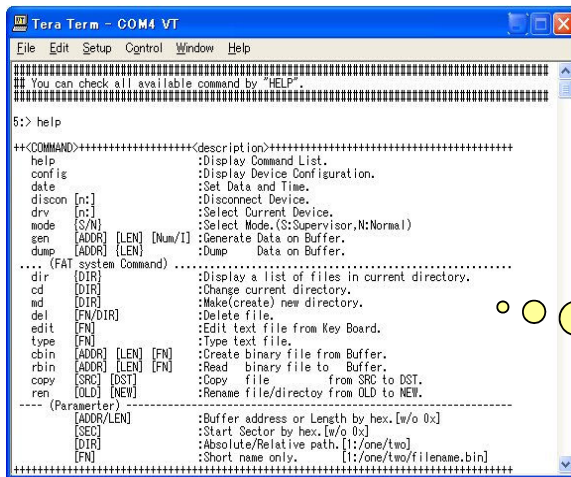
	Slice	[%]	IOB	RAM16	RAM8	BUFIO2	FB	BUFG	DCM	BUFPLLs	BUFPLL_MCBs	PLL_ADV	Tools
デバイス側コア	4,415	64.72	120	42	1	3	0	5	1	0	1	2	ISE12.3
ホスト側コア	4,405	64.57	121	74	1	3	0	5	1	0	1	2	ISE12.3
最大容量	6,822		296	116	232	32	32	16	8	8	4	4	

- コンパイル結果は、コアおよびリファレンスデザインの改善により多少変化します。
- リファレンスデザイン構成

コア	コントロール1個,IN/OUT 各2個
コア周辺回路	
MicroBlaze	ソフトウェア用RAM(デバイス用: 64KB, ホスト用:128KB)
mpmc	DDR3-RAM 128MB
周辺回路	UART,TIMER,INTCなど

リファレンス・デザイン(ホスト側)

- USB3.0ストレージ・デバイスにFAT32でアクセス
- シリアル・コンソールから各コマンド発行



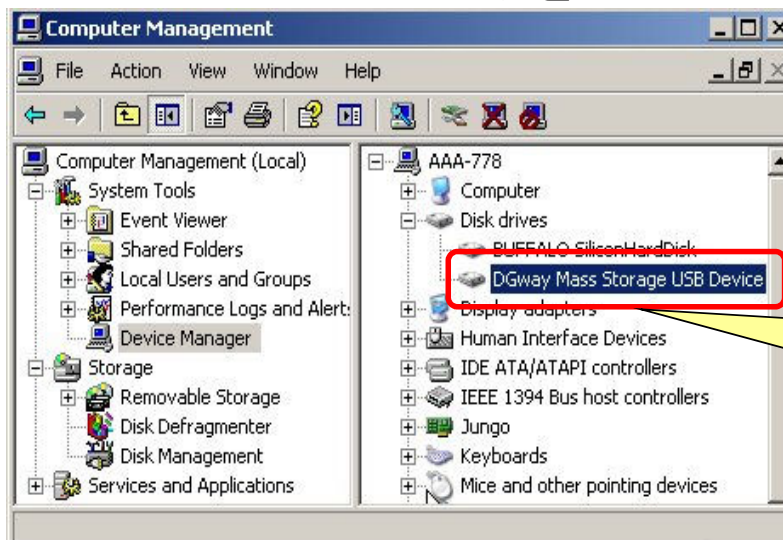
シリアル・コンソールでFAT
操作コマンド実行/結果表示

Supervisorモードで生データ
(非FAT)のR/Wも可

ホスト側リファレンス・デザインのFAT操作メニュー

リファレンス・デザイン(デバイス側)

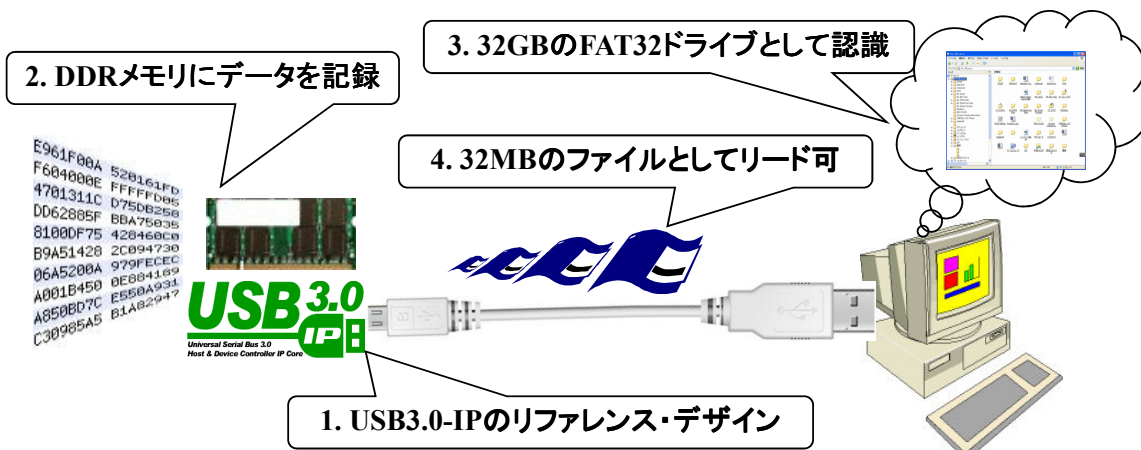
- ・ ストレージ・クラスとしてOSからドライブで認識
- ・ オンボードのDDRメモリをRamdiskとして使用



OSからストレージ・
クラスのドライブ
として認識

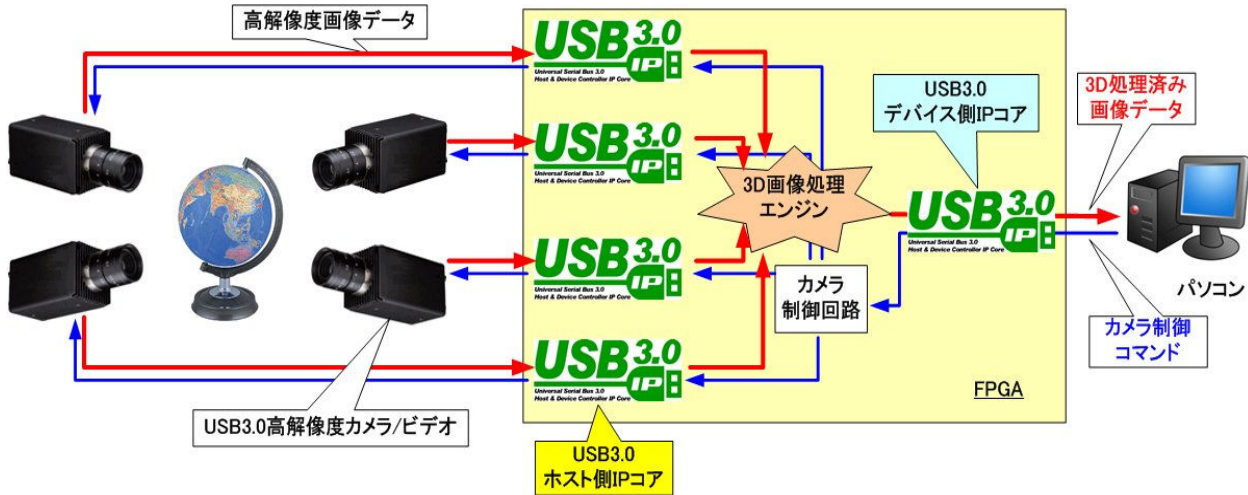
FAT32データ・レコーダ

1. USB3.0デバイス側IPコアのリファレンス・デザイン
2. FPGA側でオンボードのDDRメモリにデータを収録
3. 接続PCから32GBのFAT32汎用ドライブとして認識
4. 収録したDDRデータは32MBのデータ・ファイルでアクセス可



アプリケーション例1

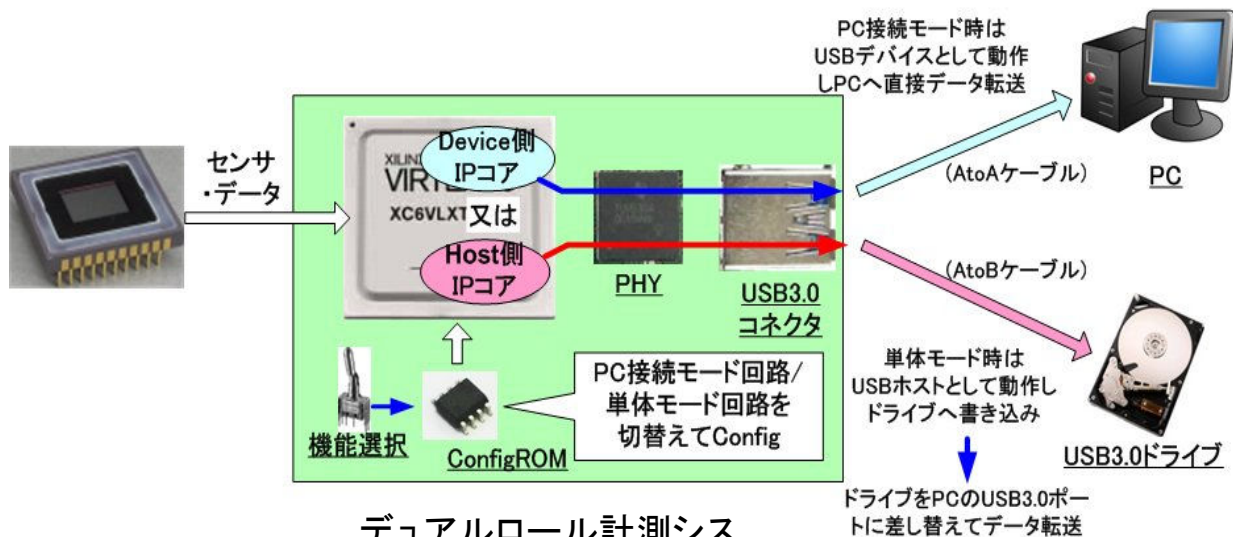
- ・ 複数の高解像度USB3.0カメラ/ビデオと接続
- ・ FPGA内で3D画像処理～結果をPCへUSB3.0



高解像度3D画像システム

アプリケーション例2

- ・ PC接続も単体動作も可能なデュアルロールシステム
- ・ Host/Device機能別にConfigデータを用意



デュアルロール計測システム

USB3.0-IPコア活用のヒント1

- ・ USB2.0(High Speed)との違いは？
 - 伝送信号線は分離された全く別の通信方式
 - ✓ USB3.0対応のケーブル、ハブは2.0用/3.0用が同梱されている。
 - ✓ USB3.0側でデバイスが接続されると、USB2.0側は機能しない(使用されない)。
 - ソフトウェアは基本的に同じ
 - 活用アプリのパラダイムシフト
 - ✓ 性能は**10倍**に向上、活用アプリは自ずと異なる。
 - ✓ マス・ストレージでも、30分掛かった転送が3分になる。
 - ✓ **PCI Express**(1レーン)と同等の活用分野

USB3.0-IPコア活用のヒント2

- ・ PC(パソコン)との高速接続
 - PCI Expressでの接続の制約
 - ✓ 今までは、唯一のギガビット以上の汎用インターフェース
 - ✓ ただし、PCIカードの制約(実装サイズ、高さ、電源など)がある。
 - USB3.0だと
 - ✓ Universalにギガビット以上で接続。ノートPCにも接続。
 - ✓ 実装サイズやセルフ電源は制約なし。
 - ✓ 今後、対応デバイス側も増加。(マスストレージからカメラ、更に…)
- ・ FPGA内でDDRメモリアダプタと接続
 - ✓ **マルチギガビット**の実効性能には、コア(Link層)とDDRメモリが近接していた方が有利。

